PIC16F193X/LF193X
データシート

28/40/44 ピン フラッシュ ベース、8 ビット CMOS マイクロコントローラ (LCD ドライバおよびナノワット XLP™ テクノロジ対応)

ご注意：この日本語版ドキュメントは、参考資料としてご使用の上、最新情報につきましては、必ず英語版オリジナルをご参照いただきますようお願いします。

© 2009 Microchip Technology Inc.

マイクロチップ テクノロジー社 (以下、マイクロチップ社) デバイスのコード保護機能に関する以下の点にご留意ください。

- マイクロチップ社製品は、その該当するマイクロチップ社データシートに記載の仕様を満たしています。
- マイクロチップ社では、通常の条件ならびに仕様どおりの方法で使用した場合、マイクロチップ社製品は現在市場に流通している同種製品としては最もセキュリティの高い部類に入る製品であると考えております。
- コード保護機能を解除するための不正かつ違法な方法が存在します。マイクロチップ社の確認している範囲では、このような方法のいずれにおいても、マイクロチップ社製品をマイクロチップ社データシートの動作仕様外の方法で使用する必要があります。このような行為は、知的所有権の侵害に該当する可能性が非常に高いと言えます。
- マイクロチップ社は、コードの保全について懸念を抱いているお客様と連携し、対応策に取り組んでいきます。
- マイクロチップ社を含むすべての半導体メーカーの中で、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、マイクロチップ社が製品を「解読不能」として保証しているものではありません。

コード保護機能は常に進歩しています。マイクロチップ社では、製品のコード保護機能の改善に継続的に取り組んでいます。マイクロチップ社のコード保護機能を解除しようとする行為は、デジタルミレニアム著作権法に抵触する可能性があります。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合は、デジタルミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利があります。

本書に記載されているデバイス アプリケーションなどに関する情報は、ユーザーの便宜のためにのみ提供されているものであり、更新によって無効とされることがあります。アプリケーションと仕様の整合性を保証することは、お客様の責任において行ってください。マイクロチップ社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。マイクロチップ社は、本書の情報およびその使用に起因する一切の責任を否認します。マイクロチップ社デバイスを生命維持および / または保安のアプリケーションに使用することはデバイス購入者の全責任において行うものとし、デバイス購入者は、デバイスの使用に起因するすべての損害、請求、訴訟、および出費に関してマイクロチップ社を弁護、免責し、同社に不利益が及ばないようにすることに同意するものとします。暗黙的あるいは明示的を問わず、マイクロチップ社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip の社名とロゴ、Microchip ロゴ、dsPIC、KEELOQ、KEELOQ ロゴ、MPLAB、PIC、PICmicro、PICSTART、rfPIC、UNI/O は、米国およびその他の国における Microchip Technology Incorporated の登録商標です。

FilterLab、Hampshire、HI-TECH C、Linear Active Thermistor、MXDEV、MXLAB、SEEVAL、The Embedded Control Solutions Company は、米国における Microchip Technology Incorporated の登録商標です。

Analog-for-the-Digital Age、Application Maestro、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、HI-TIDE、In-Circuit Serial Programming、ICSP、ICEPIC、Mindi、MiWi、MPASM、MPLAB Certified ロゴ、MPLIB、MPLINK、mTouch、nanoWatt XLP、Omniscient Code Generation、PICC、PICC-18、PICkit、PICDEM、PICDEM.net、PICtail、PIC^{32} ロゴ、Real ICE、rfLAB、Select Mode、Total Endurance、TSHARC、WiperLock、ZENA は、米国およびその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービスマークです。

その他、本書に記載されている商標は、各社に帰属します。

© 2009, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

再生紙を使用しています。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
ISO/TS 16949:2002

マイクロチップ社では、Chandler および Tempe (アリゾナ州)、Gresham (オレゴン州) の本部、設計部およびウエハ製造工場そしてカリフォルニア州とインドのデザイン センターが ISO/TS-16949:2002 認証を取得しています。マイクロチップ社の品質システム プロセスおよび手順は、PIC® MCU および dsPIC® DSC、KEELOQ® コード ホッピング デバイス、シリアル EEPROM、マイクロペリフェラル、不揮発性メモリ、アナログ製品に採用されています。また、マイクロチップ社の開発システムの設計および製造に関する品質システムは、ISO 9001:2000 の認証を受けています。

PIC16F193X/LF193X

28 ピン /40 ピン /44 ピン、フラッシュベースの LCD ドライバ付き 8 ビット CMOS マイクロコントローラ (nano Watt XLP™ テクノロジに対応)

このデータシートに記載されているデバイス

PIC16F193X デバイス :

- PIC16F1933
- PIC16F1934
- PIC16F1936
- PIC16F1937
- PIC16F1938
- PIC16F1939

PIC16LF193X デバイス :

- PIC16LF1933
- PIC16LF1934
- PIC16LF1936
- PIC16LF1937
- PIC16LF1938
- PIC16LF1939

高性能 RISC CPU:

- わずか 49 個の命令 :
  - 命令はすべて 1 サイクルで実行 (条件分岐を除く)
- 動作速度 :
  - DC ― 32 MHz のオシレータ / クロック入力
  - DC ― 125 ns の命令サイクル
- 最大 16K x 14 のフラッシュ プログラム メモリ
- 最大 1024 バイトのデータ メモリ (RAM)
- 割り込み機能 (自動で内容保存)
- 16 段のハードウェア スタック
- 直接、間接、相対のアドレッシング モード
- プロセッサによるプログラム メモリの読み出し
- 28/40 ピン PIC16CXXX および PIC16FXXX マイクロコントローラとピン互換

このマイクロコントローラの機能 :

- 高精度内部オシレータ :
  - 工場にて ±1% (標準) に較正
  - 動作周波数はソフトウェアで 32 MHz ～ 31 kHz の範囲内で選択可能
- 省電力スリープ モード
- パワーオン リセット (POR)
- パワーオン タイマ (PWRT) およびオシレータ スタートアップ タイマ (OST)
- ブラウンアウト リセット (BOR)
  - 2 つのトリップ ポイントから選択可能
  - スリープ オプションで無効
- プルアップ / 入力ピンで多重化されたマスタークリア
- プログラム可能なコード プロテクション
- 耐久性の高いフラッシュ /EEPROM セル :
  - 10 万回の書き換えを保証するフラッシュ
  - 100 万回の書き換えを保証する EEPROM
  - フラッシュ / データ EEPROM 保持時間 : >40 年超
- 広い動作電圧範囲 :
  - 1.8V ～ 5.5V (PIC16F193X)
  - 1.8V ～ 3.6V (PIC16LF193X)

低消費電力 PIC16LF193X :

- スタンバイ電流 :
  - 60 nA @ 1.8V (標準)
- 動作時電流 :
  - 7.0 μA @ 32 kHz、1.8V (標準)
  - 150 μA @ 1 MHz、1.8V (標準)
- Timer1 オシレータ電流 :
  - 600 nA @ 32 kHz、1.8V (標準)
- 低電力ウォッチドッグ タイマ電流 :
  - 500 nA @ 1.8V (標準)

周辺機能の特徴 :

- 最大 35 個の I/O ピンおよび 1 個の入力専用ピン :
  - LED 直接駆動用の高電流ソース / シンク
  - 個別に設定可能な状態変化割り込みピン
  - 個別に設定可能な弱プルアップ
- 統合された LCD コントローラ
  - 最大 96 セグメント
  - 可変クロック入力
  - コントラスト制御
  - 内部電圧リファレンスのセレクション
- 容量検知モジュール (mTouch™)
  - 最大 16 本の選択可能チャネル
- A/D コンバータ :
  - 10 ビット分解能および最大 14 チャネル
  - 選択可能な電圧リファレンス (1.024/2.048/4.096V)
- Timer0: 8 ビット プログラマブル プリスケーラ付き 8 ビット タイマ / カウンタ
- 拡張 Timer1:
  - 専用の低電力 32 kHz オシレータ ドライバ
  - プリスケーラ付き 16 ビット タイマ / カウンタ
  - トグル付きの外部ゲート入力モードおよびシングル ショット モード
  - ゲート イベント完了時の割り込み
- Timer2、4、6: 8 ビット周期レジスタ、プリスケーラおよびポストスケーラ付き 8 ビット タイマ / カウンタ
- 2 つのキャプチャ、コンペア、PWM モジュール (CCP)
  - 16 ビット キャプチャ、最大分解能 125 ns
  - 16 ビット コンペア、最大分解能 125 ns
  - 10 ビット PWM、最大周波数 31.25 kHz
- 3 つの拡張キャプチャ / コンペア /PWM (ECCP) モジュール :
  - 3 つの PWM タイム ベース オプション
  - 自動シャットダウンおよび自動再スタート
  - PWM ステアリング
  - プログラマブルなデッドバンド遅延

周辺機能の特徴 (続き):

- SPI および I²C™ を備えた MSSP (Master Synchronous Serial Port):
  - 7 ビットのアドレス マスキング
  - SMBUS/PMBUS™ と互換性あり
  - スタート時に自動ウェイクアップ
- EUSART (Enhanced Universal Synchronous Asynchronous Receiver Transmitter)
  - RS-232、RS 485 および LIN と互換性あり
  - 自動ボーレート検出
- SR ラッチ (555 タイマ):
  - 複数のセット / リセット入力オプション
- 2 個のコンパレータ :
  - レール ツー レール入力 / 出力
  - 電源モード制御
  - ソフトウェアによるヒステリシスの有効化
- 電圧リファレンス モジュール :
  - 固定電圧リファレンス (FVR) - 出力レベルは 1.024V、2.048V および 4.096V
  - 反転 / 非反転を選択可能な 5 ビットのレール ツー レールの抵抗ストリング型 DAC

PIC16F193X/LF193X ファミリの種類

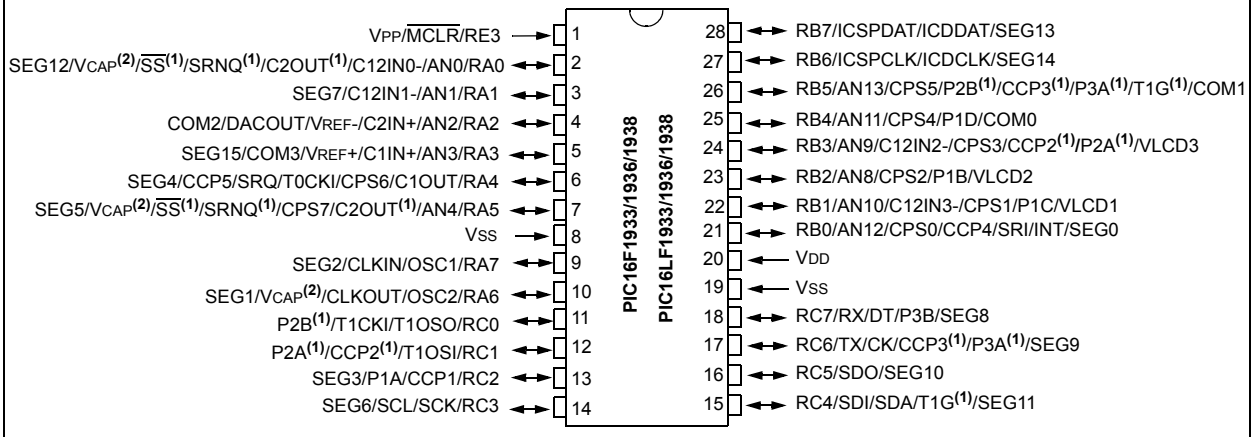
デバイス	プログラム メモリ フラッシュ (ワード)	データ EEPROM (バイト)	SRAM (バイト)	I/O 数	10 ビット A/D (ch)	容量検知 (ch)	コンパレータ	タイマ 8/16 ビット	EUSART	I²C™/SPI	ECCP	CCP	LCD
PIC16F1933 PIC16LF1933	4096	256	256	25	11	8	2	4/1	Yes	Yes	3	2	16(1)/4
PIC16F1934 PIC16LF1934	4096	256	256	36	14	16	2	4/1	Yes	Yes	3	2	24/4
PIC16F1936 PIC16LF1936	8192	256	512	25	11	8	2	4/1	Yes	Yes	3	2	16(1)/4
PIC16F1937 PIC16LF1937	8192	256	512	36	14	16	2	4/1	Yes	Yes	3	2	24/4
PIC16F1938 PIC16LF1938	16384	256	1024	25	11	8	2	4/1	Yes	Yes	3	2	16(1)/4
PIC16F1939 PIC16LF1939	16384	256	1024	36	14	16	2	4/1	Yes	Yes	3	2	24/4

注 1: PIC16F1933/1936/1938/PIC16LF1933/1936/1938 では、COM3 と SEG15 が同じピンを使用するため、1/4 マルチプレクス ディスプレイを使用する場合、SEG15 は使用できません。

© 2009 Microchip Technology Inc.

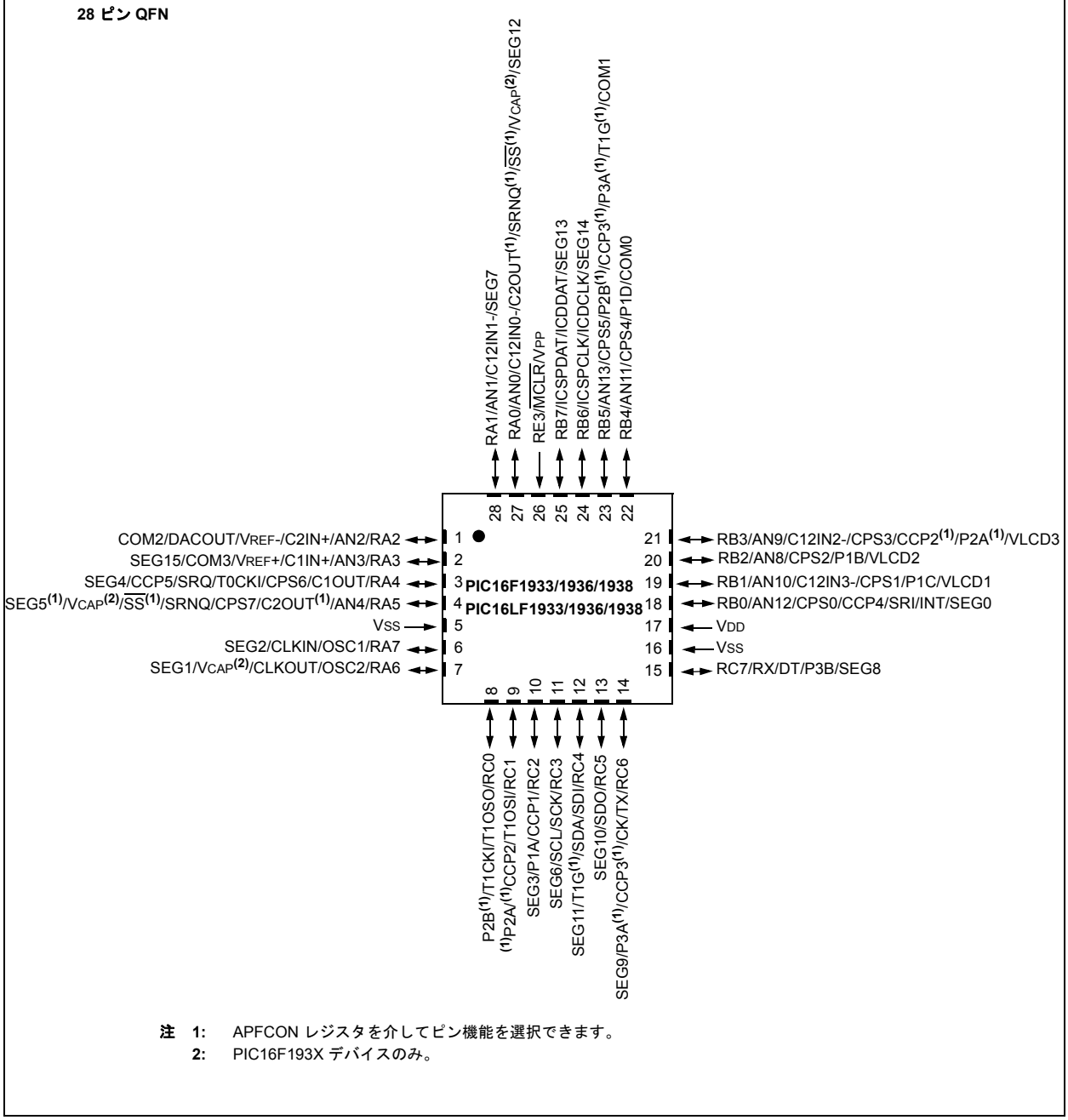
ピン配置図 — 28 ピン SPDIP/SOIC/SSOP (PIC16F1933/1936/1938、PIC16LF1933/1936/1938)

28 ピン SPDIP、SOIC、SSOP



注 1: APFCON レジスタを介してピン機能を選択できます。
2: PIC16F193X デバイスのみ。

ピン配置図 — 28 ピン QFN (PIC16F1933/1936/1938、PIC16LF1933/1936/1938)



注 1: APFCON レジスタを介してピン機能を選択できます。
2: PIC16F193X デバイスのみ。

 © 2009 Microchip Technology Inc.

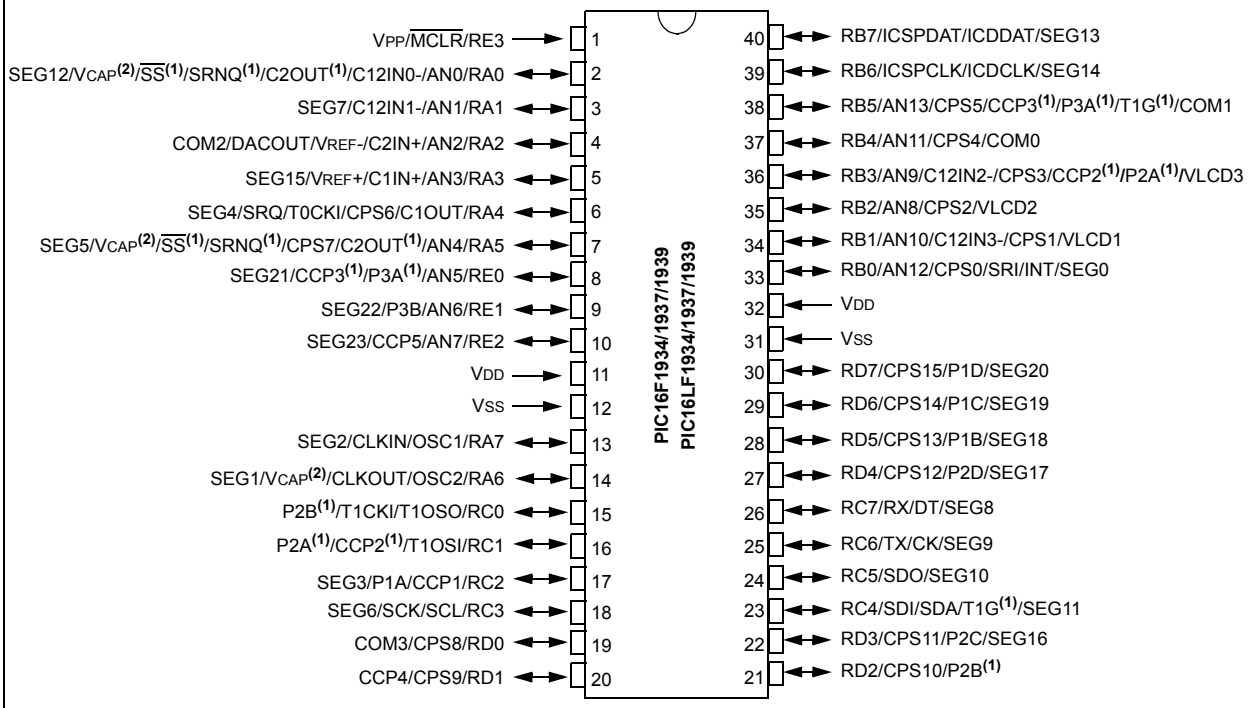
表 1: 28 ピンの要約 (PIC16F1933/1936/1938、PIC16LF1933/1936/1938)

I/O	28 ピン SIP	28 ピン QFN	ANSEL	A/D	容量検知	コンパレータ	SR ラッチ	タイマ	CCP	EUSART	MSSP	LCD	割り込み	プルアップ	基本
RA0	2	27	Y	AN0	—	C12IN0-/C2OUT(1)	SRNQ(1)	—	—	—	$\overline{SS}$(1)	SEG12	—	—	VCAP(2)
RA1	3	28	Y	AN1	—	C12IN1-	—	—	—	—	—	SEG7	—	—	—
RA2	4	1	Y	AN2/VREF-	—	C2IN+/DACOUT	—	—	—	—	—	COM2	—	—	—
RA3	5	2	Y	AN3/VREF+	—	C1IN+	—	—	—	—	—	SEG15/COM3	—	—	—
RA4	6	3	Y	—	CPS6	C1OUT	SRQ	T0CKI	CCP5	—	—	SEG4	—	—	—
RA5	7	4	Y	AN4	CPS7	C2OUT(1)	SRNQ(1)	—	—	—	$\overline{SS}$(1)	SEG5	—	—	VCAP(2)
RA6	10	7	—	—	—	—	—	—	—	—	—	SEG1	—	—	OSC2/CLKOUT VCAP(2)
RA7	9	6	—	—	—	—	—	—	—	—	—	SEG2	—	—	OSC1/CLKIN
RB0	21	18	Y	AN12	CPS0	—	SRI	—	CCP4	—	—	SEG0	INT/IOC	Y	—
RB1	22	19	Y	AN10	CPS1	C12IN3-	—	—	P1C	—	—	VLCD1	IOC	Y	—
RB2	23	20	Y	AN8	CPS2	—	—	—	P1B	—	—	VLCD2	IOC	Y	—
RB3	24	21	Y	AN9	CPS3	C12IN2-	—	—	CCP2(1)/P2A(1)	—	—	VLCD3	IOC	Y	—
RB4	25	22	Y	AN11	CPS4	—	—	—	P1D	—	—	COM0	IOC	Y	—
RB5	26	23	Y	AN13	CPS5	—	—	T1G(1)	P2B(1) CCP3(1)/P3A(1)	—	—	COM1	IOC	Y	—
RB6	27	24	—	—	—	—	—	—	—	—	—	SEG14	IOC	Y	ICSPCLK/ICDCLK
RB7	28	25	—	—	—	—	—	—	—	—	—	SEG13	IOC	Y	ICSPDAT/ICDDAT
RC0	11	8	—	—	—	—	—	T1OSO/T1CKI	P2B(1)	—	—	—	—	—	—
RC1	12	9	—	—	—	—	—	T1OSI	CCP2(1)/P2A(1)	—	—	—	—	—	—
RC2	13	10	—	—	—	—	—	—	CCP1/P1A	—	—	SEG3	—	—	—
RC3	14	11	—	—	—	—	—	—	—	—	SCK/SCL	SEG6	—	—	—
RC4	15	12	—	—	—	—	—	T1G(1)	—	—	SDI/SDA	SEG11	—	—	—
RC5	16	13	—	—	—	—	—	—	—	—	SDO	SEG10	—	—	—
RC6	17	14	—	—	—	—	—	—	CCP3(1) P3A(1)	TX/CK	—	SEG9	—	—	—
RC7	18	15	—	—	—	—	—	—	P3B	RX/DT	—	SEG8	—	—	—
RE3	1	26	—	—	—	—	—	—	—	—	—	—	—	Y	$\overline{MCLR}$/VPP
VDD	20	17	—	—	—	—	—	—	—	—	—	—	—	—	VDD
VSS	8, 19	5, 16	—	—	—	—	—	—	—	—	—	—	—	—	VSS

注 1: APECON レジスタを使用してピン機能を移動できます。
2: PIC16F193X デバイスのみ。

ピン配置図 — 40 ピン PDIP (PIC16F1934/1937/1939、PIC16LF1934/1937/1939)

40 ピン PDIP

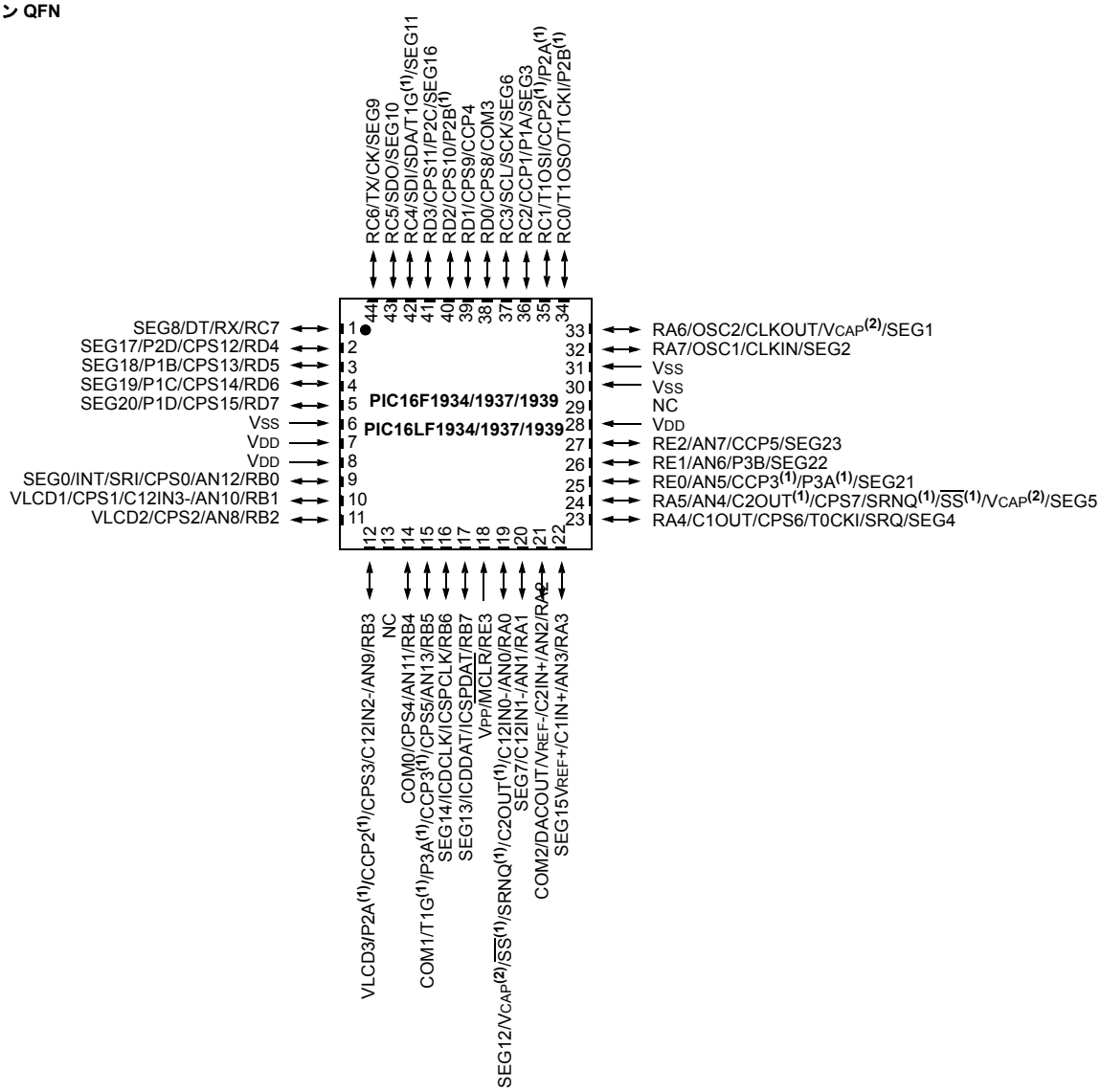


注 1: APFCON レジスタを介してピン機能を選択できます。
2: PIC16F193X デバイスのみ。

 © 2009 Microchip Technology Inc.

ピン配置図 — 44 ピン QFN (PIC16F1934/1937/1939、PIC16LF1934/1937/1939)

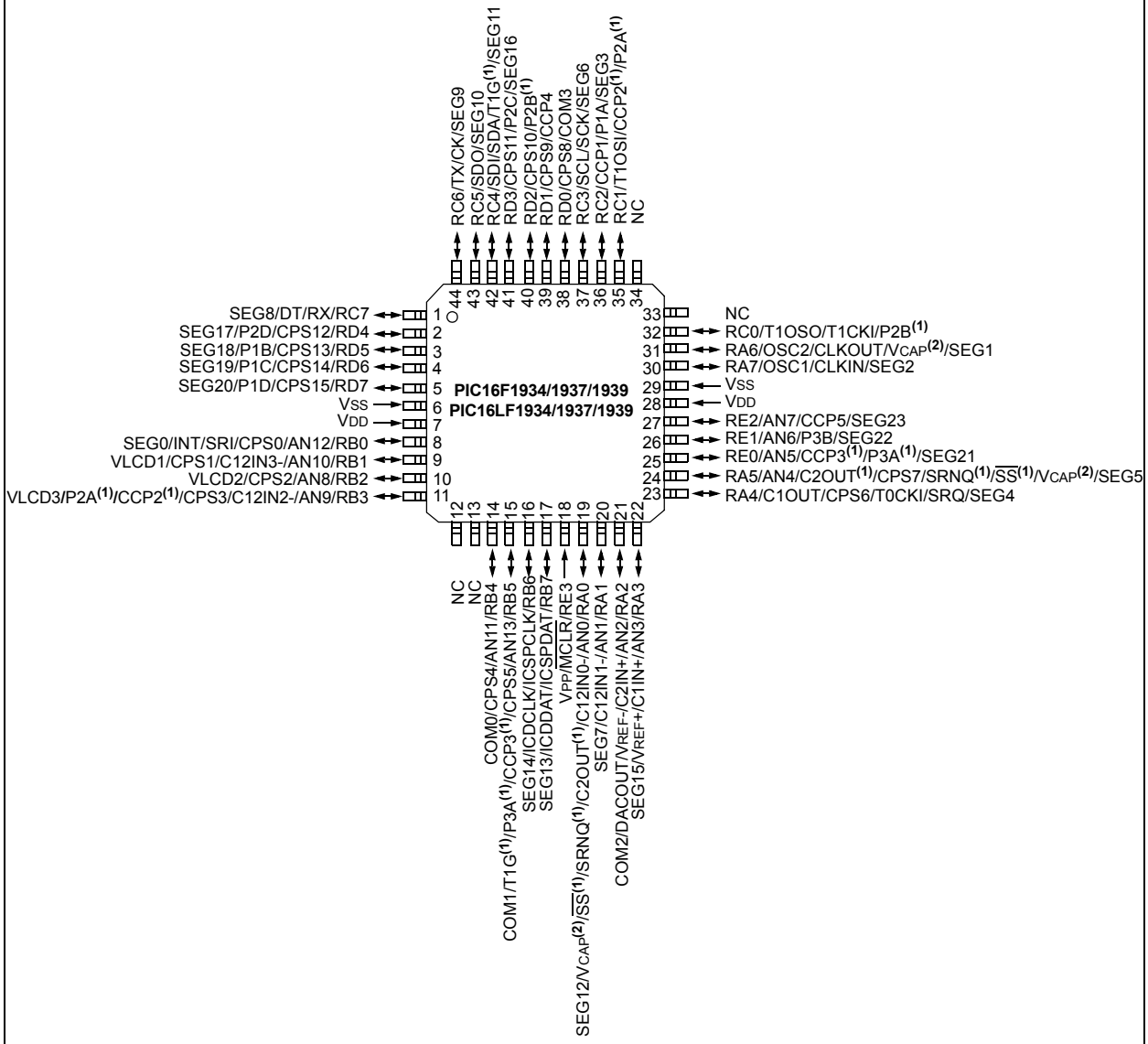
44 ピン QFN



注 1: APFCON レジスタを介してピン機能を選択できます。
2: PIC16F193X デバイスのみ。

ピン配置図 — 44 ピン TQFP (PIC16F1934/1937/1939、PIC16LF1934/1937/1939)

44 ピン TQFP



注 1: APFCON レジスタを介してピン機能を選択できます。
2: PIC16F193X デバイスのみ。

 © 2009 Microchip Technology Inc.

表 2: 40/44 ピンの要約 (PIC16F1934/1937/1939、PIC16LF1934/1937/1939)

I/O	40 ピン PDIP	44 ピン TQFP	44 ピン QFN	ANSEL	A/D	容量検知	コンパレータ	SR ラッチ	タイマ	CCP	EUSART	MSSP	LCD	割り込み	プルアップ	基本
RA0	2	19	19	Y	AN0	—	C12IN0-/C2OUT(1)	SRNQ(1)	—	—	—	$\overline{SS}$(1)	SEG12	—	—	VCAP
RA1	3	20	20	Y	AN1	—	C12IN1-	—	—	—	—	—	SEG7	—	—	—
RA2	4	21	21	Y	AN2/VREF-	—	C2IN+/DACOUT	—	—	—	—	—	COM2	—	—	—
RA3	5	22	22	Y	AN3/VREF+	—	C1IN+	—	—	—	—	—	SEG15	—	—	—
RA4	6	23	23	Y	—	CPS6	C1OUT	SRQ	T0CKI		—	—	SEG4	—	—	—
RA5	7	24	24	Y	AN4	CPS7	C2OUT(1)	SRNQ(1)	—	—	—	$\overline{SS}$(1)	SEG5	—	—	VCAP
RA6	14	31	33	—	—	—	—	—	—	—	—	—	SEG1	—	—	OSC2/CLKOUT VCAP
RA7	13	30	32	—	—	—	—	—	—	—	—	—	SEG2	—	—	OSC1/CLKIN
RB0	33	8	9	Y	AN12	CPS0	—	SRI	—	—	—	—	SEG0	INT/IOC	Y	—
RB1	34	9	10	Y	AN10	CPS1	C12IN3-	—	—	—	—	—	VLCD1	IOC	Y	—
RB2	35	10	11	Y	AN8	CPS2	—	—	—	—	—	—	VLCD2	IOC	Y	—
RB3	36	11	12	Y	AN9	CPS3	C12IN2-	—	—	CCP2(1)/P2A(1)	—	—	VLCD3	IOC	Y	—
RB4	37	14	14	Y	AN11	CPS4	—	—	—	—	—	—	COM0	IOC	Y	—
RB5	38	15	15	Y	AN13	CPS5	—	—	T1G(1)	CCP3(1)/P3A(1)	—	—	COM1	IOC	Y	—
RB6	39	16	16	—	—	—	—	—	—	—	—	—	SEG14	IOC	Y	ICSPCLK/ICDCLK
RB7	40	17	17	—	—	—	—	—	—	—	—	—	SEG13	IOC	Y	ICSPDAT/ICDDAT
RC0	15	32	34	—	—	—	—	—	T1OSO/T1CKI	P2B(1)	—	—	—	—	—	—
RC1	16	35	35	—	—	—	—	—	T1OSI	CCP2(1)/P2A(1)	—	—	—	—	—	—
RC2	17	36	36	—	—	—	—	—	—	CCP1/P1A	—	—	SEG3	—	—	—
RC3	18	37	37	—	—	—	—	—	—	—	—	SCK/SCL	SEG6	—	—	—
RC4	23	42	42	—	—	—	—	—	T1G(1)	—	—	SDI/SDA	SEG11	—	—	—
RC5	24	43	43	—	—	—	—	—	—	—	—	SDO	SEG10	—	—	—
RC6	25	44	44	—	—	—	—	—	—	—	TX/CK	—	SEG9	—	—	—
RC7	26	1	1	—	—	—	—	—	—	—	RX/DT	—	SEG8	—	—	—
RD0	19	38	38	Y	—	CPS8	—	—	—	—	—	—	COM3	—	—	—
RD1	20	39	39	Y	—	CPS9	—	—	—	CCP4	—	—	—	—	—	—
RD2	21	40	40	Y	—	CPS10	—	—	—	P2B(1)	—	—	—	—	—	—
RD3	22	41	41	Y	—	CPS11	—	—	—	P2C	—	—	SEG16	—	—	—
RD4	27	2	2	Y	—	CPS12	—	—	—	P2D	—	—	SEG17	—	—	—
RD5	28	3	3	Y	—	CPS13	—	—	—	P1B	—	—	SEG18	—	—	—
RD6	29	4	4	Y	—	CPS14	—	—	—	P1C	—	—	SEG19	—	—	—
RD7	30	5	5	Y	—	CPS15	—	—	—	P1D	—	—	SEG20	—	—	—
RE0	8	25	25	Y	AN5	—	—	—	—	CCP3(1) P3A(1)	—	—	SEG21	—	—	—
RE1	9	26	26	Y	AN6	—	—	—	—	P3B	—	—	SEG22	—	—	—
RE2	10	27	27	Y	AN7	—	—	—	—	CCP5	—	—	SEG23	—	—	—
RE3	1	18	18	—	—	—	—	—	—	—	—	—	—	—	Y	$\overline{MCLR}$/VPP
VDD	11, 32	7,28	7,8, 28	—	—	—	—	—	—	—	—	—	—	—	—	VDD
VSS	12, 31	6,29	6,30, 31	—	—	—	—	—	—	—	—	—	—	—	—	VSS

注 1: APECON レジスタを使用してピン機能を移動できます。

目次

1.0 デバイス概要 ... 13
2.0 メモリ構成 ... 21
3.0 リセット ... 57
4.0 割り込み ... 69
5.0 低ドロップアウト (LDO) 電圧レギュレータ ... 81
6.0 I/O ポート ... 83
7.0 状態変化割り込み ... 103
8.0 オシレータ モジュール (フェイルセーフ クロック モニタ機能付き) ... 107
9.0 SR ラッチ ... 121
10.0 デバイス コンフィギュレーション ... 125
11.0 A/D 変換 (ADC) モジュール ... 131
12.0 コンパレータ モジュール ... 143
13.0 デジタル アナログ変換 (DAC) モジュール ... 151
14.0 固定電圧リファレンス ... 155
15.0 Timer0 モジュール ... 157
16.0 Timer1 モジュール (ゲート制御対応) ... 161
17.0 Timer 2、4、6 モジュール ... 173
18.0 容量検知モジュール ... 177
19.0 キャプチャ / コンペア /PWM モジュール (ECCP1、ECCP2、ECCP3、CCP4、CCP5) ... 183
20.0 EUSART (Enhanced Universal Synchronous Asynchronous Receiver Transmitter) ... 213
21.0 液晶ディスプレイ (LCD) ドライバ モジュール ... 241
22.0 マスター同期シリアル ポート (MSSP) モジュール ... 273
23.0 データ EEPROM およびフラッシュ プログラム メモリ制御 ... 321
24.0 パワーダウン モード (スリープ) ... 333
25.0 In-Circuit Serial Programming™ (ICSP™) ... 335
26.0 命令セットのまとめ ... 337
27.0 開発サポート ... 351
28.0 電気的仕様 ... 355
29.0 DC および AC 特性の図 / 表 ... 389
30.0 パッケージ情報 ... 391
付録 A: データシート改版履歴 ... 403
付録 B: 他の PIC® デバイスからの移行 ... 403
索引 ... 405
マイクロチップ社のウェブ サイト ... 413
お客様への変更通知サービス ... 413
お客様サポート ... 413
読者アンケート ... 414
製品識別システム ... 415

 © 2009 Microchip Technology Inc.

大切なお客様へ

マイクロチップ社では、お客様にマイクロチップ社製品を効果的にお使いいただくために、分かりやすい文書を提供するように努めています。このため、弊社はお客様のニーズに更に的確に応えられるように、出版物の改善を続けていきます。弊社の出版物は、新しい巻や更新情報の発表に合わせて内容の見直しと充実が図られます。

本書に関してご意見やご質問をお持ちのお客様は、電子メールまたはファクスで弊社のマーケティングコミュニケーション部門にご連絡ください。電子メールアドレスは **docerrors@mail.microchip.com**、ファクス番号は 1-480-792-4150 (国際電話) です。ファクスの場合には、本書の巻末に用意されている**「読者アンケート」**のページをご利用ください。お客様からのご感想をお待ちしております。

最新のデータシート

このデータシートの最新版を入手するには、以下のウェブ サイトから登録手続きを行ってください。

http://www.microchip.com

各ページのフッタに記載されている文書番号をご覧になると、データシートのバージョンを確認できます。文書番号の最後の文字がバージョン番号です (例 : DS30000A は文書 DS30000 のバージョン A)。

正誤表情報

現行のデバイスには、データシートとの動作上の微妙な相違点や推奨できる暫定的な対策を記した正誤表が存在することがあります。弊社では、デバイスや文書に関する問題を認識した時点で正誤表を発行します。正誤表には、該当するシリコンのバージョンと文書のバージョンが明記されます。

特定のデバイスに関して正誤表の有無を確認するには、以下のいずれかをご利用ください。

- マイクロチップ社のウェブ サイト : http://www.microchip.com
- 各国のマイクロチップ社営業所 (最終ページ参照)
- Microchip Corporate Literature Center (米国 - FAX: (480) 792-7277)

営業所または米国の Microchip Corporate Literature Center にお問い合わせになる場合、ご使用のデバイス、シリコンのバージョン、データシートのバージョン (文書番号を含む) をお伝えください。

お客様通知システム

マイクロチップ社のウェブ サイト (**www.microchip.com/cn**) で登録手続きを行うと、マイクロチップ社のすべての製品に関する最新情報を受信できるようになります。

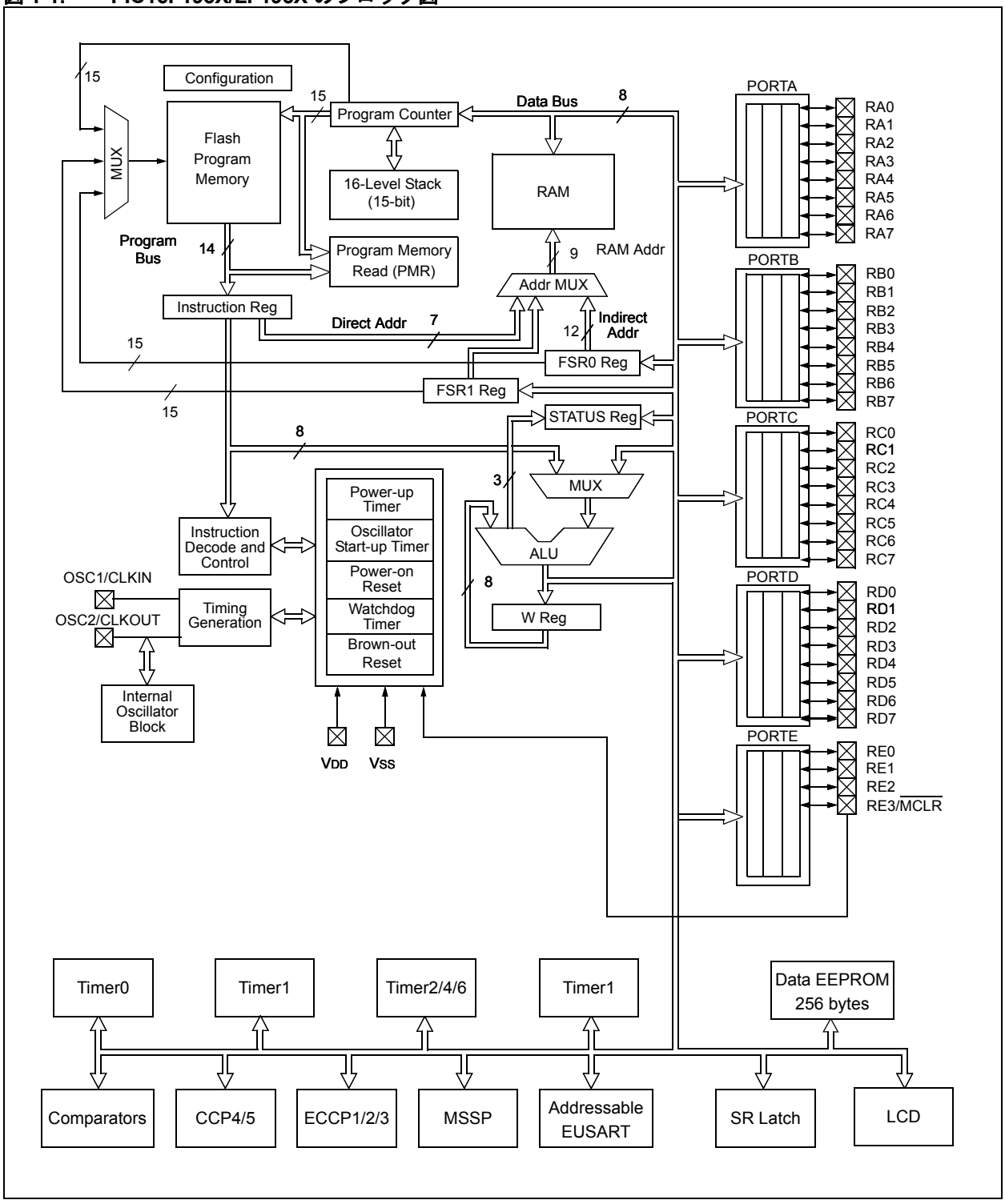
ノート：

 © 2009 Microchip Technology Inc.

1.0 デバイス概要

このデータ シートは、PIC16F193X/LF193X デバイスについて説明しており、28 ピン /40 ピン /44 ピン パッケージで使用できます。図 1-1 に、PIC16F193X/LF193X デバイスのブロック図を示します。表 1-1 ではピンについて説明します。

図 1-1: PIC16F193X/LF193X のブロック図



1.1 拡張型ミッドレンジ CPU

PIC16F193X/LF193X デバイスには、拡張型ミッドレンジの 8 ビット CPU コアが含まれています。CPU には 49 個の命令があり、割り込み発生時には自動で内容が保存される機能が搭載されています。ハードウェア スタックは 16 段あり、オーバーフロー リセット機能とアンダーフロー リセット機能があります。アドレス指定モードは、直接アドレス、間接アドレス、および相対アドレスがあります。2 つの FSR (ファイル セレクト レジスタ) を使用してプログラム メモリやデータ メモリの読み出しが可能です。

割り込み動作中、自動的に指定レジスタ内容がシャドウ レジスタに保存され、通常動作に戻る際にレジスタ内容を回復できます。これにより、スタックの空間およびユーザー コードが節約されます。詳細は、**4.5 項「内容保存機能」**を参照してください。

1.1.1 オーバーフロー / アンダーフロー リセット機能付き 16 段スタック

PIC16F193X/LF193X デバイスには外部スタック メモリがあります (15 ビット幅 x 16 ワード)。通常動作時、スタックの深さは 16 ワードです。この機能が有効の場合、スタック オーバーフローまたはアンダーフローが生じると PCON レジスタの対応ビット (STKOVF または STKUNF) がセットされ、ソフトウェアがリセットされます。詳細は、**2.4 項「スタック」**を参照してください。

1.1.2 FSR (ファイル セレクト レジスタ)

16 ビットの FSR が 2 つあります。これらの FSR はすべてのレジスタおよびプログラム メモリにアクセスでき、全メモリに対して 1 つのデータ ポインタを許可できます。FSR を使用してプログラム メモリへアクセスする場合、INDF レジスタへアクセスしてデータ フェッチする命令処理を行うため、追加で 1 命令サイクルが必要です。また、FSR をサポートする新しい命令もあります。詳細は、**2.5 項「間接アドレス指定 : INDF レジスタと FSR レジスタ」**を参照してください。

1.1.3 命令セット

CPU 機能をサポートするため、拡張型ミッドレンジ CPU には 48 個の命令があります。詳細は、**26.0 項「命令セットのまとめ」**を参照してください。

 © 2009 Microchip Technology Inc.

表 1-1: PIC16F193X/LF193X のピン配置の説明

Name	Function	Input Type	Output Type	Description
RA0/AN0/C12IN0-/C2OUT(1)/ SRNQ(1)/$\overline{SS}$(1)/VCAP(2)/SEG12	RA0	TTL	CMOS	General purpose I/O.
	AN0	AN	—	A/D Channel 0 input.
	C12IN0-	AN	—	Comparator C1 or C2 negative input.
	C2OUT	—	CMOS	Comparator C2 output.
	SRNQ	—	CMOS	SR Latch inverting output.
	$\overline{SS}$	ST	—	Slave Select input.
	VCAP	Power	Power	Filter capacitor for Voltage Regulator (PIC16F193X only).
	SEG12	—	AN	LCD Analog output.
RA1/AN1/C12IN1-/SEG7	RA1	TTL	CMOS	General purpose I/O.
	AN1	AN	—	A/D Channel 1 input.
	C12IN1-	AN	—	Comparator C1 or C2 negative input.
	SEG7	—	AN	LCD Analog output.
RA2/AN2/C2IN+/VREF-/CVREF/ COM2	RA2	TTL	CMOS	General purpose I/O.
	AN2	AN	—	A/D Channel 2 input.
	C2IN+	AN	—	Comparator C2 positive input.
	VREF-	AN	—	A/D Negative Voltage Reference input.
	CVREF	—	AN	Comparator Voltage Reference output.
	COM2	—	AN	LCD Analog output.
RA3/AN3/C1IN+/VREF+/ COM3(3)/SEG15	RA3	TTL	CMOS	General purpose I/O.
	AN3	AN	—	A/D Channel 3 input.
	C1IN+	AN	—	Comparator C1 positive input.
	VREF+	AN	—	A/D Voltage Reference input.
	COM3(3)	—	AN	LCD Analog output.
	SEG15	—	AN	LCD Analog output.
RA4/C1OUT/CPS6/T0CKI/SRQ/ CCP5/SEG4	RA4	TTL	CMOS	General purpose I/O.
	C1OUT	—	CMOS	Comparator C1 output.
	CPS6	AN	—	Capacitive sensing input 6.
	T0CKI	ST	—	Timer0 clock input.
	SRQ	—	CMOS	SR Latch non-inverting output.
	CCP5	ST	CMOS	Capture/Compare/PWM5.
	SEG4	—	AN	LCD Analog output.
RA5/AN4/C2OUT(1)/CPS7/ SRNQ(1)/$\overline{SS}$(1)/VCAP(2)/SEG5	RA5	TTL	CMOS	General purpose I/O.
	AN4	AN	—	A/D Channel 4 input.
	C2OUT	—	CMOS	Comparator C2 output.
	CPS7	AN	—	Capacitive sensing input 7.
	SRNQ	—	CMOS	SR Latch inverting output.
	$\overline{SS}$	ST	—	Slave Select input.
	VCAP	Power	Power	Filter capacitor for Voltage Regulator (PIC16F193X only).
	SEG5	—	AN	LCD Analog output.

記号の説明 : AN = アナログ入出力　CMOS = CMOS 互換入出力　OD = オープン ドレイン
TTL= TTL 互換入力　ST = CMOS レベルのシュミット トリガ入力　I^2C™ = I^2C レベルのシュミット トリガ入力
HV = 高電圧 (High Voltage)　XTAL = クリスタル

注 1: APFCON レジスタを介してピン機能を選択できます。
2: PIC16F193X デバイスのみ。
3: PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスのみ。
4: PORTD は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 デバイスでのみ有効。
5: RE<2:0> は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 デバイスでのみ有効。

表 1-1: PIC16F193X/LF193X のピン配置の説明 (続き)

Name	Function	Input Type	Output Type	Description
RA6/OSC2/CLKOUT/VCAP(2)/ SEG1	RA6	TTL	CMOS	General purpose I/O.
	OSC2	—	XTAL	Crystal/Resonator (LP, XT, HS modes).
	CLKOUT	—	CMOS	FOSC/4 output.
	VCAP	Power	Power	Filter capacitor for Voltage Regulator (PIC16F193X only).
	SEG1	—	AN	LCD Analog output.
RA7/OSC1/CLKIN/SEG2	RA7	TTL	CMOS	General purpose I/O.
	OSC1	XTAL	—	Crystal/Resonator (LP, XT, HS modes).
	CLKIN	CMOS	—	External clock input (EC mode).
	SEG2	—	AN	LCD Analog output.
RB0/AN12/CPS0/CCP4/SRI/INT/ SEG0	RB0	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN12	AN	—	A/D Channel 12 input.
	CPS0	AN	—	Capacitive sensing input 0.
	CCP4	ST	CMOS	Capture/Compare/PWM4.
	SRI	—	ST	SR Latch input.
	INT	ST	—	External interrupt.
	SEG0	—	AN	LCD analog output.
RB1/AN10/C12IN3-/CPS1/P1C/ VLCD1	RB1	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN10	AN	—	A/D Channel 10 input.
	C12IN3-	AN	—	Comparator C1 or C2 negative input.
	CPS1	AN	—	Capacitive sensing input 1.
	P1C	—	CMOS	PWM output.
	VLCD1	AN	—	LCD analog input.
RB2/AN8/CPS2/P1B/VLCD2	RB2	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN8	AN	—	A/D Channel 8 input.
	CPS2	AN	—	Capacitive sensing input 2.
	P1B	—	CMOS	PWM output.
	VLCD2	AN	—	LCD analog input.
RB3/AN9/C12IN2-/CPS3/ CCP2(1)/P2A(1)/VLCD3	RB3	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN9	AN	—	A/D Channel 9 input.
	C12IN2-	AN	—	Comparator C1 or C2 negative input.
	CPS3	AN	—	Capacitive sensing input 3.
	CCP2	ST	CMOS	Capture/Compare/PWM2.
	P2A	—	CMOS	PWM output.
	VLCD3	AN	—	LCD analog input.

記号の説明 : AN = アナログ入出力　CMOS = CMOS 互換入出力　OD = オープン ドレイン
TTL= TTL 互換入力　ST = CMOS レベルのシュミット トリガ入力　I2C™ = I2C レベルのシュミット トリガ入力
HV = 高電圧 (High Voltage)　XTAL = クリスタル

注 1: APFCON レジスタを介してピン機能を選択できます。
2: PIC16F193X デバイスのみ。
3: PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスのみ。
4: PORTD は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 デバイスでのみ有効。
5: RE<2:0> は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 デバイスでのみ有効。

© 2009 Microchip Technology Inc.

表 1-1: PIC16F193X/LF193X のピン配置の説明 (続き)

Name	Function	Input Type	Output Type	Description
RB4/AN11/CPS4/P1D/COM0	RB4	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN11	AN	—	A/D Channel 11 input.
	CPS4	AN	—	Capacitive sensing input 4.
	P1D	—	CMOS	PWM output.
	COM0	—	AN	LCD Analog output.
RB5/AN13/CPS5/P2B/CCP3(1)/ P3A(1)/T1G(1)/COM1	RB5	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	AN13	AN	—	A/D Channel 13 input.
	CPS5	AN	—	Capacitive sensing input 5.
	P2B	—	CMOS	PWM output.
	CCP3	ST	CMOS	Capture/Compare/PWM3.
	P3A	—	CMOS	PWM output.
	T1G	ST	—	Timer1 Gate input.
	COM1	—	AN	LCD Analog output.
RB6/ICSPCLK/ICDCLK/SEG14	RB6	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	ICSPCLK	ST	—	Serial Programming Clock.
	ICDCLK	ST	—	In-Circuit Debug Clock.
	SEG14	—	AN	LCD Analog output.
RB7/ICSPDAT/ICDDAT/SEG13	RB7	TTL	CMOS	General purpose I/O. Individually controlled interrupt-on-change. Individually enabled pull-up.
	ICSPDAT	ST	CMOS	ICSP™ Data I/O.
	ICDDAT	ST	CMOS	In-Circuit Data I/O.
	SEG13	—	AN	LCD Analog output.
RC0/T1OSO/T1CKI/P2B(1)	RC0	ST	CMOS	General purpose I/O.
	T1OSO	XTAL	XTAL	Timer1 oscillator connection.
	T1CKI	ST	—	Timer1 clock input.
	P2B	—	CMOS	PWM output.
RC1/T1OSI/CCP2(1)/P2A(1)	RC1	ST	CMOS	General purpose I/O.
	T1OSI	XTAL	XTAL	Timer1 oscillator connection.
	CCP2	ST	CMOS	Capture/Compare/PWM2.
	P2A	—	CMOS	PWM output.
RC2/CCP1/P1A/SEG3	RC2	ST	CMOS	General purpose I/O.
	CCP1	ST	CMOS	Capture/Compare/PWM1.
	P1A	—	CMOS	PWM output.
	SEG3	—	AN	LCD Analog output.
RC3/SCK/SCL/SEG6	RC3	ST	CMOS	General purpose I/O.
	SCK	ST	CMOS	SPI clock.
	SCL	I^2C	OD	I^2C™ clock.
	SEG6	—	AN	LCD Analog output.

記号の説明 : AN = アナログ入出力　CMOS = CMOS 互換入出力　OD = オープン ドレイン
TTL= TTL 互換入力　ST = CMOS レベルのシュミット トリガ入力　I^2C™ = I^2C レベルのシュミット トリガ入力
HV = 高電圧 (High Voltage)　XTAL = クリスタル

注 1: APFCON レジスタを介してピン機能を選択できます。
2: PIC16F193X デバイスのみ。
3: PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスのみ。
4: PORTD は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 デバイスでのみ有効。
5: RE<2:0> は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 デバイスでのみ有効。

表 1-1: PIC16F193X/LF193X のピン配置の説明 (続き)

Name	Function	Input Type	Output Type	Description
RC4/SDI/SDA/T1G(1)/SEG11	RC4	ST	CMOS	General purpose I/O.
	SDI	ST	—	SPI data input.
	SDA	I^2C	OD	I^2C™ data input/output.
	T1G	ST	—	Timer1 Gate input.
	SEG11	—	AN	LCD Analog output.
RC5/SDO/SEG10	RC5	ST	CMOS	General purpose I/O.
	SDO	—	CMOS	SPI data output.
	SEG10	—	AN	LCD Analog output.
RC6/TX/CK/CCP3/P3A/SEG9	RC6	ST	CMOS	General purpose I/O.
	TX	—	CMOS	USART asynchronous transmit.
	CK	ST	CMOS	USART synchronous clock.
	CCP3	ST	CMOS	Capture/Compare/PWM3.
	P3A	—	CMOS	PWM output.
	SEG9	—	AN	LCD Analog output.
RC7/RX/DT/P3B/SEG8	RC7	ST	CMOS	General purpose I/O.
	RX	ST	—	USART asynchronous input.
	DT	ST	CMOS	USART synchronous data.
	P3B	—	CMOS	PWM output.
	SEG8	—	AN	LCD Analog output.
RD0(4)/CPS8/COM3	RD0	ST	CMOS	General purpose I/O.
	CPS8	AN	—	Capacitive sensing input 8.
	COM3	—	AN	LCD analog output.
RD1(4)/CPS9/CCP4	RD1	ST	CMOS	General purpose I/O.
	CPS9	AN	—	Capacitive sensing input 9.
	CCP4	ST	CMOS	Capture/Compare/PWM4.
RD2(4)/CPS10/P2B	RD2	ST	CMOS	General purpose I/O.
	CPS10	AN	—	Capacitive sensing input 10.
	P2B	—	CMOS	PWM output.
RD3(4)/CPS11/P2C/SEG16	RD3	ST	CMOS	General purpose I/O.
	CPS11	AN	—	Capacitive sensing input 11.
	P2C	—	CMOS	PWM output.
	SEG16	—	AN	LCD analog output.
RD4(4)/CPS12/P2D/SEG17	RD4	ST	CMOS	General purpose I/O.
	CPS12	AN	—	Capacitive sensing input 12.
	P2D	—	CMOS	PWM output.
	SEG17	—	AN	LCD analog output.
RD5(4)/CPS13/P1B/SEG18	RD5	ST	CMOS	General purpose I/O.
	CPS13	AN	—	Capacitive sensing input 13.
	P1D	—	CMOS	PWM output.
	SEG18	—	AN	LCD analog output.

記号の説明 : AN = アナログ入出力　CMOS = CMOS 互換入出力　OD = オープン ドレイン
TTL = TTL 互換入力　ST = CMOS レベルのシュミット トリガ入力　I^2C™ = I^2C レベルのシュミット トリガ入力
HV = 高電圧 (High Voltage)　XTAL = クリスタル

注 1: APFCON レジスタを介してピン機能を選択できます。
2: PIC16F193X デバイスのみ。
3: PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスのみ。
4: PORTD は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 デバイスでのみ有効。
5: RE<2:0> は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 デバイスでのみ有効。

© 2009 Microchip Technology Inc.

表 1-1: PIC16F193X/LF193X のピン配置の説明 (続き)

Name	Function	Input Type	Output Type	Description
RD6(4)/CPS14/P1C/SEG19	RD6	ST	CMOS	General purpose I/O.
	CPS14	AN	—	Capacitive sensing input 14.
	P1C	—	CMOS	PWM output.
	SEG19	—	AN	LCD analog output.
RD7(4)/CPS15/P1D/SEG20	RD7	ST	CMOS	General purpose I/O.
	CPS15	AN	—	Capacitive sensing input 15.
	P1D	—	CMOS	PWM output.
	SEG20	—	AN	LCD analog output.
RE0(5)/AN5/P3A(1)/CCP3(1)/ SEG21	RE0	ST	CMOS	General purpose I/O.
	AN5	AN	—	A/D Channel 5 input.
	P3A	—	CMOS	PWM output.
	CCP3	ST	CMOS	Capture/Compare/PWM3.
	SEG21	—	AN	LCD analog output.
RE1(5)/AN6/P3B/SEG22	RE1	ST	CMOS	General purpose I/O.
	AN6	AN	—	A/D Channel 6 input.
	P3B	—	CMOS	PWM output.
	SEG22	—	AN	LCD analog output.
RE2(5)/AN7/CCP5/SEG23	RE2	ST	CMOS	General purpose I/O.
	AN7	AN	—	A/D Channel 7 input.
	CCP5	ST	CMOS	Capture/Compare/PWM5.
	SEG23	—	AN	LCD analog output.
RE3/$\overline{MCLR}$/VPP	RE3	TTL	—	General purpose input.
	$\overline{MCLR}$	ST	—	Master Clear with internal pull-up.
	VPP	HV	—	Programming voltage.
VDD	VDD	Power	—	Positive supply.
VSS	VSS	Power	—	Ground reference.

記号の説明 : AN = アナログ入出力　CMOS = CMOS 互換入出力　OD = オープン ドレイン
TTL= TTL 互換入力　ST = CMOS レベルのシュミット トリガ入力　I^2C™ = I^2C レベルのシュミット トリガ入力
HV = 高電圧 (High Voltage)　XTAL = クリスタル

注 1: APFCON レジスタを介してピン機能を選択できます。
2: PIC16F193X デバイスのみ。
3: PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスのみ。
4: PORTD は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 デバイスでのみ有効。
5: RE<2:0> は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 デバイスでのみ有効。

ノート：

 © 2009 Microchip Technology Inc.

2.0 メモリ構成

2.1 プログラム メモリの構成

拡張型ミッドレンジ コアには 15 ビットのプログラム カウンタがあり、32K x 14 のプログラム メモリ空間におけるアドレス指定が可能です。表 2-1 に、PIC16F193X/LF193X デバイス ファミリにインプリメントされているメモリ サイズを示します。この境界を超える場所にアクセスすると、インプリメントされたメモリ空間内でラップアラウンド (折り返し) が発生します。リセット ベクタは 0000h で、割り込みベクタは 0004h です (図 2-1、図 2-2 および図 2-3 参照)。

表 2-1: デバイス サイズおよびアドレス

Device	Program Memory Space (Words)	Last Program Memory Address
PIC16F1933/PIC16LF1933	4,096	0FFFh
PIC16F1934/PIC16LF1934	4,096	0FFFh
PIC16F1936/PIC16LF1936	8,192	1FFFh
PIC16F1937/PIC16LF1937	8,192	1FFFh
PIC16F1938/PIC16LF1938	16,384	3FFFh
PIC16F1939/PIC16LF1939	16,384	3FFFh

図 2-1: PIC16F1933/PIC16LF1933/ PIC16F1934/PIC16LF1934 のプログラム メモリ マップおよびスタック

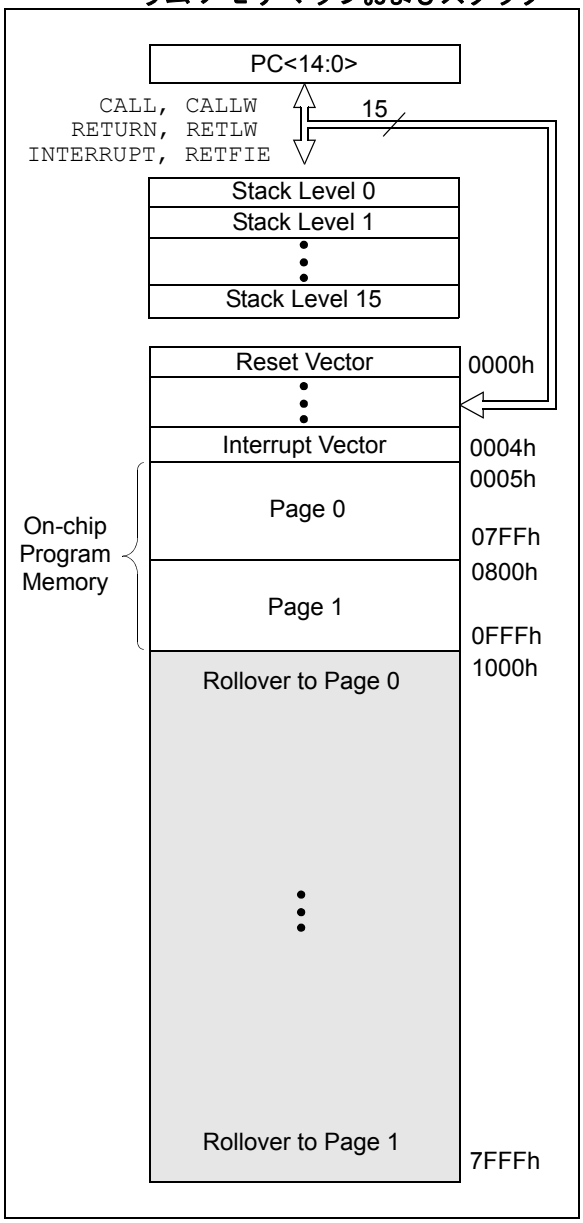
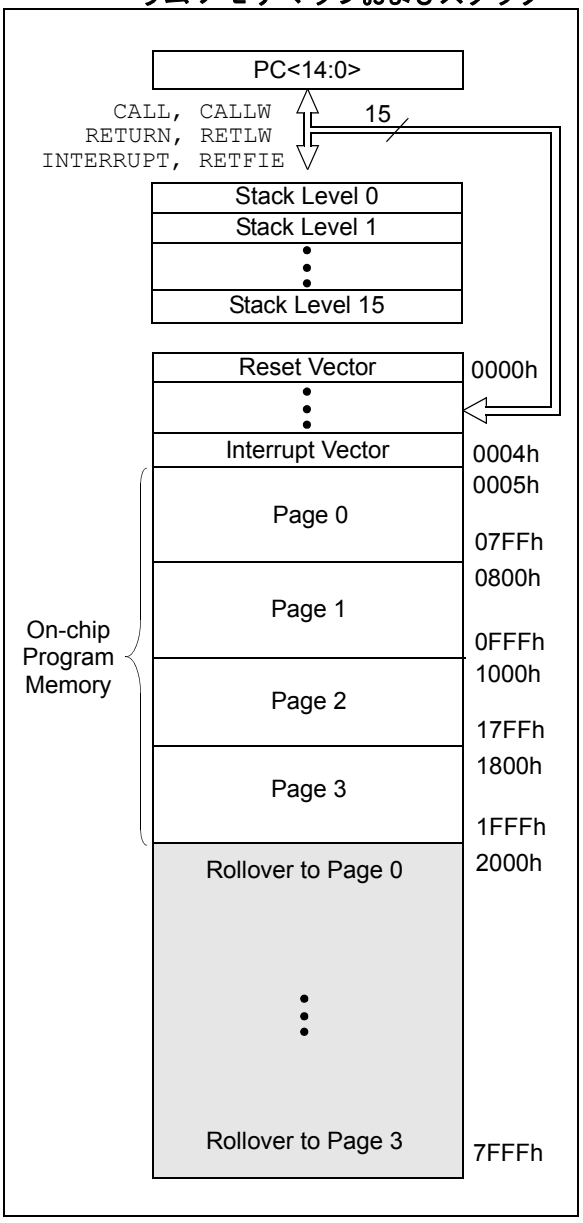
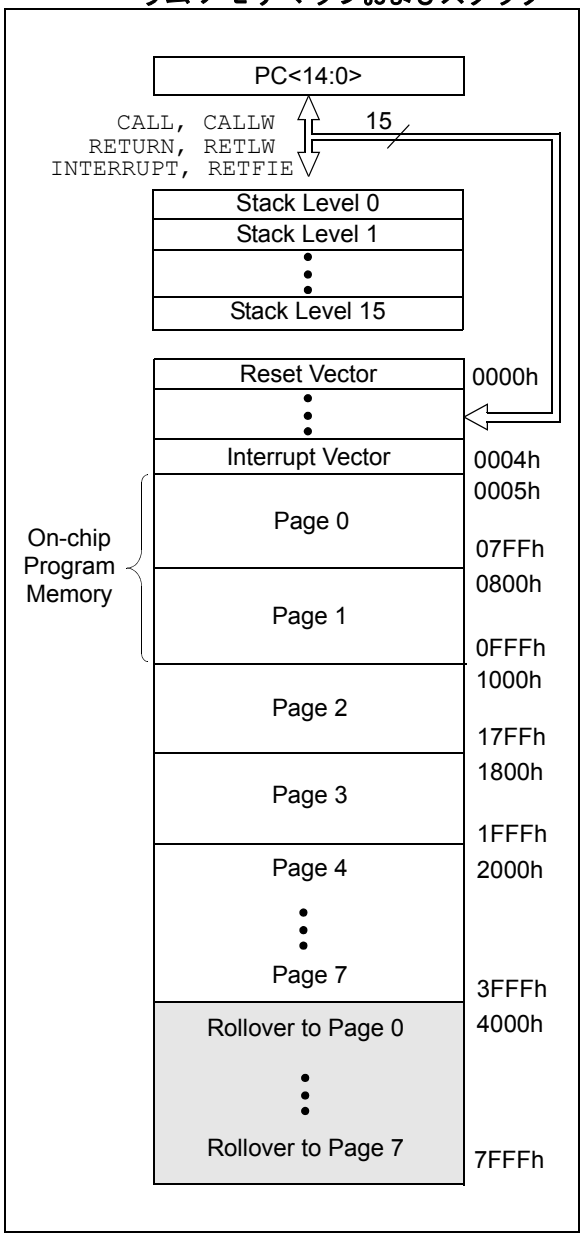


図 2-2: PIC16F1936/PIC16LF1936/ PIC16F1937/PIC16LF1937 のプログラム メモリ マップおよびスタック



 © 2009 Microchip Technology Inc.

図 2-3: PIC16F1938/PIC16LF1938/ PIC16F1939/PIC16LF1939 のプログラム メモリ マップおよびスタック



2.1.1 プログラム メモリをデータとして読む

プログラム メモリの定数へアクセスする方法は 2 つあります。1 つ目は、RETLW 命令テーブルを使用する方法です。2 つ目は、FSR を介してプログラム メモリ内を指定する方法です。

2.1.1.1 RETLW 命令

RETLW 命令を使用して定数テーブルへアクセスできます。例 2-1 に、推奨するテーブル作成方法を示します。

例 2-1: RETLW 命令

```
constants
    brw
    retlw DATA1
    retlw DATA2
    retlw DATA3
    retlw DATA4


my_function
    ;… LOTS OF CODE…
    movlw       DATA_INDEX
    call constants
    ;… THE CONSTANT IS IN W
```

BRW 命令を使用することで、このように簡単なテーブルができます。このコードを旧世代のマイクロコントローラで使用する可能性がある場合は、BRW 命令が使用できないため、旧来型のテーブル読み出し方法を使用する必要があります。

2.1.1.2 FSR を使用する間接読み出し

FSRxH レジスタのビット 7 をセットし、一致する INDFx レジスタを読み出すことで、プログラム メモリへデータとしてアクセスできます。MOVIW 命令は、アドレス指定した下位 8 ビットを W レジスタへ配置します。INDF レジスタを介してプログラム メモリへ書き込みできません。FSR を使用してプログラム メモリへアクセスする場合、追加で 1 命令サイクルが必要です。例 2-2 に、FSR を介したプログラム メモリへのアクセスを示します。

例 2-2: FSR を介したプログラム メモリへのアクセス

```
bsf FSR1H,7
moviw 0[INDF1]
;THE PROGRAM MEMORY IS IN W
```

2.2 データ メモリの構成

データ メモリは、最大 32 個のメモリ バンクに分割されます (各バンクは最大 128 バイト)。各バンクには、12 個のコア レジスタ、20 個の SFR (特殊機能レジスタ)、16 個のコモン レジスタ、そして最大 80 バイトの GPR (汎用レジスタ) があります。BSR (バンク セレクト レジスタ) にバンク番号を記述することによって、アクティブ バンクが選択されます。インプリメントされていないメモリは 0 として読み出されます。全バンクにコア SFR およびコモン レジスタがあります。インプリメントされていない SFR または GPR は 0 として読み出されます。すべてのデータ メモリへのアクセスは、直接的 (ファイル レジスタを使用する命令を使用) または間接的 (2 つのファイル セレクト レジスタ (FSR) を使用) に実行できます。詳細は、**2.5 項「間接アドレス指定 : INDF レジスタと FSR レジスタ」**を参照してください。

2.2.1 汎用レジスタ ファイル

汎用レジスタ ファイルは、ユーザー アプリケーションとして使用できる 8 ビットの RAM メモリです。各データ メモリ バンクには、最大 80 バイトの GPR があります。

2.2.2 特殊機能レジスタ

特殊機能レジスタ (SFR) は、デバイス内の周辺装置機能を任意動作させるため使用されます。特殊機能レジスタは、コアに関連するものと周辺機能に関連するものの 2 つに分類できます。ここでは、「コア」に関連する特殊機能レジスタについて説明します。「周辺機能」に関連するレジスタについては、本データ シートの周辺機能に関する章で説明します。

 © 2009 Microchip Technology Inc.

表 2-2: PIC16F1933/1934 のメモリ マップ (バンク 0 ～ 7)

	BANK 0		BANK 1		BANK 2		BANK 3		BANK 4		BANK 5		BANK 6		BANK 7
000h	INDF0	080h	INDF0	100h	INDF0	180h	INDF0	200h	INDF0	280h	INDF0	300h	INDF0	380h	INDF0
001h	INDF1	081h	INDF1	101h	INDF1	181h	INDF1	201h	INDF1	281h	INDF1	301h	INDF1	381h	INDF1
002h	PCL	082h	PCL	102h	PCL	182h	PCL	202h	PCL	282h	PCL	302h	PCL	382h	PCL
003h	STATUS	083h	STATUS	103h	STATUS	183h	STATUS	203h	STATUS	283h	STATUS	303h	STATUS	383h	STATUS
004h	FSR0L	084h	FSR0L	104h	FSR0L	184h	FSR0L	204h	FSR0L	284h	FSR0L	304h	FSR0L	384h	FSR0L
005h	FSR0H	085h	FSR0H	105h	FSR0H	185h	FSR0H	205h	FSR0H	285h	FSR0H	305h	FSR0H	385h	FSR0H
006h	FSR1L	086h	FSR1L	106h	FSR1L	186h	FSR1L	206h	FSR1L	286h	FSR1L	306h	FSR1L	386h	FSR1L
007h	FSR1H	087h	FSR1H	107h	FSR1H	187h	FSR1H	207h	FSR1H	287h	FSR1H	307h	FSR1H	387h	FSR1H
008h	BSR	088h	BSR	108h	BSR	188h	BSR	208h	BSR	288h	BSR	308h	BSR	388h	BSR
009h	WREG	089h	WREG	109h	WREG	189h	WREG	209h	WREG	289h	WREG	309h	WREG	389h	WREG
00Ah	PCLATH	08Ah	PCLATH	10Ah	PCLATH	18Ah	PCLATH	20Ah	PCLATH	28Ah	PCLATH	30Ah	PCLATH	38Ah	PCLATH
00Bh	INTCON	08Bh	INTCON	10Bh	INTCON	18Bh	INTCON	20Bh	INTCON	28Bh	INTCON	30Bh	INTCON	38Bh	INTCON
00Ch	PORTA	08Ch	TRISA	10Ch	LATA	18Ch	ANSELA	20Ch	—	28Ch	—	30Ch	—	38Ch	—
00Dh	PORTB	08Dh	TRISB	10Dh	LATB	18Dh	ANSELB	20Dh	WPUB	28Dh	—	30Dh	—	38Dh	—
00Eh	PORTC	08Eh	TRISC	10Eh	LATC	18Eh	—	20Eh	—	28Eh	—	30Eh	—	38Eh	—
00Fh	PORTD(1)	08Fh	TRISD(1)	10Fh	LATD(1)	18Fh	ANSELD(1)	20Fh	—	28Fh	—	30Fh	—	38Fh	—
010h	PORTE	090h	TRISE	110h	LATE(1)	190h	ANSELE(1)	210h	WPUE	290h	—	310h	—	390h	—
011h	PIR1	091h	PIE1	111h	CM1CON0	191h	EEADRL	211h	SSPBUF	291h	CCPR1L	311h	CCPR3L	391h	—
012h	PIR2	092h	PIE2	112h	CM1CON1	192h	EEADRH	212h	SSPADD	292h	CCPR1H	312h	CCPR3H	392h	—
013h	PIR3	093h	PIE3	113h	CM2CON0	193h	EEDATL	213h	SSPMSK	293h	CCP1CON	313h	CCP3CON	393h	—
014h	—	094h	—	114h	CM2CON1	194h	EEDATH	214h	SSPSTAT	294h	PWM1CON	314h	PWM3CON	394h	IOCBP
015h	TMR0	095h	OPTION	115h	CMOUT	195h	EECON1	215h	SSPCON1	295h	CCP1AS	315h	CCP3AS	395h	IOCBN
016h	TMR1L	096h	PCON	116h	BORCON	196h	EECON2	216h	SSPCON2	296h	PSTR1CON	316h	PSTR3CON	396h	IOCBF
017h	TMR1H	097h	WDTCON	117h	FVRCON	197h	—	217h	SSPCON3	297h	—	317h	—	397h	—
018h	T1CON	098h	OSCTUNE	118h	DACCON0	198h	—	218h	—	298h	CCPR2L	318h	CCPR4L	398h	—
019h	T1GCON	099h	OSCCON	119h	DACCON1	199h	RCREG	219h	—	299h	CCPR2H	319h	CCPR4H	399h	—
01Ah	TMR2	09Ah	OSCSTAT	11Ah	SRCON0	19Ah	TXREG	21Ah	—	29Ah	CCP2CON	31Ah	CCP4CON	39Ah	—
01Bh	PR2	09Bh	ADRESL	11Bh	SRCON1	19Bh	SPBRGL	21Bh	—	29Bh	PWM2CON	31Bh	—	39Bh	—
01Ch	T2CON	09Ch	ADRESH	11Ch	—	19Ch	SPBRGH	21Ch	—	29Ch	CCP2AS	31Ch	CCPR5L	39Ch	—
01Dh	—	09Dh	ADCON0	11Dh	APFCON	19Dh	RCSTA	21Dh	—	29Dh	PSTR2CON	31Dh	CCPR5H	39Dh	—
01Eh	CPSCON0	09Eh	ADCON1	11Eh	—	19Eh	TXSTA	21Eh	—	29Eh	CCPTMRS0	31Eh	CCP5CON	39Eh	—
01Fh	CPSCON1	09Fh	—	11Fh	—	19Fh	BAUDCTR	21Fh	—	29Fh	CCPTMRS1	31Fh	—	39Fh	—
020h 06Fh	General Purpose Register 96 Bytes	0A0h 0EFh	General Purpose Register 80 Bytes	120h 16Fh	General Purpose Register 80 Bytes	1A0h 1EFh	Unimplemented Read as '0'	220h 26Fh	Unimplemented Read as '0'	2A0h 2EFh	Unimplemented Read as '0'	320h 36Fh	Unimplemented Read as '0'	3A0h 3EFh	Unimplemented Read as '0'
070h 07Fh		0F0h 0FFh	Accesses 70h – 7Fh	170h 17Fh	Accesses 70h – 7Fh	1F0h 1FFh	Accesses 70h – 7Fh	270h 27Fh	Accesses 70h – 7Fh	2F0h 2FFh	Accesses 70h – 7Fh	370h 37Fh	Accesses 70h – 7Fh	3F0h 3FFh	Accesses 70h – 7Fh

記号の説明 : = 未実装データ メモリ アドレス。「0」として読み出し。

注 1: PIC16F1933/1936/1938/PIC16LF1933/1936/1938 にはありません。

© 2009 Microchip Technology Inc.

表 2-3: PIC16F1933/1934 のメモリ マップ (バンク 8 ～ 15)

BANK 8		BANK 9		BANK 10		BANK 11		BANK 12		BANK 13		BANK 14		BANK 15	
400h	INDF0	480h	INDF0	500h	INDF0	580h	INDF0	600h	INDF0	680h	INDF0	700h	INDF0	780h	INDF0
401h	INDF1	481h	INDF1	501h	INDF1	581h	INDF1	601h	INDF1	681h	INDF1	701h	INDF1	781h	INDF1
402h	PCL	482h	PCL	502h	PCL	582h	PCL	602h	PCL	682h	PCL	702h	PCL	782h	PCL
403h	STATUS	483h	STATUS	503h	STATUS	583h	STATUS	603h	STATUS	683h	STATUS	703h	STATUS	783h	STATUS
404h	FSR0L	484h	FSR0L	504h	FSR0L	584h	FSR0L	604h	FSR0L	684h	FSR0L	704h	FSR0L	784h	FSR0L
405h	FSR0H	485h	FSR0H	505h	FSR0H	585h	FSR0H	605h	FSR0H	685h	FSR0H	705h	FSR0H	785h	FSR0H
406h	FSR1L	486h	FSR1L	506h	FSR1L	586h	FSR1L	606h	FSR1L	686h	FSR1L	706h	FSR1L	786h	FSR1L
407h	FSR1H	487h	FSR1H	507h	FSR1H	587h	FSR1H	607h	FSR1H	687h	FSR1H	707h	FSR1H	787h	FSR1H
408h	BSR	488h	BSR	508h	BSR	588h	BSR	608h	BSR	688h	BSR	708h	BSR	788h	BSR
409h	WREG	489h	WREG	509h	WREG	589h	WREG	609h	WREG	689h	WREG	709h	WREG	789h	WREG
40Ah	PCLATH	48Ah	PCLATH	50Ah	PCLATH	58Ah	PCLATH	60Ah	PCLATH	68Ah	PCLATH	70Ah	PCLATH	78Ah	PCLATH
40Bh	INTCON	48Bh	INTCON	50Bh	INTCON	58Bh	INTCON	60Bh	INTCON	68Bh	INTCON	70Bh	INTCON	78Bh	INTCON
40Ch	—	48Ch	—	50Ch	—	58Ch	—	60Ch	—	68Ch	—	70Ch	—	78Ch	—
40Dh	—	48Dh	—	50Dh	—	58Dh	—	60Dh	—	68Dh	—	70Dh	—	78Dh	—
40Eh	—	48Eh	—	50Eh	—	58Eh	—	60Eh	—	68Eh	—	70Eh	—	78Eh	—
40Fh	—	48Fh	—	50Fh	—	58Fh	—	60Fh	—	68Fh	—	70Fh	—	78Fh	—
410h	—	490h	—	510h	—	590h	—	610h	—	690h	—	710h	—	790h	—
411h	—	491h	—	511h	—	591h	—	611h	—	691h	—	711h	—	791h	See Table 2-10 or Table 2-11
412h	—	492h	—	512h	—	592h	—	612h	—	692h	—	712h	—	792h	
413h	—	493h	—	513h	—	593h	—	613h	—	693h	—	713h	—	793h	
414h	—	494h	—	514h	—	594h	—	614h	—	694h	—	714h	—	794h	
415h	TMR4	495h	—	515h	—	595h	—	615h	—	695h	—	715h	—	795h	
416h	PR4	496h	—	516h	—	596h	—	616h	—	696h	—	716h	—	796h	
417h	T4CON	497h	—	517h	—	597h	—	617h	—	697h	—	717h	—	797h	
418h	—	498h	—	518h	—	598h	—	618h	—	698h	—	718h	—	798h	
419h	—	499h	—	519h	—	599h	—	619h	—	699h	—	719h	—	799h	
41Ah	—	49Ah	—	51Ah	—	59Ah	—	61Ah	—	69Ah	—	71Ah	—	79Ah	
41Bh	—	49Bh	—	51Bh	—	59Bh	—	61Bh	—	69Bh	—	71Bh	—	79Bh	
41Ch	TMR6	49Ch	—	51Ch	—	59Ch	—	61Ch	—	69Ch	—	71Ch	—	79Ch	
41Dh	PR6	49Dh	—	51Dh	—	59Dh	—	61Dh	—	69Dh	—	71Dh	—	79Dh	
41Eh	T6CON	49Eh	—	51Eh	—	59Eh	—	61Eh	—	69Eh	—	71Eh	—	79Eh	
41Fh	—	49Fh	—	51Fh	—	59Fh	—	61Fh	—	69Fh	—	71Fh	—	79Fh	
420h	Unimplemented Read as '0'	4A0h	Unimplemented Read as '0'	520h	Unimplemented Read as '0'	5A0h	Unimplemented Read as '0'	620h	Unimplemented Read as '0'	6A0h	Unimplemented Read as '0'	720h	Unimplemented Read as '0'	7A0h	
46Fh		4EFh		56Fh		5EFh		66Fh		6EFh		76Fh		7EFh	
470h	Accesses 70h – 7Fh	4F0h	Accesses 70h – 7Fh	570h	Accesses 70h – 7Fh	5F0h	Accesses 70h – 7Fh	670h	Accesses 70h – 7Fh	6F0h	Accesses 70h – 7Fh	770h	Accesses 70h – 7Fh	7F0h	Accesses 70h – 7Fh
47Fh		4FFh		57Fh		5FFh		67Fh		6FFh		77Fh		7FFh	

記号の説明 : ■ = 未実装データ メモリ アドレス。「0」として読み出し。

Preliminary

© 2009 Microchip Technology Inc.

表 2-4: PIC16F1936/1937 のメモリ マップ (バンク 0 ～ 7)

	BANK 0		BANK 1		BANK 2		BANK 3		BANK 4		BANK 5		BANK 6		BANK 7
000h	INDF0	080h	INDF0	100h	INDF0	180h	INDF0	200h	INDF0	280h	INDF0	300h	INDF0	380h	INDF0
001h	INDF1	081h	INDF1	101h	INDF1	181h	INDF1	201h	INDF1	281h	INDF1	301h	INDF1	381h	INDF1
002h	PCL	082h	PCL	102h	PCL	182h	PCL	202h	PCL	282h	PCL	302h	PCL	382h	PCL
003h	STATUS	083h	STATUS	103h	STATUS	183h	STATUS	203h	STATUS	283h	STATUS	303h	STATUS	383h	STATUS
004h	FSR0L	084h	FSR0L	104h	FSR0L	184h	FSR0L	204h	FSR0L	284h	FSR0L	304h	FSR0L	384h	FSR0L
005h	FSR0H	085h	FSR0H	105h	FSR0H	185h	FSR0H	205h	FSR0H	285h	FSR0H	305h	FSR0H	385h	FSR0H
006h	FSR1L	086h	FSR1L	106h	FSR1L	186h	FSR1L	206h	FSR1L	286h	FSR1L	306h	FSR1L	386h	FSR1L
007h	FSR1H	087h	FSR1H	107h	FSR1H	187h	FSR1H	207h	FSR1H	287h	FSR1H	307h	FSR1H	387h	FSR1H
008h	BSR	088h	BSR	108h	BSR	188h	BSR	208h	BSR	288h	BSR	308h	BSR	388h	BSR
009h	WREG	089h	WREG	109h	WREG	189h	WREG	209h	WREG	289h	WREG	309h	WREG	389h	WREG
00Ah	PCLATH	08Ah	PCLATH	10Ah	PCLATH	18Ah	PCLATH	20Ah	PCLATH	28Ah	PCLATH	30Ah	PCLATH	38Ah	PCLATH
00Bh	INTCON	08Bh	INTCON	10Bh	INTCON	18Bh	INTCON	20Bh	INTCON	28Bh	INTCON	30Bh	INTCON	38Bh	INTCON
00Ch	PORTA	08Ch	TRISA	10Ch	LATA	18Ch	ANSELA	20Ch	—	28Ch	—	30Ch	—	38Ch	—
00Dh	PORTB	08Dh	TRISB	10Dh	LATB	18Dh	ANSELB	20Dh	WPUB	28Dh	—	30Dh	—	38Dh	—
00Eh	PORTC	08Eh	TRISC	10Eh	LATC	18Eh	—	20Eh	—	28Eh	—	30Eh	—	38Eh	—
00Fh	PORTD(1)	08Fh	TRISD(1)	10Fh	LATD(1)	18Fh	ANSELD(1)	20Fh	—	28Fh	—	30Fh	—	38Fh	—
010h	PORTE	090h	TRISE	110h	LATE(1)	190h	ANSELE(1)	210h	WPUE	290h	—	310h	—	390h	—
011h	PIR1	091h	PIE1	111h	CM1CON0	191h	EEADRL	211h	SSPBUF	291h	CCPR1L	311h	CCPR3L	391h	—
012h	PIR2	092h	PIE2	112h	CM1CON1	192h	EEADRH	212h	SSPADD	292h	CCPR1H	312h	CCPR3H	392h	—
013h	PIR3	093h	PIE3	113h	CM2CON0	193h	EEDATL	213h	SSPMSK	293h	CCP1CON	313h	CCP3CON	393h	—
014h	—	094h	—	114h	CM2CON1	194h	EEDATH	214h	SSPSTAT	294h	PWM1CON	314h	PWM3CON	394h	IOCBP
015h	TMR0	095h	OPTION	115h	CMOUT	195h	EECON1	215h	SSPCON1	295h	CCP1AS	315h	CCP3AS	395h	IOCBN
016h	TMR1L	096h	PCON	116h	BORCON	196h	EECON2	216h	SSPCON2	296h	PSTR1CON	316h	PSTR3CON	396h	IOCBF
017h	TMR1H	097h	WDTCON	117h	FVRCON	197h	—	217h	SSPCON3	297h	—	317h	—	397h	—
018h	T1CON	098h	OSCTUNE	118h	DACCON0	198h	—	218h	—	298h	CCPR2L	318h	CCPR4L	398h	—
019h	T1GCON	099h	OSCCON	119h	DACCON1	199h	RCREG	219h	—	299h	CCPR2H	319h	CCPR4H	399h	—
01Ah	TMR2	09Ah	OSCSTAT	11Ah	SRCON0	19Ah	TXREG	21Ah	—	29Ah	CCP2CON	31Ah	CCP4CON	39Ah	—
01Bh	PR2	09Bh	ADRESL	11Bh	SRCON1	19Bh	SPBRGL	21Bh	—	29Bh	PWM2CON	31Bh	—	39Bh	—
01Ch	TxCON	09Ch	ADRESH	11Ch	—	19Ch	SPBRGH	21Ch	—	29Ch	CCP2AS	31Ch	CCPR5L	39Ch	—
01Dh	—	09Dh	ADCON0	11Dh	APFCON	19Dh	RCSTA	21Dh	—	29Dh	PSTR2CON	31Dh	CCPR5H	39Dh	—
01Eh	CPSCON0	09Eh	ADCON1	11Eh	—	19Eh	TXSTA	21Eh	—	29Eh	CCPTMRS0	31Eh	CCP5CON	39Eh	—
01Fh	CPSCON1	09Fh	—	11Fh	—	19Fh	BAUDCON	21Fh	—	29Fh	CCPTMRS1	31Fh	—	39Fh	—
020h 06Fh	General Purpose Register 96 Bytes	0A0h 0EFh	General Purpose Register 80 Bytes	120h 16Fh	General Purpose Register 80 Bytes	1A0h 1EFh	General Purpose Register 80 Bytes	220h 26Fh	General Purpose Register 80 Bytes	2A0h 2EFh	General Purpose Register 80 Bytes	320h 32Fh 330h 36Fh	General Purpose Register 16 Bytes Unimplemented Read as '0'	3A0h 3EFh	Unimplemented Read as '0'
070h 07Fh	Accesses 70h – 7Fh	0F0h 0FFh	Accesses 70h – 7Fh	170h 17Fh	Accesses 70h – 7Fh	1F0h 1FFh	Accesses 70h – 7Fh	270h 27Fh	Accesses 70h – 7Fh	2F0h 2FFh	Accesses 70h – 7Fh	370h 37Fh	Accesses 70h – 7Fh	3F0h 3FFh	Accesses 70h – 7Fh

記号の説明 : = 未実装データ メモリ アドレス。「0」として読み出し。

注 1: PIC16F1933/1936/1938/PIC16LF1933/1936/1938 にはありません。

© 2009 Microchip Technology Inc.

表 2-5: PIC16F1936/1937 のメモリ マップ (バンク 8 ～ 15)

BANK 8		BANK 9		BANK 10		BANK 11		BANK 12		BANK 13		BANK 14		BANK 15	
400h	INDF0	480h	INDF0	500h	INDF0	580h	INDF0	600h	INDF0	680h	INDF0	700h	INDF0	780h	INDF0
401h	INDF1	481h	INDF1	501h	INDF1	581h	INDF1	601h	INDF1	681h	INDF1	701h	INDF1	781h	INDF1
402h	PCL	482h	PCL	502h	PCL	582h	PCL	602h	PCL	682h	PCL	702h	PCL	782h	PCL
403h	STATUS	483h	STATUS	503h	STATUS	583h	STATUS	603h	STATUS	683h	STATUS	703h	STATUS	783h	STATUS
404h	FSR0L	484h	FSR0L	504h	FSR0L	584h	FSR0L	604h	FSR0L	684h	FSR0L	704h	FSR0L	784h	FSR0L
405h	FSR0H	485h	FSR0H	505h	FSR0H	585h	FSR0H	605h	FSR0H	685h	FSR0H	705h	FSR0H	785h	FSR0H
406h	FSR1L	486h	FSR1L	506h	FSR1L	586h	FSR1L	606h	FSR1L	686h	FSR1L	706h	FSR1L	786h	FSR1L
407h	FSR1H	487h	FSR1H	507h	FSR1H	587h	FSR1H	607h	FSR1H	687h	FSR1H	707h	FSR1H	787h	FSR1H
408h	BSR	488h	BSR	508h	BSR	588h	BSR	608h	BSR	688h	BSR	708h	BSR	788h	BSR
409h	WREG	489h	WREG	509h	WREG	589h	WREG	609h	WREG	689h	WREG	709h	WREG	789h	WREG
40Ah	PCLATH	48Ah	PCLATH	50Ah	PCLATH	58Ah	PCLATH	60Ah	PCLATH	68Ah	PCLATH	70Ah	PCLATH	78Ah	PCLATH
40Bh	INTCON	48Bh	INTCON	50Bh	INTCON	58Bh	INTCON	60Bh	INTCON	68Bh	INTCON	70Bh	INTCON	78Bh	INTCON
40Ch	—	48Ch	—	50Ch	—	58Ch	—	60Ch	—	68Ch	—	70Ch	—	78Ch	—
40Dh	—	48Dh	—	50Dh	—	58Dh	—	60Dh	—	68Dh	—	70Dh	—	78Dh	—
40Eh	—	48Eh	—	50Eh	—	58Eh	—	60Eh	—	68Eh	—	70Eh	—	78Eh	—
40Fh	—	48Fh	—	50Fh	—	58Fh	—	60Fh	—	68Fh	—	70Fh	—	78Fh	—
410h	—	490h	—	510h	—	590h	—	610h	—	690h	—	710h	—	790h	—
411h	—	491h	—	511h	—	591h	—	611h	—	691h	—	711h	—	791h	See Table 2-10 or Table 2-11
412h	—	492h	—	512h	—	592h	—	612h	—	692h	—	712h	—	792h	
413h	—	493h	—	513h	—	593h	—	613h	—	693h	—	713h	—	793h	
414h	—	494h	—	514h	—	594h	—	614h	—	694h	—	714h	—	794h	
415h	TMR4	495h	—	515h	—	595h	—	615h	—	695h	—	715h	—	795h	
416h	PR4	496h	—	516h	—	596h	—	616h	—	696h	—	716h	—	796h	
417h	T4CON	497h	—	517h	—	597h	—	617h	—	697h	—	717h	—	797h	
418h	—	498h	—	518h	—	598h	—	618h	—	698h	—	718h	—	798h	
419h	—	499h	—	519h	—	599h	—	619h	—	699h	—	719h	—	799h	
41Ah	—	49Ah	—	51Ah	—	59Ah	—	61Ah	—	69Ah	—	71Ah	—	79Ah	
41Bh	—	49Bh	—	51Bh	—	59Bh	—	61Bh	—	69Bh	—	71Bh	—	79Bh	
41Ch	TMR6	49Ch	—	51Ch	—	59Ch	—	61Ch	—	69Ch	—	71Ch	—	79Ch	
41Dh	PR6	49Dh	—	51Dh	—	59Dh	—	61Dh	—	69Dh	—	71Dh	—	79Dh	
41Eh	T6CON	49Eh	—	51Eh	—	59Eh	—	61Eh	—	69Eh	—	71Eh	—	79Eh	
41Fh	—	49Fh	—	51Fh	—	59Fh	—	61Fh	—	69Fh	—	71Fh	—	79Fh	
420h	Unimplemented Read as '0'	4A0h	Unimplemented Read as '0'	520h	Unimplemented Read as '0'	5A0h	Unimplemented Read as '0'	620h	Unimplemented Read as '0'	6A0h	Unimplemented Read as '0'	720h	Unimplemented Read as '0'	7A0h	
46Fh		4EFh		56Fh		5EFh		66Fh		6EFh		76Fh		7EFh	
470h	Accesses 70h – 7Fh	4F0h	Accesses 70h – 7Fh	570h	Accesses 70h – 7Fh	5F0h	Accesses 70h – 7Fh	670h	Accesses 70h – 7Fh	6F0h	Accesses 70h – 7Fh	770h	Accesses 70h – 7Fh	7F0h	Accesses 70h – 7Fh
47Fh		4FFh		57Fh		5FFh		67Fh		6FFh		77Fh		7FFh	

記号の説明： = 未実装データ メモリ アドレス。「0」として読み出し。

Preliminary

© 2009 Microchip Technology Inc.

表 2-6: PIC16F1938/1939 のメモリ マップ (バンク 0 ～ 7)

	BANK 0		BANK 1		BANK 2		BANK 3		BANK 4		BANK 5		BANK 6		BANK 7
000h	INDF0	080h	INDF0	100h	INDF0	180h	INDF0	200h	INDF0	280h	INDF0	300h	INDF0	380h	INDF0
001h	INDF1	081h	INDF1	101h	INDF1	181h	INDF1	201h	INDF1	281h	INDF1	301h	INDF1	381h	INDF1
002h	PCL	082h	PCL	102h	PCL	182h	PCL	202h	PCL	282h	PCL	302h	PCL	382h	PCL
003h	STATUS	083h	STATUS	103h	STATUS	183h	STATUS	203h	STATUS	283h	STATUS	303h	STATUS	383h	STATUS
004h	FSR0L	084h	FSR0L	104h	FSR0L	184h	FSR0L	204h	FSR0L	284h	FSR0L	304h	FSR0L	384h	FSR0L
005h	FSR0H	085h	FSR0H	105h	FSR0H	185h	FSR0H	205h	FSR0H	285h	FSR0H	305h	FSR0H	385h	FSR0H
006h	FSR1L	086h	FSR1L	106h	FSR1L	186h	FSR1L	206h	FSR1L	286h	FSR1L	306h	FSR1L	386h	FSR1L
007h	FSR1H	087h	FSR1H	107h	FSR1H	187h	FSR1H	207h	FSR1H	287h	FSR1H	307h	FSR1H	387h	FSR1H
008h	BSR	088h	BSR	108h	BSR	188h	BSR	208h	BSR	288h	BSR	308h	BSR	388h	BSR
009h	WREG	089h	WREG	109h	WREG	189h	WREG	209h	WREG	289h	WREG	309h	WREG	389h	WREG
00Ah	PCLATH	08Ah	PCLATH	10Ah	PCLATH	18Ah	PCLATH	20Ah	PCLATH	28Ah	PCLATH	30Ah	PCLATH	38Ah	PCLATH
00Bh	INTCON	08Bh	INTCON	10Bh	INTCON	18Bh	INTCON	20Bh	INTCON	28Bh	INTCON	30Bh	INTCON	38Bh	INTCON
00Ch	PORTA	08Ch	TRISA	10Ch	LATA	18Ch	ANSELA	20Ch	—	28Ch	—	30Ch	—	38Ch	—
00Dh	PORTB	08Dh	TRISB	10Dh	LATB	18Dh	ANSELB	20Dh	WPUB	28Dh	—	30Dh	—	38Dh	—
00Eh	PORTC	08Eh	TRISC	10Eh	LATC	18Eh	—	20Eh	—	28Eh	—	30Eh	—	38Eh	—
00Fh	PORTD(1)	08Fh	TRISD(1)	10Fh	LATD(1)	18Fh	ANSELD(1)	20Fh	—	28Fh	—	30Fh	—	38Fh	—
010h	PORTE	090h	TRISE	110h	LATE(1)	190h	ANSELE(1)	210h	WPUE	290h	—	310h	—	390h	—
011h	PIR1	091h	PIE1	111h	CM1CON0	191h	EEADRL	211h	SSPBUF	291h	CCPR1L	311h	CCPR3L	391h	—
012h	PIR2	092h	PIE2	112h	CM1CON1	192h	EEADRH	212h	SSPADD	292h	CCPR1H	312h	CCPR3H	392h	—
013h	PIR3	093h	PIE3	113h	CM2CON0	193h	EEDATL	213h	SSPMSK	293h	CCP1CON	313h	CCP3CON	393h	—
014h	—	094h	—	114h	CM2CON1	194h	EEDATH	214h	SSPSTAT	294h	PWM1CON	314h	PWM3CON	394h	IOCBP
015h	TMR0	095h	OPTION	115h	CMOUT	195h	EECON1	215h	SSPCON1	295h	CCP1AS	315h	CCP3AS	395h	IOCBN
016h	TMR1L	096h	PCON	116h	BORCON	196h	EECON2	216h	SSPCON2	296h	PSTR1CON	316h	PSTR3CON	396h	IOCBF
017h	TMR1H	097h	WDTCON	117h	FVRCON	197h	—	217h	SSPCON3	297h	—	317h	—	397h	—
018h	T1CON	098h	OSCTUNE	118h	DACCON0	198h	—	218h	—	298h	CCPR2L	318h	CCPR4L	398h	—
019h	T1GCON	099h	OSCCON	119h	DACCON1	199h	RC1REG	219h	—	299h	CCPR2H	319h	CCPR4H	399h	—
01Ah	TMR2	09Ah	OSCSTAT	11Ah	SRCON0	19Ah	TX1REG	21Ah	—	29Ah	CCP2CON	31Ah	CCP4CON	39Ah	—
01Bh	PR2	09Bh	ADRESL	11Bh	SRCON1	19Bh	SPBRGL1	21Bh	—	29Bh	PWM2CON	31Bh	—	39Bh	—
01Ch	T2CON	09Ch	ADRESH	11Ch	—	19Ch	SPBRGH1	21Ch	—	29Ch	CCP2AS	31Ch	CCPR5L	39Ch	—
01Dh	—	09Dh	ADCON0	11Dh	APFCON	19Dh	RCSTA1	21Dh	—	29Dh	PSTR2CON	31Dh	CCPR5H	39Dh	—
01Eh	CPSCON0	09Eh	ADCON1	11Eh	—	19Eh	TXSTA1	21Eh	—	29Eh	CCPTMRS0	31Eh	CCP5CON	39Eh	—
01Fh	CPSCON1	09Fh	—	11Fh	—	19Fh	BAUDCTL1	21Fh	—	29Fh	CCPTMRS1	31Fh	—	39Fh	—
020h	General Purpose Register 96 Bytes	0A0h	General Purpose Register 80 Bytes	120h	General Purpose Register 80 Bytes	1A0h	General Purpose Register 80 Bytes	220h	General Purpose Register 80 Bytes	2A0h	General Purpose Register 80 Bytes	320h	General Purpose Register 80 Bytes	3A0h	General Purpose Register 80 Bytes
06Fh		0EFh		16Fh		1EFh		26Fh		2EFh		32Fh 330h		3EFh	
070h		0F0h	Accesses 70h – 7Fh	170h	Accesses 70h – 7Fh	1F0h	Accesses 70h – 7Fh	270h	Accesses 70h – 7Fh	2F0h	Accesses 70h – 7Fh	370h	Accesses 70h – 7Fh	3F0h	Accesses 70h – 7Fh
07Fh		0FFh		17Fh		1FFh		27Fh		2FFh		37Fh		3FFh	

記号の説明： = 未実装データ メモリ アドレス。「0」として読み出し。

注 1: PIC16F1933/1936/1938/PIC16LF1933/1936/1938 にはありません。

© 2009 Microchip Technology Inc.

表 2-7: PIC16F1938/1939 のメモリ マップ (バンク 8 ～ 15)

BANK 8		BANK 9		BANK 10		BANK 11		BANK 12		BANK 13		BANK 14		BANK 15	
400h	INDF0	480h	INDF0	500h	INDF0	580h	INDF0	600h	INDF0	680h	INDF0	700h	INDF0	780h	INDF0
401h	INDF1	481h	INDF1	501h	INDF1	581h	INDF1	601h	INDF1	681h	INDF1	701h	INDF1	781h	INDF1
402h	PCL	482h	PCL	502h	PCL	582h	PCL	602h	PCL	682h	PCL	702h	PCL	782h	PCL
403h	STATUS	483h	STATUS	503h	STATUS	583h	STATUS	603h	STATUS	683h	STATUS	703h	STATUS	783h	STATUS
404h	FSR0L	484h	FSR0L	504h	FSR0L	584h	FSR0L	604h	FSR0L	684h	FSR0L	704h	FSR0L	784h	FSR0L
405h	FSR0H	485h	FSR0H	505h	FSR0H	585h	FSR0H	605h	FSR0H	685h	FSR0H	705h	FSR0H	785h	FSR0H
406h	FSR1L	486h	FSR1L	506h	FSR1L	586h	FSR1L	606h	FSR1L	686h	FSR1L	706h	FSR1L	786h	FSR1L
407h	FSR1H	487h	FSR1H	507h	FSR1H	587h	FSR1H	607h	FSR1H	687h	FSR1H	707h	FSR1H	787h	FSR1H
408h	BSR	488h	BSR	508h	BSR	588h	BSR	608h	BSR	688h	BSR	708h	BSR	788h	BSR
409h	WREG	489h	WREG	509h	WREG	589h	WREG	609h	WREG	689h	WREG	709h	WREG	789h	WREG
40Ah	PCLATH	48Ah	PCLATH	50Ah	PCLATH	58Ah	PCLATH	60Ah	PCLATH	68Ah	PCLATH	70Ah	PCLATH	78Ah	PCLATH
40Bh	INTCON	48Bh	INTCON	50Bh	INTCON	58Bh	INTCON	60Bh	INTCON	68Bh	INTCON	70Bh	INTCON	78Bh	INTCON
40Ch	—	48Ch	—	50Ch	—	58Ch	—	60Ch	—	68Ch	—	70Ch	—	78Ch	—
40Dh	—	48Dh	—	50Dh	—	58Dh	—	60Dh	—	68Dh	—	70Dh	—	78Dh	—
40Eh	—	48Eh	—	50Eh	—	58Eh	—	60Eh	—	68Eh	—	70Eh	—	78Eh	—
40Fh	—	48Fh	—	50Fh	—	58Fh	—	60Fh	—	68Fh	—	70Fh	—	78Fh	—
410h	—	490h	—	510h	—	590h	—	610h	—	690h	—	710h	—	790h	—
411h	—	491h	—	511h	—	591h	—	611h	—	691h	—	711h	—	791h	See Table 2-10 or Table 2-11
412h	—	492h	—	512h	—	592h	—	612h	—	692h	—	712h	—	792h	
413h	—	493h	—	513h	—	593h	—	613h	—	693h	—	713h	—	793h	
414h	—	494h	—	514h	—	594h	—	614h	—	694h	—	714h	—	794h	
415h	TMR4	495h	—	515h	—	595h	—	615h	—	695h	—	715h	—	795h	
416h	PR4	496h	—	516h	—	596h	—	616h	—	696h	—	716h	—	796h	
417h	T4CON	497h	—	517h	—	597h	—	617h	—	697h	—	717h	—	797h	
418h	—	498h	—	518h	—	598h	—	618h	—	698h	—	718h	—	798h	
419h	—	499h	—	519h	—	599h	—	619h	—	699h	—	719h	—	799h	
41Ah	—	49Ah	—	51Ah	—	59Ah	—	61Ah	—	69Ah	—	71Ah	—	79Ah	
41Bh	—	49Bh	—	51Bh	—	59Bh	—	61Bh	—	69Bh	—	71Bh	—	79Bh	
41Ch	TMR6	49Ch	—	51Ch	—	59Ch	—	61Ch	—	69Ch	—	71Ch	—	79Ch	
41Dh	PR6	49Dh	—	51Dh	—	59Dh	—	61Dh	—	69Dh	—	71Dh	—	79Dh	
41Eh	T6CON	49Eh	—	51Eh	—	59Eh	—	61Eh	—	69Eh	—	71Eh	—	79Eh	
41Fh	—	49Fh	—	51Fh	—	59Fh	—	61Fh	—	69Fh	—	71Fh	—	79Fh	
420h	General Purpose Register 80 Bytes	4A0h	General Purpose Register 80 Bytes	520h	General Purpose Register 80 Bytes	5A0h	General Purpose Register 80 Bytes	620h	General Purpose Register 48 Bytes	6A0h	Unimplemented Read as '0'	720h	Unimplemented Read as '0'	7A0h	
46Fh		4EFh		56Fh		5EFh		66Fh	Unimplemented Read as '0'	6EFh		76Fh		7EFh	
470h	Accesses 70h – 7Fh	4F0h	Accesses 70h – 7Fh	570h	Accesses 70h – 7Fh	5F0h	Accesses 70h – 7Fh	670h	Accesses 70h – 7Fh	6F0h	Accesses 70h – 7Fh	770h	Accesses 70h – 7Fh	7F0h	Accesses 70h – 7Fh
47Fh		4FFh		57Fh		5FFh		67Fh		6FFh		77Fh		7FFh	

記号の説明： = 未実装データ メモリ アドレス。「0」として読み出し。

Preliminary

© 2009 Microchip Technology Inc.

表 2-8: PIC16F193X/LF193X のメモリ マップ (バンク 16 ～ 23)

	BANK 16		BANK 17		BANK 18		BANK 19		BANK 20		BANK 21		BANK 22		BANK 23
800h	INDF0	880h	INDF0	900h	INDF0	980h	INDF0	A00h	INDF0	A80h	INDF0	B00h	INDF0	B80h	INDF0
801h	INDF1	881h	INDF1	901h	INDF1	981h	INDF1	A01h	INDF1	A81h	INDF1	B01h	INDF1	B81h	INDF1
802h	PCL	882h	PCL	902h	PCL	982h	PCL	A02h	PCL	A82h	PCL	B02h	PCL	B82h	PCL
803h	STATUS	883h	STATUS	903h	STATUS	983h	STATUS	A03h	STATUS	A83h	STATUS	B03h	STATUS	B83h	STATUS
804h	FSR0L	884h	FSR0L	904h	FSR0L	984h	FSR0L	A04h	FSR0L	A84h	FSR0L	B04h	FSR0L	B84h	FSR0L
805h	FSR0H	885h	FSR0H	905h	FSR0H	985h	FSR0H	A05h	FSR0H	A85h	FSR0H	B05h	FSR0H	B85h	FSR0H
806h	FSR1L	886h	FSR1L	906h	FSR1L	986h	FSR1L	A06h	FSR1L	A86h	FSR1L	B06h	FSR1L	B86h	FSR1L
807h	FSR1H	887h	FSR1H	907h	FSR1H	987h	FSR1H	A07h	FSR1H	A87h	FSR1H	B07h	FSR1H	B87h	FSR1H
808h	BSR	888h	BSR	908h	BSR	988h	BSR	A08h	BSR	A88h	BSR	B08h	BSR	B88h	BSR
809h	WREG	889h	WREG	909h	WREG	989h	WREG	A09h	WREG	A89h	WREG	B09h	WREG	B89h	WREG
80Ah	PCLATH	88Ah	PCLATH	90Ah	PCLATH	98Ah	PCLATH	A0Ah	PCLATH	A8Ah	PCLATH	B0Ah	PCLATH	B8Ah	PCLATH
80Bh	INTCON	88Bh	INTCON	90Bh	INTCON	98Bh	INTCON	A0Bh	INTCON	A8Bh	INTCON	B0Bh	INTCON	B8Bh	INTCON
80Ch	—	88Ch	—	90Ch	—	98Ch	—	A0Ch	—	A8Ch	—	B0Ch	—	B8Ch	—
80Dh	—	88Dh	—	90Dh	—	98Dh	—	A0Dh	—	A8Dh	—	B0Dh	—	B8Dh	—
80Eh	—	88Eh	—	90Eh	—	98Eh	—	A0Eh	—	A8Eh	—	B0Eh	—	B8Eh	—
80Fh	—	88Fh	—	90Fh	—	98Fh	—	A0Fh	—	A8Fh	—	B0Fh	—	B8Fh	—
810h	—	890h	—	910h	—	990h	—	A10h	—	A90h	—	B10h	—	B90h	—
811h	—	891h	—	911h	—	991h	—	A11h	—	A91h	—	B11h	—	B91h	—
812h	—	892h	—	912h	—	992h	—	A12h	—	A92h	—	B12h	—	B92h	—
813h	—	893h	—	913h	—	993h	—	A13h	—	A93h	—	B13h	—	B93h	—
814h	—	894h	—	914h	—	994h	—	A14h	—	A94h	—	B14h	—	B94h	—
815h	—	895h	—	915h	—	995h	—	A15h	—	A95h	—	B15h	—	B95h	—
816h	—	896h	—	916h	—	996h	—	A16h	—	A96h	—	B16h	—	B96h	—
817h	—	897h	—	917h	—	997h	—	A17h	—	A97h	—	B17h	—	B97h	—
818h	—	898h	—	918h	—	998h	—	A18h	—	A98h	—	B18h	—	B98h	—
819h	—	899h	—	919h	—	999h	—	A19h	—	A99h	—	B19h	—	B99h	—
81Ah	—	89Ah	—	91Ah	—	99Ah	—	A1Ah	—	A9Ah	—	B1Ah	—	B9Ah	—
81Bh	—	89Bh	—	91Bh	—	99Bh	—	A1Bh	—	A9Bh	—	B1Bh	—	B9Bh	—
81Ch	—	89Ch	—	91Ch	—	99Ch	—	A1Ch	—	A9Ch	—	B1Ch	—	B9Ch	—
81Dh	—	89Dh	—	91Dh	—	99Dh	—	A1Dh	—	A9Dh	—	B1Dh	—	B9Dh	—
81Eh	—	89Eh	—	91Eh	—	99Eh	—	A1Eh	—	A9Eh	—	B1Eh	—	B9Eh	—
81Fh	—	89Fh	—	91Fh	—	99Fh	—	A1Fh	—	A9Fh	—	B1Fh	—	B9Fh	—
820h 86Fh	Unimplemented Read as '0'	8A0h 8EFh	Unimplemented Read as '0'	920h 96Fh	Unimplemented Read as '0'	9A0h 9EFh	Unimplemented Read as '0'	A20h A6Fh	Unimplemented Read as '0'	AA0h AEFh	Unimplemented Read as '0'	B20h B6Fh	Unimplemented Read as '0'	BA0h BEFh	Unimplemented Read as '0'
870h 87Fh	Accesses 70h – 7Fh	8F0h 8FFh	Accesses 70h – 7Fh	970h 97Fh	Accesses 70h – 7Fh	9F0h 9FFh	Accesses 70h – 7Fh	A70h A7Fh	Accesses 70h – 7Fh	AF0h AFFh	Accesses 70h – 7Fh	B70h B7Fh	Accesses 70h – 7Fh	BF0h BFFh	Accesses 70h – 7Fh

記号の説明 : = 未実装データ メモリ アドレス。「0」として読み出し。

© 2009 Microchip Technology Inc.

表 2-9: PIC16F193X/LF193X のメモリ マップ (バンク 24 ～ 31)

BANK 24		BANK 25		BANK 26		BANK 27		BANK 28		BANK 29		BANK 30		BANK 31	
C00h	INDF0	C80h	INDF0	D00h	INDF0	D80h	INDF0	E00h	INDF0	E80h	INDF0	F00h	INDF0	F80h	INDF0
C01h	INDF1	C81h	INDF1	D01h	INDF1	D81h	INDF1	E01h	INDF1	E81h	INDF1	F01h	INDF1	F81h	INDF1
C02h	PCL	C82h	PCL	D02h	PCL	D82h	PCL	E02h	PCL	E82h	PCL	F02h	PCL	F82h	PCL
C03h	STATUS	C83h	STATUS	D03h	STATUS	D83h	STATUS	E03h	STATUS	E83h	STATUS	F03h	STATUS	F83h	STATUS
C04h	FSR0L	C84h	FSR0L	D04h	FSR0L	D84h	FSR0L	E04h	FSR0L	E84h	FSR0L	F04h	FSR0L	F84h	FSR0L
C05h	FSR0H	C85h	FSR0H	D05h	FSR0H	D85h	FSR0H	E05h	FSR0H	E85h	FSR0H	F05h	FSR0H	F85h	FSR0H
C06h	FSR1L	C86h	FSR1L	D06h	FSR1L	D86h	FSR1L	E06h	FSR1L	E86h	FSR1L	F06h	FSR1L	F86h	FSR1L
C07h	FSR1H	C87h	FSR1H	D07h	FSR1H	D87h	FSR1H	E07h	FSR1H	E87h	FSR1H	F07h	FSR1H	F87h	FSR1H
C08h	BSR	C88h	BSR	D08h	BSR	D88h	BSR	E08h	BSR	E88h	BSR	F08h	BSR	F88h	BSR
C09h	WREG	C89h	WREG	D09h	WREG	D89h	WREG	E09h	WREG	E89h	WREG	F09h	WREG	F89h	WREG
C0Ah	PCLATH	C8Ah	PCLATH	D0Ah	PCLATH	D8Ah	PCLATH	E0Ah	PCLATH	E8Ah	PCLATH	F0Ah	PCLATH	F8Ah	PCLATH
C0Bh	INTCON	C8Bh	INTCON	D0Bh	INTCON	D8Bh	INTCON	E0Bh	INTCON	E8Bh	INTCON	F0Bh	INTCON	F8Bh	INTCON
C0Ch	—	C8Ch	—	D0Ch	—	D8Ch	—	E0Ch	—	E8Ch	—	F0Ch	—	F8Ch	See Table 2-12
C0Dh	—	C8Dh	—	D0Dh	—	D8Dh	—	E0Dh	—	E8Dh	—	F0Dh	—	F8Dh	
C0Eh	—	C8Eh	—	D0Eh	—	D8Eh	—	E0Eh	—	E8Eh	—	F0Eh	—	F8Eh	
C0Fh	—	C8Fh	—	D0Fh	—	D8Fh	—	E0Fh	—	E8Fh	—	F0Fh	—	F8Fh	
C10h	—	C90h	—	D10h	—	D90h	—	E10h	—	E90h	—	F10h	—	F90h	
C11h	—	C91h	—	D11h	—	D91h	—	E11h	—	E91h	—	F11h	—	F91h	
C12h	—	C92h	—	D12h	—	D92h	—	E12h	—	E92h	—	F12h	—	F92h	
C13h	—	C93h	—	D13h	—	D93h	—	E13h	—	E93h	—	F13h	—	F93h	
C14h	—	C94h	—	D14h	—	D94h	—	E14h	—	E94h	—	F14h	—	F94h	
C15h	—	C95h	—	D15h	—	D95h	—	E15h	—	E95h	—	F15h	—	F95h	
C16h	—	C96h	—	D16h	—	D96h	—	E16h	—	E96h	—	F16h	—	F96h	
C17h	—	C97h	—	D17h	—	D97h	—	E17h	—	E97h	—	F17h	—	F97h	
C18h	—	C98h	—	D18h	—	D98h	—	E18h	—	E98h	—	F18h	—	F98h	
C19h	—	C99h	—	D19h	—	D99h	—	E19h	—	E99h	—	F19h	—	F99h	
C1Ah	—	C9Ah	—	D1Ah	—	D9Ah	—	E1Ah	—	E9Ah	—	F1Ah	—	F9Ah	
C1Bh	—	C9Bh	—	D1Bh	—	D9Bh	—	E1Bh	—	E9Bh	—	F1Bh	—	F9Bh	
C1Ch	—	C9Ch	—	D1Ch	—	D9Ch	—	E1Ch	—	E9Ch	—	F1Ch	—	F9Ch	
C1Dh	—	C9Dh	—	D1Dh	—	D9Dh	—	E1Dh	—	E9Dh	—	F1Dh	—	F9Dh	
C1Eh	—	C9Eh	—	D1Eh	—	D9Eh	—	E1Eh	—	E9Eh	—	F1Eh	—	F9Eh	
C1Fh	—	C9Fh	—	D1Fh	—	D9Fh	—	E1Fh	—	E9Fh	—	F1Fh	—	F9Fh	
C20h C6Fh	Unimplemented Read as '0'	CA0h CEFh	Unimplemented Read as '0'	D20h D6Fh	Unimplemented Read as '0'	DA0h DEFh	Unimplemented Read as '0'	E20h E6Fh	Unimplemented Read as '0'	EA0h EEFh	Unimplemented Read as '0'	F20h F6Fh	Unimplemented Read as '0'	FA0h FEFh	
C70h CFFh	Accesses 70h – 7Fh	CF0h CFFh	Accesses 70h – 7Fh	D70h D7Fh	Accesses 70h – 7Fh	DF0h DFFh	Accesses 70h – 7Fh	E70h E7Fh	Accesses 70h – 7Fh	EF0h EFFh	Accesses 70h – 7Fh	F70h F7Fh	Accesses 70h – 7Fh	FF0h FFFh	Accesses 70h – 7Fh

記号の説明： = 未実装データ メモリ アドレス。「0」として読み出し。

Preliminary

© 2009 Microchip Technology Inc.

表 2-10: PIC16F1933/1936/1938 のメモリ マップ (バンク 15)

Bank 15	
791h	LCDCON
792h	LCDPS
793h	LCDREF
794h	LCDCST
795h	LCDRL
796h	—
797h	—
798h	LCDSE0
799h	LCDSE1
79Ah	—
79Bh	—
79Ch	—
79Dh	—
79Eh	—
79Fh	—
7A0h	LCDDATA0
7A1h	LCDDATA1
7A2h	—
7A3h	LCDDATA3
7A4h	LCDDATA4
7A5h	—
7A6h	LCDDATA6
7A7h	LCDDATA7
7A8h	—
7A9h	LCDDATA9
7AAh	LCDDATA10
7ABh	—
7ACh	—
7ADh	—
7AEh	—
7AFh	—
7B0h	—
7B1h	—
7B2h	—
7B3h	—
7B4h	—
7B5h	—
7B6h	—
7B7h	—
7B8h	Unimplemented Read as ‘0’
7EFh	

記号の説明 : = 未実装データ メモリ アドレス。「0」として読み出し。

表 2-11: PIC16F1934/1937/1939 のメモリ マップ (バンク 15)

Bank 15	
791h	LCDCON
792h	LCDPS
793h	LCDREF
794h	LCDCST
795h	LCDRL
796h	—
797h	—
798h	LCDSE0
799h	LCDSE1
79Ah	LCDSE2
79Bh	—
79Ch	—
79Dh	—
79Eh	—
79Fh	—
7A0h	LCDDATA0
7A1h	LCDDATA1
7A2h	LCDDATA2
7A3h	LCDDATA3
7A4h	LCDDATA4
7A5h	LCDDATA5
7A6h	LCDDATA6
7A7h	LCDDATA7
7A8h	LCDDATA8
7A9h	LCDDATA9
7AAh	LCDDATA10
7ABh	LCDDATA11
7ACh	—
7ADh	—
7AEh	—
7AFh	—
7B0h	—
7B1h	—
7B2h	—
7B3h	—
7B4h	—
7B5h	—
7B6h	—
7B7h	—
7B8h	Unimplemented Read as ‘0’
7EFh	

記号の説明 : = 未実装データ メモリ アドレス。「0」として読み出し。

表 2-12: PIC16F193X/LF193X のメモリ マップ (バンク 31)

Bank 31

F8Ch	Unimplemented Read as '0'
FE3h	
FE4h	STATUS_SHAD
FE5h	WREG_SHAD
FE6h	BSR_SHAD
FE7h	PCLATH_SHAD
FE8h	FSR0L_SHAD
FE9h	FSR0H_SHAD
FEAh	FSR1L_SHAD
FEBh	FSR1H_SHAD
FECh	—
FEDh	STKPTR
FEEh	TOSL
FEFh	TOSH

記号の説明 : = 未実装データ メモリ アドレス。「0」として読み出し。

© 2009 Microchip Technology Inc.

表 2-13: 特殊機能レジスタの要約

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Bank 0											
000h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
001h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
002h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
003h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
004h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
005h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
006h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
007h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
008h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
009h(2)	WREG	Working Register								0000 0000	uuuu uuuu
00Ah(1, 2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
00Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
00Ch	PORTA	PORTA Data Latch when written: PORTA pins when read								xxxx xxxx	uuuu uuuu
00Dh	PORTB	PORTB Data Latch when written: PORTB pins when read								xxxx xxxx	uuuu uuuu
00Eh	PORTC	PORTC Data Latch when written: PORTC pins when read								xxxx xxxx	uuuu uuuu
00Fh(3)	PORTD	PORTD Data Latch when written: PORTD pins when read								xxxx xxxx	uuuu uuuu
010h	PORTE	—	—	—	—	RE3	RE2(3)	RE1(3)	RE0(3)	---- xxxx	---- uuuu
011h	PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
012h	PIR2	OSFIF	C2IF	C1IF	EEIF	BCLIF	LCDIF	—	CCP2IF	0000 00-0	0000 00-0
013h	PIR3	—	CCP5IF	CCP4IF	CCP3IF	TMR6IF	—	TMR4IF	—	-000 0-0-	-000 0-0-
014h	PIR4	Unimplemented								—	—
015h	TMR0	Timer0 Module Register								xxxx xxxx	uuuu uuuu
016h	TMR1L	Holding Register for the Least Significant Byte of the 16-bit TMR1 Register								xxxx xxxx	uuuu uuuu
017h	TMR1H	Holding Register for the Most Significant Byte of the 16-bit TMR1 Register								xxxx xxxx	uuuu uuuu
018h	T1CON	TMR1CS1	TMR1CS0	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	—	TMR1ON	0000 00-0	uuuu uu-u
019h	T1GCON	TMR1GE	T1GPOL	T1GTM	T1GSPM	T1GGO/$\overline{DONE}$	T1GVAL	T1GSS1	T1GSS0	0000 0x00	uuuu uxuu
01Ah	TMR2	Timer 2 Module Register								0000 0000	0000 0000
01Bh	PR2	Timer 2 Period Register								1111 1111	1111 1111
01Ch	T2CON	—	T2OUTPS3	T2OUTPS2	T2OUTPS1	T2OUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
01Dh	—	Unimplemented								—	—
01Eh	CPSCON0	CPSON	—	—	—	CPSRNG1	CPSRNG0	CPSOUT	T0XCS	0--- 0000	0--- 0000
01Fh	CPSCON1	—	—	—	—	CPSCH3	CPSCH2	CPSCH1	CPSCH0	---- 0000	---- 0000

記号の説明： x = 不明。u = 不変。q = 条件により変化する値。－ = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Bank 1											
080h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
081h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
082h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
083h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
084h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
085h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
086h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
087h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
088h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
089h(2)	WREG	Working Register								0000 0000	uuuu uuuu
08Ah(1, 2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
08Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
08Ch	TRISA	PORTA Data Direction Register								1111 1111	1111 1111
08Dh	TRISB	PORTB Data Direction Register								1111 1111	1111 1111
08Eh	TRISC	PORTC Data Direction Register								1111 1111	1111 1111
08Fh(3)	TRISD	PORTD Data Direction Register								1111 1111	1111 1111
090h	TRISE	—	—	—	—	TRISE3	TRISE2(3)	TRISE1(3)	TRISE0(3)	---- 1111	---- 1111
091h	PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
092h	PIE2	OSFIE	C2IE	C1IE	EEIE	BCLIE	LCDIE	—	CCP2IE	0000 00-0	0000 00-0
093h	PIE3	—	CCP5IE	CCP4IE	CCP3IE	TMR6IE	—	TMR4IE	—	-000 0-0-	-000 0-0-
094h	—	Unimplemented								—	—
095h	OPTION_REG	$\overline{WPUEN}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
096h	PCON	STKOVF	STKUNF	—	—	$\overline{RMCLR}$	$\overline{RI}$	$\overline{POR}$	$\overline{BOR}$	00-- 11qq	qq-- qquu
097h	WDTCON	—	—	WDTPS4	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN	--01 0110	--01 0110
098h	OSCTUNE	—	—	TUN5	TUN4	TUN3	TUN2	TUN1	TUN0	--00 0000	--00 0000
099h	OSCCON	SPLLEN	IRCF3	IRCF2	IRCF1	IRCF0	—	SCS1	SCS0	0011 1-00	0011 1-00
09Ah	OSCSTAT	T1OSCR	PLLR	OSTS	HFIOFR	HFIOFL	MFIOFR	LFIOFR	HFIOFR	00q0 0q0-	qqqq qq0-
09Bh	ADRESL	A/D Result Register Low								xxxx xxxx	uuuu uuuu
09Ch	ADRESH	A/D Result Register High								xxxx xxxx	uuuu uuuu
09Dh	ADCON0	—	CHS4	CHS3	CHS2	CHS1	CHS0	GO/$\overline{DONE}$	ADON	-000 0000	-000 0000
09Eh	ADCON1	ADFM	ADCS2	ADCS1	ADCS0	—	ADNREF	ADPREF1	ADPREF0	0000 -000	0000 -000
09Fh	—	Unimplemented								—	—

記号の説明 : x = 不明。u = 不変。q = 条件により変化する値。− = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

© 2009 Microchip Technology Inc.

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Bank 2											
100h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
101h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
102h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
103h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
104h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
105h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
106h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
107h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
108h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
109h(2)	WREG	Working Register								0000 0000	uuuu uuuu
10Ah(1, 2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
10Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
10Ch	LATA	PORTA Data Latch								xxxx xxxx	uuuu uuuu
10Dh	LATB	PORTB Data Latch								xxxx xxxx	uuuu uuuu
10Eh	LATC	PORTC Data Latch								xxxx xxxx	uuuu uuuu
10Fh(3)	LATD	PORTD Data Latch								xxxx xxxx	uuuu uuuu
110h	LATE	—	—	—	—	LATE3	LATE2(3)	LATE1(3)	LATE0(3)	---- -xxx	---- -uuu
111h	CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1SP	C1HYS	C1SYNC	0000 -100	0000 -100
112h	CM1CON1	C1INTP	C1INTN	C1PCH1	C1PCH0	—	—	C1NCH1	C1NCH0	0000 --00	0000 --00
113h	CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2SP	C2HYS	C2SYNC	0000 -100	0000 -100
114h	CM2CON1	C2INTP	C2INTN	C2PCH1	C2PCH0	—	—	C2NCH1	C2NCH0	0000 --00	0000 --00
115h	CMOUT	—	—	—	—	—	—	MC2OUT	MC1OUT	---- --00	---- --00
116h	BORCON	SBOREN	—	—	—	—	—	—	BORRDY	1--- ---q	u--- ---u
117h	FVRCON	FVREN	FVRRDY	TSEN	TSRNG	CDAFVR1	CDAFVR0	ADFVR1	ADFVR0	0q00 0000	0q00 0000
118h	DACCON0	DACEN	DACLPS	DACOE	---	DACPSS1	DACPSS0	---	DACNSS	000- 00-0	000- 00-0
119h	DACCON1	---	---	---	DACR4	DACR3	DACR2	DACR1	DACR0	---0 0000	---0 0000
11Ah	SRCON0	SRLEN	SRCLK2	SRCLK1	SRCLK0	SRQEN	SRNQEN	SRPS	SRPR	0000 0000	0000 0000
11Bh	SRCON1	SRSPE	SRSCKE	SRSC2E	SRSC1E	SRRPE	SRRCKE	SRRC2E	SRRC1E	0000 0000	0000 0000
11Ch	—	Unimplemented								—	—
11Dh	APFCON	—	CCP3SEL	T1GSEL	P2BSEL	SRNQSEL	C2OUTSEL	SSSEL	CCP2SEL	-000 0000	-000 0000
11Eh	—	Unimplemented								—	—
11Fh	—	Unimplemented								—	—

記号の説明 : x = 不明。u = 不変。q = 条件により変化する値。— = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Bank 3											
180h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
181h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
182h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
183h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
184h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
185h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
186h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
187h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
188h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
189h(2)	WREG	Working Register								0000 0000	uuuu uuuu
18Ah(1, 2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
18Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
18Ch	ANSELA	—	—	ANSA5	ANSA4	ANSA3	ANSA2	ANSA1	ANSA0	--11 1111	--11 1111
18Dh	ANSELB	—	—	ANSB5	ANSB4	ANSB3	ANSB2	ANSB1	ANSB0	--11 1111	--11 1111
18Eh	—	Unimplemented								—	—
18Fh(3)	ANSELD	ANSD7	ANSD6	ANSD5	ANSD4	ANSD3	ANSD2	ANSD1	ANSD0	1111 1111	1111 1111
190h(3)	ANSELE	—	—	—	—	—	ANSE2	ANSE1	ANSE0	---- -111	---- -111
191h	EEADRL	EEPROM / Program Memory Address Register Low Byte								0000 0000	0000 0000
192h	EEADRH	—	EEPROM / Program Memory Address Register High Byte							-000 0000	-000 0000
193h	EEDATL	EEPROM / Program Memory Read Data Register Low Byte								xxxx xxxx	uuuu uuuu
194h	EEDATH	—	—	EEPROM / Program Memory Read Data Register High Byte						--xx xxxx	--uu uuuu
195h	EECON1	EEPGD	CFGS	LWLO	FREE	WRERR	WREN	WR	RD	0000 x000	0000 q000
196h	EECON2	EEPROM control register 2								0000 0000	0000 0000
197h	—	Unimplemented								—	—
198h	—	Unimplemented								—	—
199h	RCREG	USART Receive Data Register								0000 0000	0000 0000
19Ah	TXREG	USART Transmit Data Register								0000 0000	0000 0000
19Bh	SPBRGL	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
19Ch	SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
19Dh	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
19Eh	TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010
19Fh	BAUDCON	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00

記号の説明 : x = 不明。u = 不変。q = 条件により変化する値。－ = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

© 2009 Microchip Technology Inc.

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Bank 4											
200h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
201h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
202h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
203h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
204h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
205h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
206h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
207h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
208h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
209h(2)	WREG	Working Register								0000 0000	uuuu uuuu
20Ah(1, 2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
20Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
20Ch	—	Unimplemented								—	—
20Dh	WPUB	WPUB7	WPUB6	WPUB5	WPUB4	WPUB3	WPUB2	WPUB1	WPUB0	1111 1111	1111 1111
20Eh	—	Unimplemented								—	—
20Fh	—	Unimplemented								—	—
210h	WPUE	—	—	—	—	WPUE3	—	—	—	---- 1---	---- 1---
211h	SSPBUF	Synchronous Serial Port Receive Buffer/Transmit Register								xxxx xxxx	uuuu uuuu
212h	SSPADD	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	0000 0000	0000 0000
213h	SSPMSK	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0	1111 1111	1111 1111
214h	SSPSTAT	SMP	CKE	D/$\overline{A}$	P	S	R/$\overline{W}$	UA	BF	0000 0000	0000 0000
215h	SSPCON1	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
216h	SSPCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	0000 0000	0000 0000
217h	SSPCON3	ACKTIM	PCIE	SCIE	BOEN	SDAHT	SBCDE	AHEN	DHEN	0000 0000	0000 0000
218h	—	Unimplemented								—	—
219h	—	Unimplemented								—	—
21Ah	—	Unimplemented								—	—
21Bh	—	Unimplemented								—	—
21Ch	—	Unimplemented								—	—
21Dh	—	Unimplemented								—	—
21Eh	—	Unimplemented								—	—
21Fh	—	Unimplemented								—	—

記号の説明： x = 不明。u = 不変。q = 条件により変化する値。－ = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Bank 5											
280h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
281h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
282h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
283h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
284h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
285h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
286h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
287h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
288h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
289h(2)	WREG	Working Register								0000 0000	uuuu uuuu
28Ah(1, 2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
28Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
28Ch	—	Unimplemented								—	—
28Dh	—	Unimplemented								—	—
28Eh	—	Unimplemented								—	—
28Fh	—	Unimplemented								—	—
290h	—	Unimplemented								—	—
291h	CCPR1L	Capture/Compare/PWM Register 1 (LSB)								xxxx xxxx	uuuu uuuu
292h	CCPR1H	Capture/Compare/PWM Register 1 (MSB)								xxxx xxxx	uuuu uuuu
293h	CCP1CON	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	0000 0000
294h	PWM1CON	P1RSEN	P1DC6	P1DC5	P1DC4	P1DC3	P1DC2	P1DC1	P1DC0	0000 0000	0000 0000
295h	CCP1AS	CCP1ASE	CCP1AS2	CCP1AS1	CCP1AS0	PSS1AC1	PSS1AC0	PSS1BD1	PSS1BD0	0000 0000	0000 0000
296h	PSTR1CON	—	—	—	STR1SYNC	STR1D	STR1C	STR1B	STR1A	---0 0001	---0 0001
297h	—	Unimplemented								—	—
298h	CCPR2L	Capture/Compare/PWM Register 2 (LSB)								xxxx xxxx	uuuu uuuu
299h	CCPR2H	Capture/Compare/PWM Register 2 (MSB)								xxxx xxxx	uuuu uuuu
29Ah	CCP2CON	P2M1	P2M0	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	0000 0000	0000 0000
29Bh	PWM2CON	P2RSEN	P2DC6	P2DC5	P2DC4	P2DC3	P2DC2	P2DC1	P2DC0	0000 0000	0000 0000
29Ch	CCP2AS	CCP2ASE	CCP2AS2	CCP2AS1	CCP2AS0	PSS2AC1	PSS2AC0	PSS2BD1	PSS2BD0	0000 0000	0000 0000
29Dh	PSTR2CON	—	—	—	STR2SYNC	STR2D	STR2C	STR2B	STR2A	---0 0001	---0 0001
29Eh	CCPTMRS0	C4TSEL1	C4TSEL0	C3TSEL1	C3TSEL0	C2TSEL1	C2TSEL0	C1TSEL1	C1TSEL0	0000 0000	0000 0000
29Fh	CCPTMRS1	—	—	—	—	—	—	C5TSEL1	C5TSEL0	---- --00	---- --00

記号の説明 : x = 不明。u = 不変。q = 条件により変化する値。- = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

© 2009 Microchip Technology Inc.

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Bank 6											
300h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
301h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
302h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
303h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
304h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
305h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
306h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
307h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
308h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
309h(2)	WREG	Working Register								0000 0000	uuuu uuuu
30Ah(1, 2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
30Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
30Ch	—	Unimplemented								—	—
30Dh	—	Unimplemented								—	—
30Eh	—	Unimplemented								—	—
30Fh	—	Unimplemented								—	—
310h	—	Unimplemented								—	—
311h	CCPR3L	Capture/Compare/PWM Register 3 (LSB)								xxxx xxxx	uuuu uuuu
312h	CCPR3H	Capture/Compare/PWM Register 3 (MSB)								xxxx xxxx	uuuu uuuu
313h	CCP3CON	P3M1	P3M0	DC3B1	DC3B0	CCP3M3	CCP3M2	CCP3M1	CCP3M0	0000 0000	0000 0000
314h	PWM3CON	P3RSEN	P3DC6	P3DC5	P3DC4	P3DC3	P3DC2	P3DC1	P3DC0	0000 0000	0000 0000
315h	CCP3AS	CCP3ASE	CCP3AS2	CCP3AS1	CCP3AS0	PSS3AC1	PSS3AC0	PSS3BD1	PSS3BD0	0000 0000	0000 0000
316h	PSTR3CON	—	—	—	STR3SYNC	STR3D	STR3C	STR3B	STR3A	---0 0001	---0 0001
317h	—	Unimplemented								—	—
318h	CCPR4L	Capture/Compare/PWM Register 4 (LSB)								xxxx xxxx	uuuu uuuu
319h	CCPR4H	Capture/Compare/PWM Register 4 (MSB)								xxxx xxxx	uuuu uuuu
31Ah	CCP4CON	—	—	DC4B1	DC4B0	CCP4M3	CCP4M2	CCP4M1	CCP4M0	--00 0000	--00 0000
31Bh	—	Unimplemented								—	—
31Ch	CCPR5L	Capture/Compare/PWM Register 5 (LSB)								xxxx xxxx	uuuu uuuu
31Dh	CCPR5H	Capture/Compare/PWM Register 5 (MSB)								xxxx xxxx	uuuu uuuu
31Eh	CCP5CON	—	—	DC5B1	DC5B0	CCP5M3	CCP5M2	CCP5M1	CCP5M0	--00 0000	--00 0000
31Fh	—	Unimplemented								—	—

記号の説明 : x = 不明。u = 不変。q = 条件により変化する値。— = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Bank 7											
380h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
381h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
382h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
383h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
384h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
385h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
386h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
387h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
388h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
389h(2)	WREG	Working Register								0000 0000	uuuu uuuu
38Ah(1, 2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
38Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
38Ch	—	Unimplemented								—	—
38Dh	—	Unimplemented								—	—
38Eh	—	Unimplemented								—	—
38Fh	—	Unimplemented								—	—
390h	—	Unimplemented								—	—
391h	—	Unimplemented								—	—
392h	—	Unimplemented								—	—
393h	—	Unimplemented								—	—
394h	IOCBP	IOCBP7	IOCBP6	IOCBP5	IOCBP4	IOCBP3	IOCBP2	IOCBP1	IOCBP0	0000 0000	0000 0000
395h	IOCBN	IOCBN7	IOCBN6	IOCBN5	IOCBN4	IOCBN3	IOCBN2	IOCBN1	IOCBN0	0000 0000	0000 0000
396h	IOCBF	IOCBF7	IOCBF6	IOCBF5	IOCBF4	IOCBF3	IOCBF2	IOCBF1	IOCBF0	0000 0000	0000 0000
397h	—	Unimplemented								—	—
398h	—	Unimplemented								—	—
399h	—	Unimplemented								—	—
39Ah	—	Unimplemented								—	—
39Bh	—	Unimplemented								—	—
39Ch	—	Unimplemented								—	—
39Dh	—	Unimplemented								—	—
39Eh	—	Unimplemented								—	—
39Fh	—	Unimplemented								—	—

記号の説明 : x = 不明。u = 不変。q = 条件により変化する値。－ = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

© 2009 Microchip Technology Inc.

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Bank 8											
400h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
401h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
402h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
403h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
404h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
405h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
406h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
407h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
408h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
409h(2)	WREG	Working Register								0000 0000	uuuu uuuu
40Ah(1, 2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
40Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
40Ch	—	Unimplemented								—	—
40Dh	—	Unimplemented								—	—
40Eh	—	Unimplemented								—	—
40Fh	—	Unimplemented								—	—
410h	—	Unimplemented								—	—
411h	—	Unimplemented								—	—
412h	—	Unimplemented								—	—
413h	—	Unimplemented								—	—
414h	—	Unimplemented								—	—
415h	TMR4	Timer 4 Module Register								0000 0000	0000 0000
416h	PR4	Timer 4 Period Register								1111 1111	1111 1111
417h	T4CON	—	T4OUTPS3	T4OUTPS2	T4OUTPS1	T4OUTPS0	TMR4ON	T4CKPS1	T4CKPS0	-000 0000	-000 0000
418h	—	Unimplemented								—	—
419h	—	Unimplemented								—	—
41Ah	—	Unimplemented								—	—
41Bh	—	Unimplemented								—	—
41Ch	TMR6	Timer 6 Module Register								0000 0000	0000 0000
41Dh	PR6	Timer 6 Period Register								1111 1111	1111 1111
41Eh	T6CON	—	T6OUTPS3	T6OUTPS2	T6OUTPS1	T6OUTPS0	TMR6ON	T6CKPS1	T6CKPS0	-000 0000	-000 0000
41Fh	—	Unimplemented								—	—

記号の説明 : x = 不明。u = 不変。q = 条件により変化する値。— = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Banks 9-14											
x00h/ x80h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
x00h/ x81h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
x02h/ x82h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
x03h/ x83h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
x04h/ x84h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
x05h/ x85h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
x06h/ x86h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
x07h/ x87h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
x08h/ x88h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
x09h/ x89h(2)	WREG	Working Register								0000 0000	uuuu uuuu
x0Ah/ x8Ah(1),(2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
x0Bh/ x8Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
x0Ch/ x8Ch — x1Fh/ x9Fh	—	Unimplemented								—	—

記号の説明 : x = 不明。u = 不変。q = 条件により変化する値。－ = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

 © 2009 Microchip Technology Inc.

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Bank 15											
780h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
781h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
782h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
783h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
784h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
785h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
786h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
787h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
788h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
789h(2)	WREG	Working Register								0000 0000	uuuu uuuu
78Ah(1, 2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
78Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
78Ch	—	Unimplemented								—	—
78Dh	—	Unimplemented								—	—
78Eh	—	Unimplemented								—	—
78Fh	—	Unimplemented								—	—
790h	—	Unimplemented								—	—
791h	LCDCON	LCDEN	SLPEN	WERR	—	CS1	CS0	LMUX1	LMUX0	000- 0011	000- 0011
792h	LCDPS	WFT	BIASMD	LCDA	WA	LP3	LP2	LP1	LP0	0000 0000	0000 0000
793h	LCDREF	LCDIRE	LCDIRS	LCDIRI	—	VLCD3PE	VLCD2PE	VLCD1PE	—	000- 000-	000- 000-
794h	LCDCST	—	—	—	—	—	LCDCST2	LCDCST1	LCDCST0	---- -000	---- -000
795h	LCDRL	LRLAP1	LRLAP0	LRLBP1	LRLBP0	—	LRLAT2	LRLAT1	LRLAT0	0000 -000	0000 -000
796h	—	Unimplemented								—	—
797h	—	Unimplemented								—	—
798h	LCDSE0	SE7	SE6	SE5	SE4	SE3	SE2	SE1	SE0	0000 0000	uuuu uuuu
799h	LCDSE1	SE15	SE14	SE13	SE12	SE11	SE10	SE9	SE8	0000 0000	uuuu uuuu
79Ah	LCDSE2(3)	SE23	SE22	SE21	SE20	SE19	SE18	SE17	SE16	0000 0000	uuuu uuuu
79Bh	—	Unimplemented								—	—
79Ch	—	Unimplemented								—	—
79Dh	—	Unimplemented								—	—
79Eh	—	Unimplemented								—	—
79Fh	—	Unimplemented								—	—
7A0h	LCDDATA0	SEG7 COM0	SEG6 COM0	SEG5 COM0	SEG4 COM0	SEG3 COM0	SEG2 COM0	SEG1 COM0	SEG0 COM0	xxxx xxxx	uuuu uuuu
7A1h	LCDDATA1	SEG15 COM0	SEG14 COM0	SEG13 COM0	SEG12 COM0	SEG11 COM0	SEG10 COM0	SEG9 COM0	SEG8 COM0	xxxx xxxx	uuuu uuuu
7A2h	LCDDATA2(3)	SEG23 COM0	SEG22 COM0	SEG21 COM0	SEG20 COM0	SEG19 COM0	SEG18 COM0	SEG17 COM0	SEG16 COM0	xxxx xxxx	uuuu uuuu
7A3h	LCDDATA3	SEG7 COM1	SEG6 COM1	SEG5 COM1	SEG4 COM1	SEG3 COM1	SEG2 COM1	SEG1 COM1	SEG0 COM1	xxxx xxxx	uuuu uuuu
7A4h	LCDDATA4	SEG15 COM1	SEG14 COM1	SEG13 COM1	SEG12 COM1	SEG11 COM1	SEG10 COM1	SEG9 COM1	SEG8 COM1	xxxx xxxx	uuuu uuuu
7A5h	LCDDATA5(3)	SEG23 COM1	SEG22 COM1	SEG21 COM1	SEG20 COM1	SEG19 COM1	SEG18 COM1	SEG17 COM1	SEG16 COM1	xxxx xxxx	uuuu uuuu

記号の説明 : x = 不明。u = 不変。q = 条件により変化する値。- = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Bank 15 (Continued)											
7A6h	LCDDATA6	SEG7 COM2	SEG6 COM2	SEG5 COM2	SEG4 COM2	SEG3 COM2	SEG2 COM2	SEG1 COM2	SEG0 COM2	xxxx xxxx	uuuu uuuu
7A7h	LCDDATA7	SEG15 COM2	SEG14 COM2	SEG13 COM2	SEG12 COM2	SEG11 COM2	SEG10 COM2	SEG9 COM2	SEG8 COM2	xxxx xxxx	uuuu uuuu
7A8h	LCDDATA8(3)	SEG23 COM2	SEG22 COM2	SEG21 COM2	SEG20 COM2	SEG19 COM2	SEG18 COM2	SEG17 COM2	SEG16 COM2	xxxx xxxx	uuuu uuuu
7A9h	LCDDATA9	SEG7 COM3	SEG6 COM3	SEG5 COM3	SEG4 COM3	SEG3 COM3	SEG2 COM3	SEG1 COM3	SEG0 COM3	xxxx xxxx	uuuu uuuu
7AAh	LCDDATA10	SEG15 COM3	SEG14 COM3	SEG13 COM3	SEG12 COM3	SEG11 COM3	SEG10 COM3	SEG9 COM3	SEG8 COM3	xxxx xxxx	uuuu uuuu
7ABh	LCDDATA11(3)	SEG23 COM3	SEG22 COM3	SEG21 COM3	SEG20 COM3	SEG19 COM3	SEG18 COM3	SEG17 COM3	SEG16 COM3	xxxx xxxx	uuuu uuuu
7ACh — 7EFh	—	Unimplemented								—	—

記号の説明 : x = 不明。u = 不変。q = 条件により変化する値。－ = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

 © 2009 Microchip Technology Inc.

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Banks 16-30											
x00h/ x80h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
x00h/ x81h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
x02h/ x82h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
x03h/ x83h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
x04h/ x84h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
x05h/ x85h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
x06h/ x86h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
x07h/ x87h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
x08h/ x88h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
x09h/ x89h(2)	WREG	Working Register								0000 0000	uuuu uuuu
x0Ah/ x8Ah(1),(2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
x0Bh/ x8Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
x0Ch/ x8Ch — x1Fh/ x9Fh	—	Unimplemented								—	—

記号の説明 : x = 不明。u = 不変。q = 条件により変化する値。－ = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

表 2-13: 特殊機能レジスタの要約 (続き)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other Resets
Bank 31											
F80h(2)	INDF0	Addressing this location uses contents of FSR0H/FSR0L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
F81h(2)	INDF1	Addressing this location uses contents of FSR1H/FSR1L to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
F82h(2)	PCL	Program Counter (PC) Least Significant Byte								0000 0000	0000 0000
F83h(2)	STATUS	—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC	C	---1 1000	---q quuu
F84h(2)	FSR0L	Indirect Data Memory Address 0 Low Pointer								0000 0000	uuuu uuuu
F85h(2)	FSR0H	Indirect Data Memory Address 0 High Pointer								0000 0000	0000 0000
F86h(2)	FSR1L	Indirect Data Memory Address 1 Low Pointer								0000 0000	uuuu uuuu
F87h(2)	FSR1H	Indirect Data Memory Address 1 High Pointer								0000 0000	0000 0000
F88h(2)	BSR	—	—	—	BSR4	BSR3	BSR2	BSR1	BSR0	---0 0000	---0 0000
F89h(2)	WREG	Working Register								0000 0000	uuuu uuuu
F8Ah(1),(2)	PCLATH	—	Write Buffer for the upper 7 bits of the Program Counter							-000 0000	-000 0000
F8Bh(2)	INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	0000 000x	0000 000u
F8Ch — FE3h	—	Unimplemented								—	—
FE4h	STATUS_ SHAD						Z	DC	C	---- -xxx	---- -uuu
FE5h	WREG_ SHAD	Working Register Normal (Non-ICD) Shadow								xxxx xxxx	uuuu uuuu
FE6h	BSR_ SHAD				Bank Select Register Normal (Non-ICD) Shadow					---x xxxx	---u uuuu
FE7h	PCLATH_ SHAD		Program Counter Latch High Register Normal (Non-ICD) Shadow							-xxx xxxx	uuuu uuuu
FE8h	FSR0L_ SHAD	Indirect Data Memory Address 0 Low Pointer Normal (Non-ICD) Shadow								xxxx xxxx	uuuu uuuu
FE9h	FSR0H_ SHAD	Indirect Data Memory Address 0 High Pointer Normal (Non-ICD) Shadow								xxxx xxxx	uuuu uuuu
FEAh	FSR1L_ SHAD	Indirect Data Memory Address 1 Low Pointer Normal (Non-ICD) Shadow								xxxx xxxx	uuuu uuuu
FEBh	FSR1H_ SHAD	Indirect Data Memory Address 1 High Pointer Normal (Non-ICD) Shadow								xxxx xxxx	uuuu uuuu
FECh	—	Unimplemented								—	—
FEDh	STKPTR	—	—	—	Current Stack pointer					---1 1111	---1 1111
FEEh	TOSL	Top of Stack Low byte								xxxx xxxx	uuuu uuuu
FEFh	TOSH	—	Top of Stack High byte							-xxx xxxx	-uuu uuuu

記号の説明： x = 不明。u = 不変。q = 条件により変化する値。－ = 未実装、「0」として読み出し。r = 予約済み。
影付き表示されているロケーションは未実装で「0」として読み出し。

注 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は、PC<14:8> の値を格納するレジスタであり、プログラム カウンタの上位バイトへ送信されます。

2: これらのレジスタへは、全バンクからアクセスできます。

3: これらのレジスタ / ビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスに実装されていないため、「0」として読み出されます。

© 2009 Microchip Technology Inc.

2.2.3 コア レジスタ

コア レジスタとは、PIC16F193X/LF193X の基本動作に直接影響を与えるレジスタのことを言います。これらのレジスタを次に示します。

- INDF0
- INDF1
- PCL
- STATUS
- FSR0 Low
- FSR0 High
- FSR1 Low
- FSR1 High
- BSR
- WREG
- PCLATH
- INTCON

注 : すべてのデータ メモリ バンクの最初の 12 アドレスがコア レジスタとなります。

2.2.3.1 STATUS レジスタ

STATUS レジスタ (レジスタ 2-1 参照) の内容は、次のとおりです。

- ALU の演算状態
- リセット状態
- データ メモリ (SRAM) のバンク選択ビット

STATUS レジスタは、他のすべてのレジスタと同様に、任意の命令の格納先とすることができます。STATUS レジスタが Z、DC、C のいずれかのビットに影響を及ぼす命令の格納先である場合、これら 3 つのビットへは書き込みできません。これらのビットはデバイスのロジックに従ってセットまたはクリアされます。また、$\overline{TO}$ および $\overline{PD}$ ビットには書き込みできません。したがって、STATUS レジスタを格納先とする命令を実行した場合、意図した結果とならない場合があります。

例えば、CLRF STATUS は上位 3 ビットをクリアし、Z ビットをセットします。これにより、STATUS レジスタは「000u u1uu」(u = 不変) のままになります。

したがって、STATUS レジスタを変更する際は BCF、BSF、SWAPF および MOVWF 命令など、ステータス ビットに影響を与えない命令のみを使用してください。ステータス ビットに影響を与えないその他の命令については、**26.0 項「命令セットのまとめ」**を参照してください。

注 1:	減算では、C ビットが $\overline{Borrow}$、DC ビットが $\overline{Digit\ Borrow}$ アウト ビットとして動作します。

レジスタ 2-1: STATUS: STATUS レジスタ

U-0	U-0	U-0	R-1/q	R-1/q	R/W-x/x	R/W-x/x	R/W-x/x
—	—	—	$\overline{TO}$	$\overline{PD}$	Z	DC(1)	C(1)
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他のすべてのリセット時の値
1 = セット	0 = クリア	q = 条件により異なる

ビット 7-5 **未実装 :**「0」として読み出し

ビット 4 **$\overline{TO}$:** タイムアウト ビット
1 = 電源投入後、CLRWDT 命令後、または SLEEP 命令後
0 = WDT タイムアウト発生

ビット 3 **$\overline{PD}$:** パワーダウン ビット
1 = 電源投入後、または CLRWDT 命令による
0 = SLEEP 命令の実行による

ビット 2 **Z:** ゼロ ビット
1 = 算術演算または論理演算の結果がゼロ
0 = 算術演算または論理演算の結果がゼロでない

ビット 1 **DC:** Digit Carry/$\overline{Digit\ Borrow}$ ビット (ADDWF、ADDLW、SUBLW、SUBWF 命令用)(1)
1 = 演算結果の下位 4 ビット目からキャリーが発生した
0 = 演算結果の下位 4 ビット目からキャリーが発生していない

ビット 0 **C:** Carry/$\overline{Borrow}$ ビット (1) (ADDWF、ADDLW、SUBLW、SUBWF 命令用)(1)
1 = 演算結果の最上位ビットからキャリーが発生した
0 = 演算結果の最上位ビットからキャリーが発生していない

注 1: $\overline{Borrow}$ の場合は極性が逆になります。減算は、2 番目のオペランドの 2 の補数を加算することによって実行されます。ローテート (RRF、RLF) 命令の場合は、このビットにはソース レジスタの上位ビットまたは下位ビットのいずれかがロードされます。

© 2009 Microchip Technology Inc.

2.2.3.2 OPTION レジスタ

OPTION レジスタ (レジスタ 2-2 参照) は読み出し / 書き込み可能なレジスタで、次のような各種設定に関する制御ビットが格納されています。

- 外部 INT 割り込み
- Timer0
- 弱プルアップ

レジスタ 2-2: OPTION_REG: OPTION レジスタ

R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1
$\overline{\text{WPUEN}}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **$\overline{\text{WPUEN}}$:** 弱プルアップ イネーブル ビット
1 = すべての弱プルアップを無効にする ($\overline{\text{MCLR}}$ が有効の場合、MCLR は例外)
0 = 各 WPUx ラッチの値で弱プルアップを有効にする

ビット 6 **INTEDG:** 割り込みエッジ選択ビット
1 = RB0/INT ピンの立ち上がりエッジで割り込み
0 = RB0/INT ピンの立ち下がりエッジで割り込み

ビット 5 **T0CS:** Timer0 クロック ソース選択ビット
1 = RA4/T0CKI ピンの遷移
0 = 内部命令サイクル クロック (FOSC/4)

ビット 4 **T0SE:** Timer0 ソース エッジ選択ビット
1 = RA4/T0CKI ピンの High から Low への遷移でインクリメント
0 = RA4/T0CKI ピンの Low から High への遷移でインクリメント

ビット 3 **PSA:** プリスケーラ割り当てビット
1 = プリスケーラは非アクティブであり、Timer0 の割り込みレートへ影響しない
0 = プリスケーラはアクティブであり、Timer0 の割り込みレートへ影響する

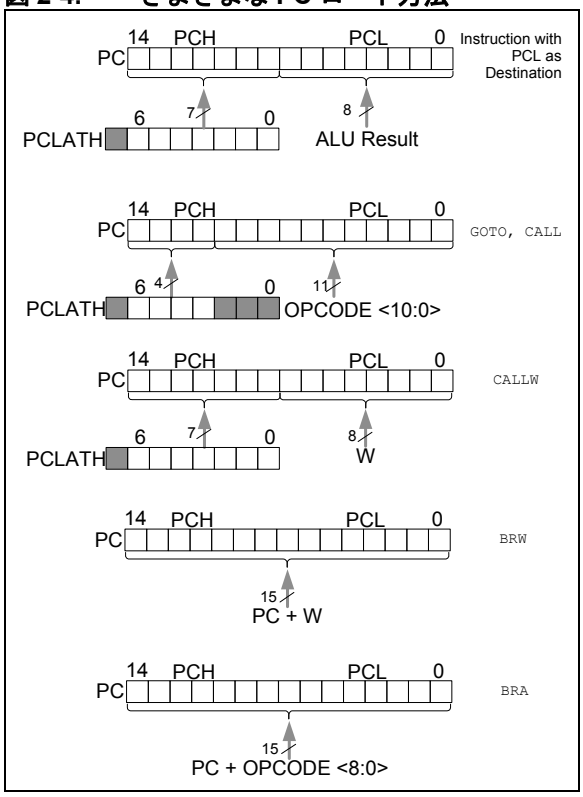
ビット 2-0 **PS<2:0>:** プリスケーラ レート選択ビット

Bit Value	Timer0 Rate
000	1 : 2
001	1 : 4
010	1 : 8
011	1 : 16
100	1 : 32
101	1 : 64
110	1 : 128
111	1 : 256

2.3 PCL および PCLATH

プログラム カウンタ (PC) は 15 ビット幅です。プログラム カウンタの下位バイトには、読み出し / 書き込み可能なレジスタである PCL レジスタの値が格納されます。上位バイト (PC<14:8>) には PCLATH の値が格納、これらは直接読み出しまたは書き込みできません。何らかのリセットが発生すると、PC はクリアされます。図 2-4 に、5 通りの PC ロード方法を示します。

図 2-4: さまざまな PC ロード方法



2.3.1 PCL の書き換え

PCL を格納先とする命令を実行すると、同時にプログラム カウンタ PC<14:8> ビット (PCH) が PCLATH レジスタの内容で置き換えられます。このため、任意の上位 7 ビットを PCLATH レジスタに書き込むことによって、プログラム カウンタの内容全体が変更できます。下位 8 ビットを PCL レジスタに書き込むと、プログラム カウンタの 15 ビットすべてが PCLATH レジスタの値と PCL レジスタに書き込まれた値に変更されます。

2.3.2 計算型 GOTO

計算型 GOTO は、プログラム カウンタにオフセットを追加することによって実行されます (ADDWF PCL)。計算型 GOTO 方式を使用してテーブル読み出しを実行する場合、PCL のメモリ境界を越えたテーブル ロケーションへのアクセスには注意が必要です。詳細は、アプリケーション ノート AN556『Implementing a Table Read』(DS00556) を参照してください。

2.3.3 計算型関数呼び出し

計算型の関数 CALL を使用することによって、関数テーブルを維持し、ステート マシンやルックアップ テーブルの実行方法を提供できるようになります。計算型 GOTO を使用してテーブル読み出しを実行する場合、PCL のメモリ境界 (各 256 バイト ブロック) を越えたテーブル ロケーションへのアクセスには注意が必要です。

CALL 命令を使用した場合、PCH<2:0> および PCL レジスタには CALL 命令のオペランドがロードされ、PCH<6:3> には PCLATH<6:3> の値がロードされます。

CALLW 命令の場合、PCLATH と W が結合してデスティネーション アドレスを形成することによって、計算型呼び出しが可能になります。計算型 CALLW の実行は、W レジスタに任意アドレスをロードして CALLW を実行することで実現します。PCL レジスタには W の値がロードされ、PCH には PCLATH の値がロードされます。

2.3.4 分岐

分岐命令には、PC にオフセットが追加されます。これによって、コードが再配置可能およびページ境界をまたぐことが可能になります。分岐には 2 種類 (BRW、BRA) あります。いずれの場合も、PC がインクリメントして次の命令をフェッチします。また、どちらも PCL メモリの境界を越える可能性があります。

BRW を使用した場合は、W レジスタに任意の符号なしアドレスをロードして BRW が実行されます。PC 全体には PC + 1 + W の値がロードされます。

BRA を使用した場合は、PC 全体には PC + 1 + BRA 命令の符号付きオペランドがロードされます。

2.4 スタック

全デバイスには、16 段 x 15 ビット幅のハードウェア スタックがあります (図 2-1 および 2-3 参照)。スタック空間は、プログラム空間やデータ空間の一部ではありません。CALL や CALLW 命令が実行された場合や割り込みによって分岐が発生した場合に、PC の値がスタックにプッシュされます。RETURN、RETLW、RETFIE 命令のいずれかが実行されると、スタックから値がポップされます。PCLATH はプッシュ動作やポップ動作の影響を受けません。

STVREN ビット = 0 (コンフィギュレーション ワード 2 レジスタ) の場合、スタックは循環バッファとして機能します。つまり、スタックが 16 回プッシュされ、17 回目のプッシュでは 1 回目のプッシュで格納された値が上書きされます。18 回目のプッシュでは 2 回目のプッシュ値が上書きされます (以降同様に続きます)。

注 1:	PUSH または POP と呼ばれる命令 / ニーモニックはありません。これらは、CALL、CALLW、RETURN、RETLW および RETFIE 命令の実行時、または割り込みアドレスへのベクタ処理時に発生する操作を指しています。

 © 2009 Microchip Technology Inc.

2.4.1 スタックへのアクセス

スタックへのアクセスには、TOSH、TOSL および STKPTR レジスタを使用します。STKPTR は、スタック ポインタの現在値を示します。TOSH:TOSL レジスタ ペアは、スタックのトップ位置 (一番上) を示します。どちらのレジスタも読み書き可能です。PC は 15 ビットであるため、TOS は TOSH と TOSL に分割されます。スタックへアクセスするには、STKPTR 値を調節して TOSH:TOSL を決定し、TOSH:TOSL への読み書きを実行します。STKPTR は 5 ビットでオーバーフローおよびアンダーフローを検知します。

通常動作中、STKPTR は CALL、CALLW および割り込み発生時にインクリメントされ、RETURN および RETFIE 発生時にデクリメントされます。STKPTR をチェックすることで、いつでもスタックの空き容量を確認できます。STKPTR は、常にスタック内で使用中の場所を示します。したがって、CALL または CALLW が PC へ書き込みを実行すると STKPTR がインクリメントされ、リターン命令によって PC がデクリメントされると PC 値がアンロードされます。

2.4.2 オーバーフロー / アンダーフローのリセット

コンフィギュレーション ワード 2 レジスタの STVREN ビットがプログラムされている場合、スタックで 16 段以降のプッシュ動作または 1 段以降のポップ動作が生じるとデバイスがリセットされ、PCON レジスタのビット (STKOVF または STKUNF) がセットされます。

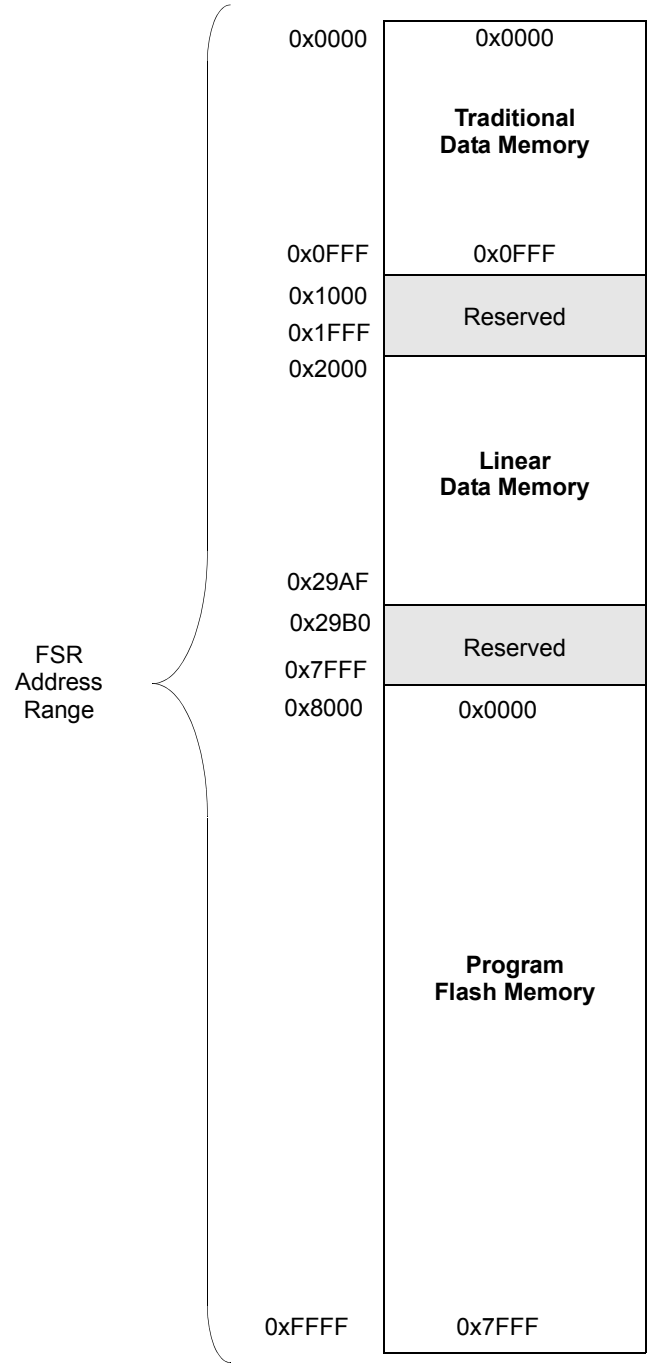
2.5 間接アドレス指定 : INDF レジスタと FSR レジスタ

INDFn レジスタは物理的なレジスタではありません。INDFn レジスタへアクセスする命令は、実際には FSR (ファイル セレクト レジスタ) で指定したアドレスにあるレジスタ値へアクセスしていることになります。FSRn アドレスが 2 つの INDFn レジスタのいずれかを示す場合、読み出し動作は 0 を返し、書き込み動作は生じません (ステータス ビットは影響を受ける可能性がある)。FSRn レジスタの値は、FSRnH および FSRnL のレジスタ ペアで作成されます。

FSR レジスタは 16 ビット アドレスを形成し、65536 ロケーションのアドレッシング空間があります。これらのロケーションは次に示す 3 つのメモリ領域に分割されています。

- 従来型データ メモリ
- リニア データ メモリ
- プログラム フラッシュ メモリ

図 2-5:　　間接アドレス指定



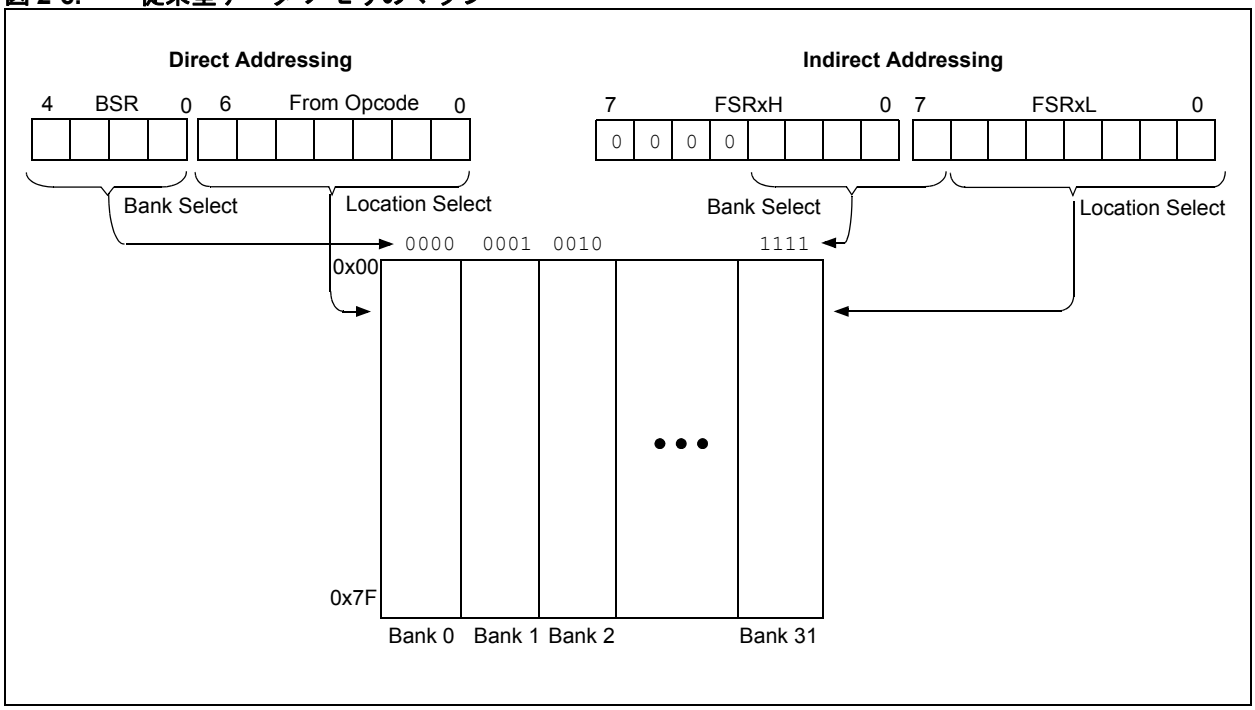
注： これらのメモリ領域はすべてが実装されているわけではありません。メモリ制限については、各メモリ領域のマップを確認してください。

© 2009 Microchip Technology Inc.

2.5.1 従来型データ メモリ

従来型データ メモリの領域は、FSR アドレスの 0x000 から 0xFFF です。これらのアドレスは、SFR レジスタ、GPR レジスタ、およびコモン レジスタの絶対アドレスに対応しています。

図 2-6: 従来型データ メモリのマップ



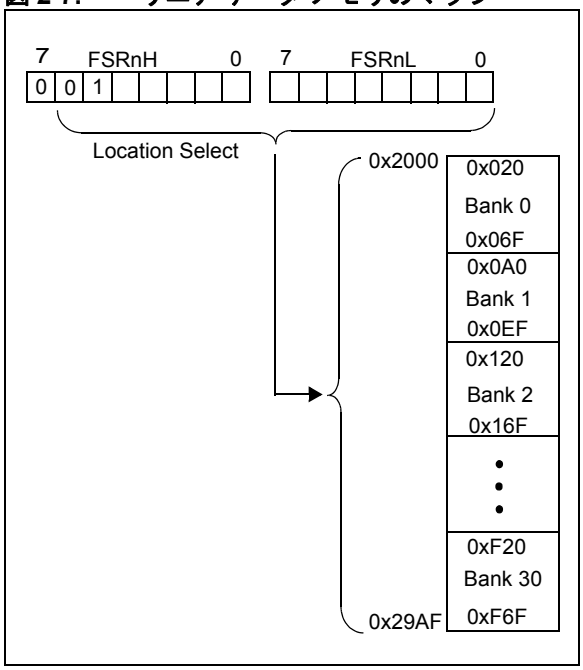
2.5.2 リニア データ メモリ

リニア データ メモリの領域は、FSR アドレスの 0x2000 から 0x29AF です。これは、全バンク内の GPR メモリ (80 バイト ブロック) を示す仮想領域です。

未実装メモリの読み出しは 0x00 が出力されます。リニア データ メモリ領域を使用する場合、バンクをまたいで FSR をインクリメントして次のバンクの GPR メモリへ直接アクセスするため、80 バイト以上のバッファとして機能できます。

16 バイトのコモン メモリは、リニア データ メモリ領域内に含められません。

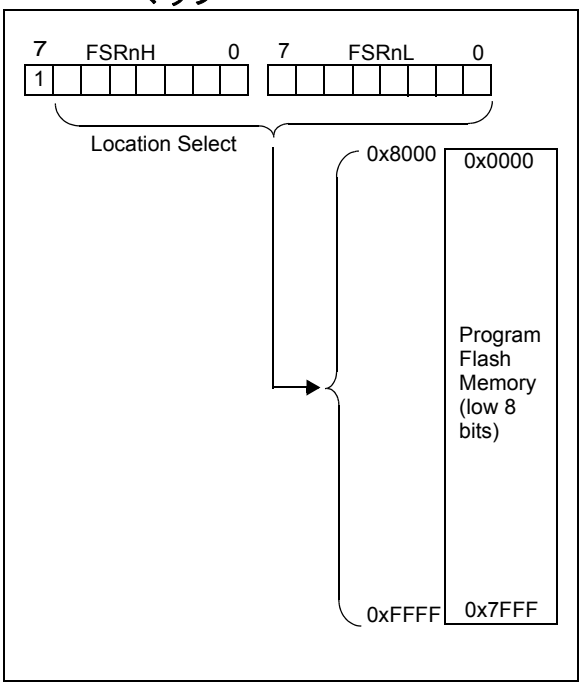
図 2-7: リニア データ メモリのマップ



2.5.3 プログラム フラッシュ メモリ

定数データ アクセスをシンプルにするため、FSR アドレス空間の上位半分に全プログラム フラッシュ メモリが割り当てられています。FSRnH の MSB がセットされている場合、下位 15 ビットがプログラム メモリのアドレスとなり、INDF でアクセスされます。ただし、INDF でアクセスできる場所は、各メモリ ロケーションの下位 8 ビットのみです。プログラム フラッシュ メモリへの書き込みは、FSR/INDF インターフェイスから実行できません。FSR/INDF インターフェイスを使用してプログラム フラッシュ メモリへアクセスする命令を実行する場合は、常に 1 命令サイクルが追加で必要です。

図 2-8: プログラム フラッシュ メモリのマップ



 © 2009 Microchip Technology Inc.

3.0 リセット

PIC16F193X/LF193X では、さまざまな種類のリセットを区別されます。

a) パワーオン リセット (POR)
b) 通常動作中の WDT リセット
c) $\overline{\text{MCLR}}$ リセット
d) ブラウンアウト リセット (BOR)
e) RESET 命令
f) スタック オーバーフロー
g) スタック アンダーフロー

一部のレジスタはリセット状態の影響をまったく受けず、それらのステータスは POR の場合は「不明」、それ以外のリセットの場合は「不変」です。ほとんどのレジスタは、次のリセットによって「リセット状態」になります。

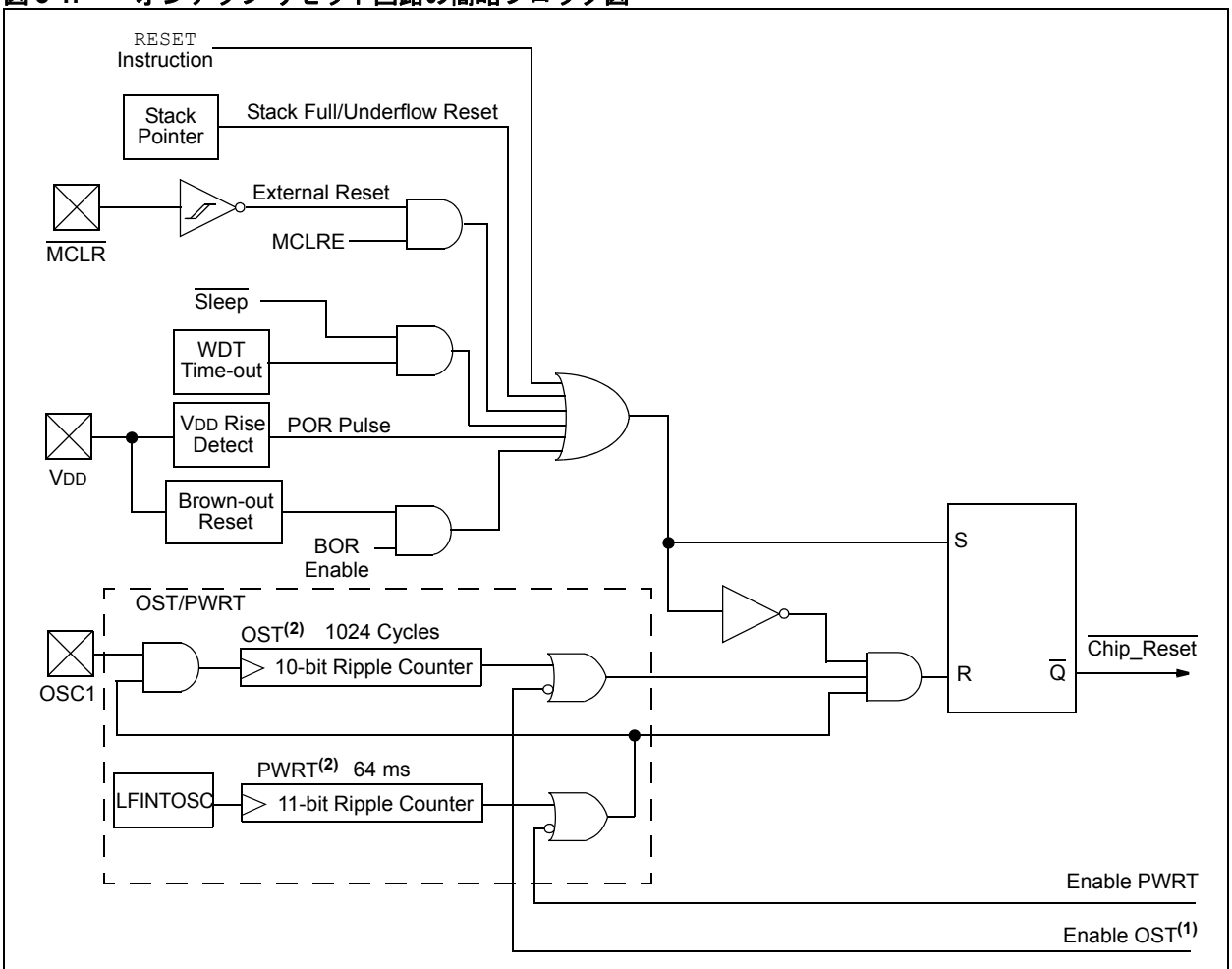
- パワーオン リセット (POR)
- $\overline{\text{MCLR}}$ リセット
- WDT リセット
- ブラウンアウト リセット (BOR)

ほとんどのレジスタは、WDT ウェイクアップの影響を受けません。これは、WDT ウェイクアップは通常動作の再開と見なされるためです。表 3-6 に示すように、$\overline{\text{TO}}$ ビットと $\overline{\text{PD}}$ ビットがセットされるかクリアされるかは、リセット状況により異なります。これらのビットは、リセットの種類を判定するためにソフトウェアで使用されます。

オンチップ リセット回路の概略ブロック図を図 3-1 に示します。

$\overline{\text{MCLR}}$ リセットの配線にはノイズ フィルタがあり、小さなパルスを検出して無視します。パルス幅の仕様については、**28.0 項「電気的仕様」**を参照してください。

図 3-1: オンチップ リセット回路の簡略ブロック図



注 1: タイムアウトの詳細は、表 3-5 を参照してください。
2: PWRT および OST カウンタは POR および BOR でリセットされます。

表 3-1: ステータス ビットの状態および説明

STKOVF	STKUNF	$\overline{\text{RMCLR}}$	$\overline{\text{RI}}$	$\overline{\text{POR}}$	$\overline{\text{BOR}}$	$\overline{\text{TO}}$	$\overline{\text{PD}}$	Condition
0	0	1	1	0	x	1	1	Power-on Reset or LDO Reset
0	0	1	1	0	x	0	x	Illegal, $\overline{\text{TO}}$ is set on $\overline{\text{POR}}$
0	0	1	1	0	x	x	0	Illegal, $\overline{\text{PD}}$ is set on $\overline{\text{POR}}$
0	0	1	1	u	0	1	1	Brown-out Reset
u	u	u	u	u	u	0	u	WDT Reset
u	u	u	u	u	u	0	0	WDT Wake-up from Sleep
u	u	u	u	u	u	1	0	Interrupt Wake-up from Sleep
u	u	0	u	u	u	u	u	$\overline{\text{MCLR}}$ Reset during normal operation
u	u	0	u	u	u	1	0	$\overline{\text{MCLR}}$ Reset during Sleep
u	u	u	0	u	u	u	u	RESET Instruction Executed
1	u	u	u	u	u	u	u	Stack Overflow Reset (STVREN = 1)
u	1	u	u	u	u	u	u	Stack Underflow Reset (STVREN = 1)

表 3-2: 特殊レジスタのリセット条件 (2)

Condition	Program Counter	STATUS Register	PCON Register
Power-on Reset	0000h	---1 1000	00-- 110x
$\overline{\text{MCLR}}$ Reset during normal operation	0000h	---u uuuu	uu-- 0uuu
$\overline{\text{MCLR}}$ Reset during Sleep	0000h	---1 0uuu	uu-- 0uuu
WDT Reset	0000h	---0 uuuu	uu-- uuuu
WDT Wake-up from Sleep	PC + 1	---0 0uuu	uu-- uuuu
Brown-out Reset	0000h	---1 1uuu	00-- 11u0
Interrupt Wake-up from Sleep	PC + 1(1)	---1 0uuu	uu-- uuuu
RESET Instruction Executed	0000h	---u uuuu	uu-- u0uu
Stack Overflow Reset (STVREN = 1)	0000h	---u uuuu	1u-- uuuu
Stack Underflow Reset (STVREN = 1)	0000h	---u uuuu	u1-- uuuu

記号の説明： u = 不変。x = 不明。- = 未実装、「0」として読み出し。

注 1: 割り込みおよび GIE (グローバル イネーブル ビット) がセットされているためにウェイクアップが生じた場合、スタックにリターン アドレス値が格納され、PC+1 実行後に PC に割り込みベクタ (0004h) がロードされます。

2: ステータス ビットが未実装の場合、読み出し値は「0」となります。

 © 2009 Microchip Technology Inc.

3.1 MCLR

PIC16F193X/LF193X の MCLR リセットの配線には、ノイズ フィルタが備えられています。このフィルタは、小さなパルスを検出して無視します。

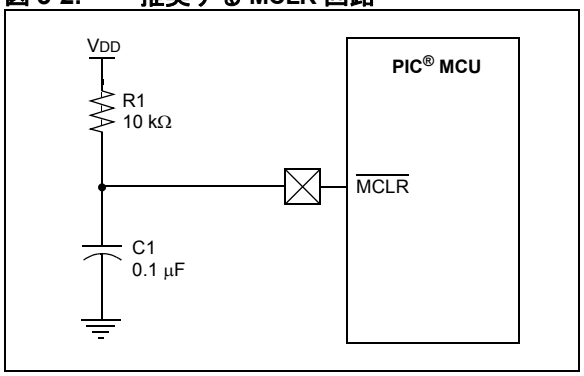
リセットでは MCLR ピンが Low にならないことに留意してください。

仕様を超えた電圧をピンに供給すると、MCLR リセットが発生すると同時に、ESD 時にデバイス仕様を超えた過剰な電流が流れる可能性があります。このため、現在マイクロチップ社では、MCLR ピンを直接 VDD に接続することは推奨していません。図 3-2 に示すように RC ネットワークを使用してください。

内部 MCLR オプションを有効にするには、コンフィギュレーション ワード レジスタの MCLRE ビットをクリアします。MCLRE = 0 の場合、チップに対するリセット信号が内部で生成されます。MCLRE = 1 の場合、RE3/MCLR ピンは外部リセット入力となります。このモードの場合、RE3/MCLR ピンには VDD に対する弱プルアップが付いています。内部 MCLR オプションを選択しても、インサーキット シリアル プログラミングには影響しません。

LVP (低電圧プログラミング) モードは MCLRE を上書きします。

図 3-2: 推奨する MCLR 回路



3.2 パワーオン リセット (POR)

VDD が通常動作に必要なレベルに到達するまで、オンチップの POR 回路はデバイスをリセット状態に保ちます。この場合、VDD の最大立ち上がり時間が必要です。詳細は、**28.0 項「電気的仕様」**を参照してください。BOR が有効な場合、最大立ち上がり時間の仕様は適用されません。BOR 回路は、VDD が VBOR になるまでデバイスをリセット状態に保ちます **(3.5 項「ブラウンアウト リセット (BOR)」**参照)。

デバイスが (リセット ステートから遷移し) 通常動作を開始する際は、デバイスの動作パラメータ (電圧、周波数、温度など) が動作条件を満たしている必要があります。条件が満たされていない場合、動作パラメータがこれを満たすまでデバイスをリセット状態に維持する必要があります。

詳細は、アプリケーションノート AN607『Power-up Trouble Shooting』(DS00607) を参照してください。

3.3 パワーアップ タイマ (PWRT)

パワーアップ タイマは、POR またはブラウンアウト リセットからのパワーアップ時のみ、64 ms (公称) の固定タイムアウトを提供します。パワーアップ タイマは WDT オシレータで動作します。詳細は、**8.5 項「内部クロック モード」**を参照してください。PWRT がアクティブの間、チップはリセット状態に維持されます。PWRT の遅延期間に、VDD が許容レベルまで到達します。構成ビット PWRTE をセットするとパワーアップ タイマは無効、クリアまたはプログラム書き込みをすると有効にできます。ブラウンアウト リセットを有効にした場合は、パワーアップ タイマも有効にしてください (これは必須ではありません)。

パワーアップ タイマの遅延は、次の要因によってチップごとに異なります。

- VDD のばらつき
- 温度のばらつき
- 製造プロセスのばらつき

詳細は、DC パラメータ **(28.0 項「電気的仕様」)** を参照してください。

> **注 :** パワーアップ タイマを有効にするには、コンフィギュレーション ワード レジスタの PWRTE ビットで設定します。

3.4 ウォッチドッグ タイマ (WDT)

WDT には次の特徴があります。

- Timer0 とは独立したプリスケーラ
- タイムアウト期間は 1.024 ms ～ 268 秒 (標準)
- コンフィギュレーション ビット WDTE<1:0> で有効になる
- スリープ中は無効にできる
- WDTCON レジスタで制御される

WDT は、表 3-3 に示す特定条件下でクリアされます。

3.4.1 WDT オシレータ

WDT は、31 kHz の内部オシレータで動作します。

> **注 :** OST (オシレータ スタートアップ タイマ) が呼び出されると、WDT が リセットされます。OST のカウントが終了すると、WDT がカウントを開始します (WDT が有効な場合のみ)。

3.4.2 WDT の制御

WDTE<1:0> ビットは コンフィギュレーション ワード レジスタ 1 (CONFIG1) に配置されています。これらのビットが 11 の場合、WDT は継続的に有効となり、スリープ状態に遷移するたびにクリアされます。10 の場合、WDT は動作中に有効になりスリープ中に無効になります。01 の場合、WDT は SWDTEN ビットで制御され、00 の場合、WDT は常に無効となります。

WDTCON レジスタには SWDTEN ビットと WDTPS<4:0> ビットが含まれます。コンフィギュレーション ワード 1 レジスタの WDTE<1:0> ビットが 01 以外の場合、SWDTEN ビットの設定は無効となります。WDTE = 01 の場合は、SWDTEN ビットの設定によって WDT を有効または無効にできます。つまり、SWDTEN ビットをセットすると WDT が有効になり、クリアすると無効になります。

WDTPS<4:0> ビットはプリスケーラを制御します (レジスタ 3-1 参照) WDTCON のリセット値は最大 2s (公称) の WDT インターバルを提供します。リセット時、コンフィギュレーション ワード レジスタの WDTE<1:0> が 01 の場合、SWDTEN が WDT を無効のままにします。プリスケーラはリセット時に常にクリアされます。

図 3-3: ウォッチドッグ タイマのブロック図

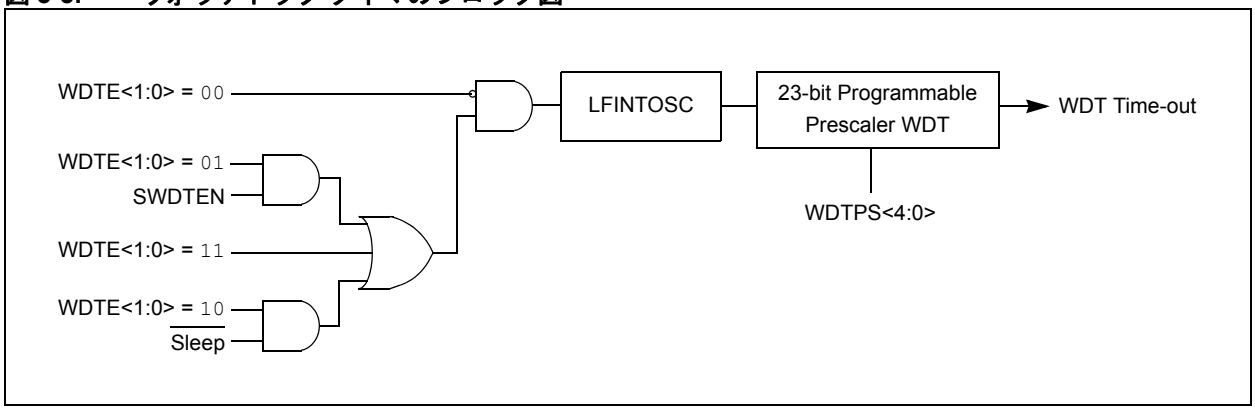


表 3-3: WDT のステータス

Conditions	WDT
WDTE<1:0> = 00	Cleared
WDTE<1:0> = 01 and SWDTEN = 0	
WDTE<1:0> = 10 and enter Sleep	
CLRWDT Command	
Oscillator Fail Detected	
Exit Sleep + System Clock = T1OSC, EXTRC, INTOSC, EXTCLK	
Exit Sleep + System Clock = XT, HS, LP	Cleared until the end of OST
Change INTOSC divider (IRCF bits)	Unaffected

 © 2009 Microchip Technology Inc.

レジスタ 3-1: WDTCON: ウォッチドッグ タイマ制御レジスタ

U-0	U-0	R/W-0/0	R/W-1/1	R/W-0/0	R/W-1/1	R/W-1/1	R/W-0/0
—	—	WDTPS4	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-6 **未実装 :** 「0」として読み出し

ビット 5-1 **WDTPS<4:0>:** ウォッチドッグ タイマ周期の選択ビット
ビット値 = プリスケーラ分周比
00000 = 1:32 (インターバル 1 ms 標準)
00001 = 1:64 (インターバル 2 ms 標準)
00010 = 1:128 (インターバル 4 ms 標準)
00011 = 1:256 (インターバル 8 ms 標準)
00100 = 1:512 (インターバル 16 ms 標準)
00101 = 1:1024 (インターバル 32 ms 標準)
00110 = 1:2048 (インターバル 64 ms 標準)
00111 = 1:4096 (インターバル 128 ms 標準)
01000 = 1:8192 (インターバル 256 ms 標準)
01001 = 1:16384 (インターバル 512 ms 標準)
01010 = 1:32768 (インターバル 1s 標準)
01011 = 1:65536 (インターバル 2s 標準)

01100 = 1:131072 (2^{17}) (インターバル 4s 標準)
01101 = 1:262144 (2^{18}) (インターバル 8s 標準)
01110 = 1:524288 (2^{19}) (インターバル 16s 標準)
01111 = 1:1048576 (2^{20}) (インターバル 32s 標準)
10000 = 1:2097152 (2^{21}) (インターバル 64s 標準)
10001 = 1:4194304 (2^{22}) (インターバル 128s 標準)
10010 = 1:8388608 (2^{23}) (インターバル 256s 標準)

10011 = 予約、最小インターバル (1:32)
•
•
•
11111 = 予約、最小インターバル (1:32)

ビット 0 **SWDTEN:** ウォッチドッグ タイマ ビットのソフトウェア イネーブル / ディスエーブル
WDTE<1:0> = 00 の場合 :
このビットは無視される
WDTE<1:0> = 01 の場合 :
1 = WDT が有効
0 = WDT が無効
WDTE<1:0> = 1x の場合 :
このビットは無視される

3.5 ブラウンアウト リセット (BOR)

BOR は、コンフィギュレーション レジスタの BOREN<1:0> ビットをプログラムして有効化します。ブラウンアウトのトリップ ポイントは、コンフィギュレーション レジスタの BORV ビットを使用して 2 つのトリップ ポイントから選択できます。

POR と BOR に対しては、電圧範囲保護機能を適用できるため、安全な実行が保証されます。

BOR を有効にするには 2 ビット使用されます。BOREN = 11 の場合、BOR は常に有効です。BOREN = 10 の場合、BOR は有効ですがスリープ中は無効になります。BOREN = 01 の場合、BOR は BORCON レジスタの SBOREN ビットで制御されます。BOREN = 00 の場合、BOR は無効です。

パラメータ TBOR (**28.0 項「電気的仕様」**参照) よりも長時間 VDD が VBOR を下回ると、ブラウンアウト状態によってデバイスがリセットされます。これは、VDD のスルー レートに関係なく発生します。VDD が VBOR を下回る期間がパラメータ (TBOR) より短い場合、ブラウンアウト リセットは必ずしも発生するとは限りません。

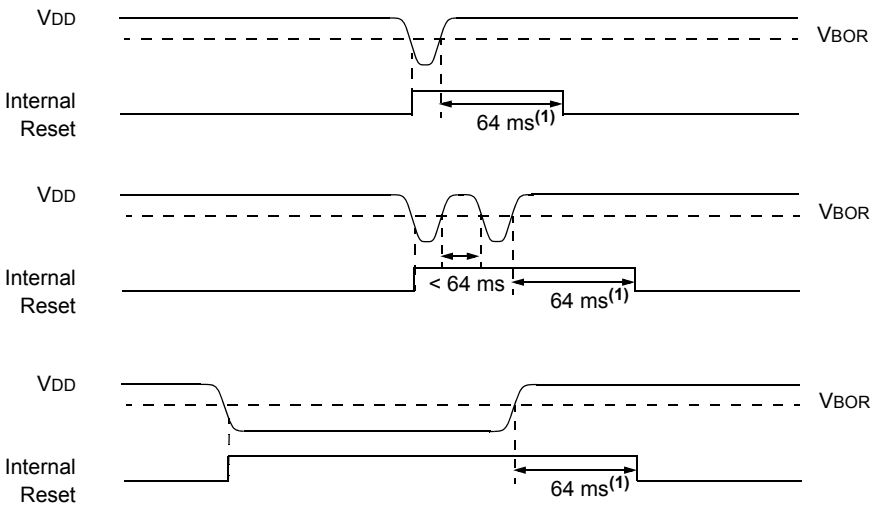
パワーアップ タイマの動作中に VDD が VBOR を下回った場合、チップはブラウンアウト リセットに戻り、パワーアップ タイマは再初期化されます。VDD が VBOR を上回った時点から、パワーアップ タイマは 64 ms のリセット状態を維持します。

表 3-4: BOR 動作モード

BOREN Config bits	SBOREN	Device Mode	BOR Mode	Device Operation upon release of POR	Device Operation upon wake- up from Sleep
BOR_ON (11)	x	X	Active	Waits for BOR ready(1)	
BOR_NSLEEP (10)	x	Awake	Active	Waits for BOR ready	
BOR_NSLEEP (10)	x	Sleep	Disabled		
BOR_SBOREN (01)	1	X	Active	Begins immediately	
BOR_SBOREN (01)	0	X	Disabled	Begins immediately	
BOR_OFF (00)	x	X	Disabled	Begins immediately	

注 1: この場合 BOR を待機すると明示していますが、BOR はすでに動作しているため開始遅延はありません。

図 3-4: ブラウンアウトの条件



注 1: 64 ms の遅延は、$\overline{\text{PWRTE}}$ ビットが「0」にプログラムされている場合のみ生じます。

 © 2009 Microchip Technology Inc.

レジスタ 3-2: BORCON: ブラウンアウト リセット制御レジスタ

R/W-1/u	U-0	U-0	U-0	U-0	U-0	U-0	R/W-q/u
SBOREN	—	—	—	—	—	—	BORRDY
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	q = 条件により異なる

ビット 7 **SBOREN:** ソフトウェア制御のブラウンアウト リセット イネーブル ビット

BOREN ≠ 01 の場合 :
SBOREN は読み出し / 書き込み可能だが、BOR へ影響しない

BOREN = 01 の場合 :
1 = = BOR を有効にする
0 = BOR を無効にする

ビット 6-1 **未実装 :**「0」として読み出し

ビット 0 **BORRDY:** ブラウンアウト リセット サーキット レディ ステータス ビット
1 = ブラウンアウト リセット回路がアクティブでありアーム状態 (実行準備ができている) である
0 = ブラウンアウト リセット回路が非アクティブ、または準備中

3.5.1 BOR ハイバーネイト / リアーム

BOR 回路には POR 回路へ接続される出力があるため、BOR の動作範囲内で POR をリアーム (再設定) します。POR を早期にリアームすることによって、V_{DD} が BOR 回路の動作範囲外になった場合に確実にデバイスをリセット状態にできます。

3.6 リセット命令

RESET 命令はデバイスをリセットします。PCON レジスタの RI ビットが 0 にセットされます。RESET 命令実行後のデフォルト状態については、表 3-6 を参照してください。

3.7 スタックのオーバーフロー/アンダーフロー

スタックのオーバーフローまたはアンダーフローが発生するとデバイスがリセットされる機能を有効にするには、コンフィギュレーション ワード 2 レジスタの STVREN ビットをセットします。STVREN ビットがセットされていると、オーバーフローまたはアンダーフローが生じた場合に対応する STKOVF または STKUNF (PCON レジスタ内) がセットされ、デバイスがリセットされます。STVREN がクリアされていると、オーバーフローまたはアンダーフローが生じた場合に対応する STKOVF または STKUNF ビットがセットされますが、デバイスはリセットされません。STKOVF または STKUNF ビットは、ユーザー ソフトウェアまたは POR でクリアされます。

3.8 電源投入時のタイムアウト シーケンス

電源投入時のタイムアウト シーケンスは次のとおりです。まず、POR または BOR 経過後に PWRT タイムアウトが開始し、PWRT タイムアウトの経過後に OST が動作を開始します。タイムアウトの合計時間は、オシレータの設定および $\overline{\text{PWRTE}}$ ビットの状態によって異なります。例えば、$\overline{\text{PWRTE}}$ ビット = 1 (PWRT が無効) として設定した EC モードの場合、タイムアウトはまったく発生しません。図 3-5、図 3-6、および図 3-7 にタイムアウト シーケンスを示します。

タイムアウトは POR パルスから発生するため、$\overline{\text{MCLR}}$ を長時間 Low にしておくと、タイムアウトが先に終了する場合があります。この場合、$\overline{\text{MCLR}}$ を High にすると同時にプログラムの実行が開始します (図 3-6 参照)。これは、テスト実行の際や複数の PIC16F193X/LF193X デバイスを並列動作させて同期をとる場合に有用です。

表 3-7 に、特殊なレジスタのリセット条件を示します。

 © 2009 Microchip Technology Inc.

3.9 PCON (電力制御) レジスタ

PCON (電力制御) レジスタには 6 つのステータス ビットがあり、最後に発生したリセットの種類を示します。

3.9.1 PCON レジスタ

PCON (電力制御) レジスタには、リセットの種類を示すフラグ ビット (表 3-6 参照) が含まれています。

- パワーオン リセット ($\overline{POR}$)
- ブラウンアウト リセット ($\overline{BOR}$)
- リセット命令によるリセット ($\overline{RI}$)
- スタックのオーバーフローによるリセット (STKOVF)
- スタックのアンダーフローによるリセット (STKUVF)

PCON レジスタは、ソフトウェアによる BOR の有効 / 無効の切り替えも制御します。

PCON レジスタの各ビットをレジスタ 3-3 に示します。

レジスタ 3-3: PCON: 電力制御レジスタ

R/W-0/q	R/W-0/q	U-0	U-0	R/W-1/q	R/W-1/q	R/W-q/u	R/W-q/u
STKOVF	STKUNF	—	—	$\overline{RMCLR}$	$\overline{RI}$	$\overline{POR}$	$\overline{BOR}$
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	q = 条件により異なる

ビット 7 **STKOVF:** スタック オーバーフロー フラグ ビット
1 = スタックのオーバーフローが生じた (スタックの容量を超える CALL が実行された場合)
0 = スタックのオーバーフローは発生していない。またはファームウェアで「0」に設定

ビット 6 **STKUNF:** スタック アンダーフロー フラグ ビット
1 = スタックのアンダーフローが発生した (CALL よりも RETURN が多い場合)
0 = スタックのアンダーフローは発生していない。またはファームウェアで「0」に設定

ビット 5-4 **未実装 :**「0」として読み出し

ビット 3 **$\overline{RMCLR}$:** $\overline{MCLR}$ リセット フラグ ビット
1 = $\overline{MCLR}$ リセットは生じていない。またはファームウェアで「1」に設定
0 = $\overline{MCLR}$ リセットが生じた ($\overline{MCLR}$ リセットが生じるとき、ハードウェアでは「0」に設定)

ビット 2 **$\overline{RI}$:** RESET 命令フラグ ビット
1 = RESET 命令は生じていない。またはファームウェアで「1」に設定
0 = RESET 命令が生じた (RESET リセットが実行されるとき、ハードウェアでは「0」に設定)

ビット 1 **$\overline{POR}$:** パワーオン リセット ステータス ビット
1 = パワーオン リセットが発生していない
0 = パワーオン リセットが発生した (パワーオン リセット発生後にソフトウェアでセットが必要)

ビット 0 **$\overline{BOR}$:** ブラウンアウト リセット ステータス ビット
1 = ブラウンアウト リセットが発生していない
0 = ブラウンアウト リセットが発生した (POR または BOR 発生後にソフトウェアでセットが必要)

表 3-5: 各種状態におけるタイムアウト

Oscillator Configuration	Power-up and Brown-out Reset		Wake-up from Sleep or Oscillator Switch
	$\overline{PWRTE}$ = 0	$\overline{PWRTE}$ = 1	
XT, HS, LP	64 ms + 1024 • TOSC	1024 • TOSC	1024 • TOSC
External RC	64 ms	—	—
EC	64 ms	—	—
INTOSC	64 ms	1 µs	1 µs

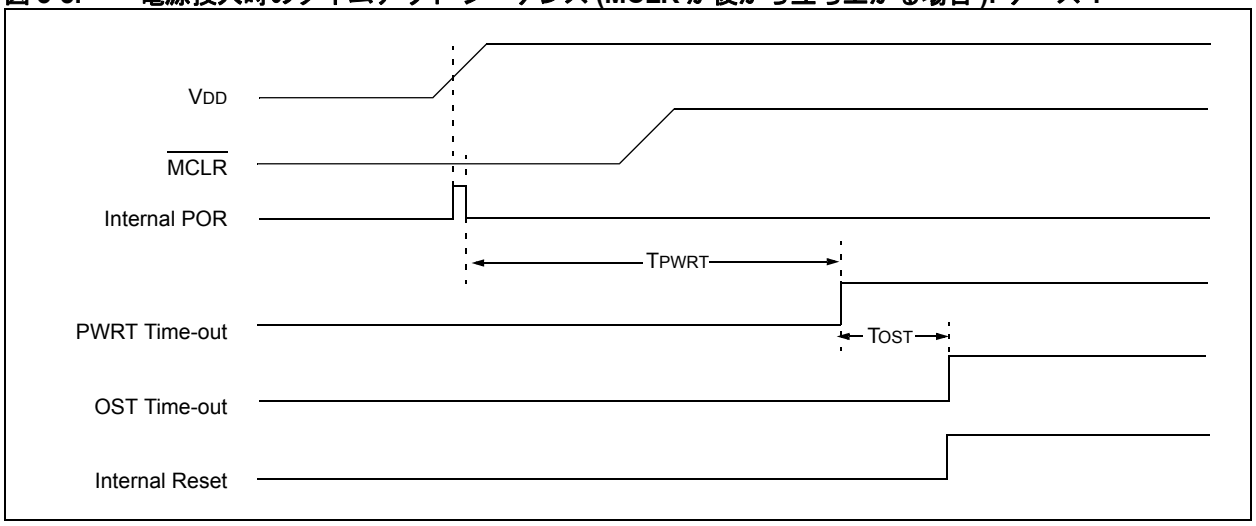
注 1: T1OSC は無効として設定された LP モードです。

表 3-6: リセット ビットの状態および説明

STKOVF	STKUNF	$\overline{RMCLR}$	$\overline{RI}$	$\overline{POR}$	$\overline{BOR}$	$\overline{TO}$	$\overline{PD}$	Condition
0	0	1	1	0	x	1	1	Power-on Reset
0	0	1	1	0	x	0	x	Illegal, $\overline{TO}$ is set on $\overline{POR}$
0	0	1	1	0	x	x	0	Illegal, $\overline{PD}$ is set on $\overline{POR}$
0	0	1	u	u	0	1	1	Brown-out Reset
u	u	u	u	u	u	0	u	WDT Reset
u	u	u	u	u	u	0	0	WDT Wake-up from Sleep
u	u	u	u	u	u	1	0	Interrupt Wake-up from Sleep
u	u	0	u	u	u	u	u	$\overline{MCLR}$ Reset during normal operation
u	u	0	u	u	u	1	0	$\overline{MCLR}$ Reset during Sleep
u	u	u	0	u	u	u	u	RESET instruction executed
1	u	u	u	u	u	u	u	Stack Overflow Reset (STVREN = 1)
u	1	u	u	u	u	u	u	Stack Underflow Reset (STVREN = 1)

記号の説明 : u = 不変。x = 不明。

図 3-5: 電源投入時のタイムアウト シーケンス ($\overline{MCLR}$ が後から立ち上がる場合): ケース 1



 © 2009 Microchip Technology Inc.

図 3-6: 電源投入時のタイムアウト シーケンス (MCLR が後から立ち上がる場合): ケース 2

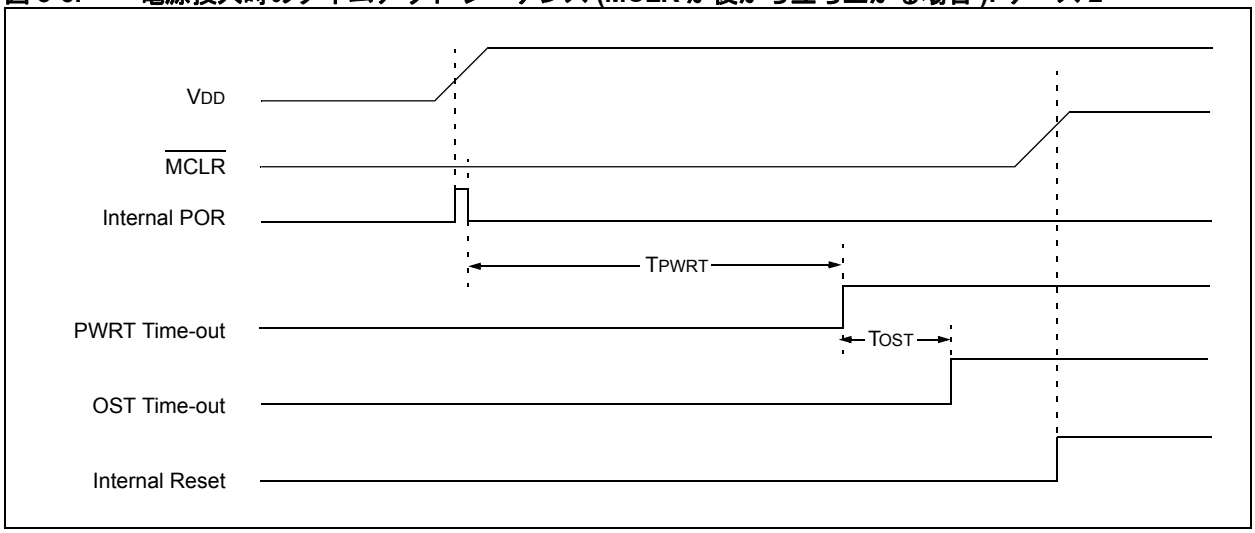


図 3-7: 電源投入時のタイムアウト シーケンス (MCLR が VDD と同時に立ち上がる場合): ケース 3

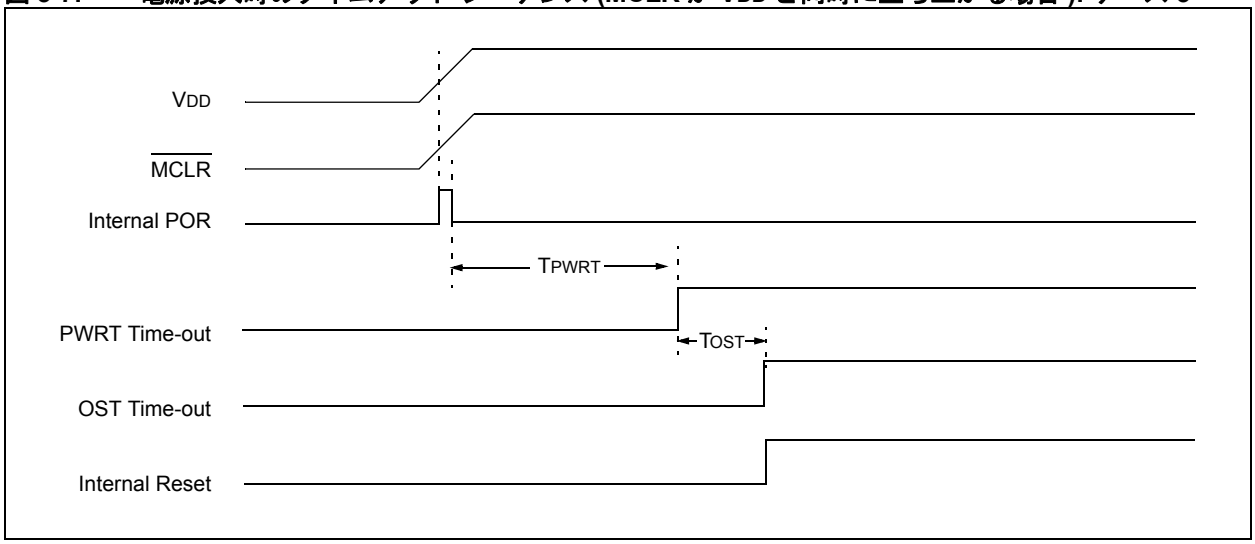


表 3-7: 特殊レジスタのリセット状態 (2)

Condition	Program Counter	STATUS Register	PCON Register
Power-on Reset	0000h	---1 1000	00-- 110x
$\overline{\text{MCLR}}$ Reset during normal operation	0000h	---u uuuu	uu-- 0uuu
$\overline{\text{MCLR}}$ Reset during Sleep	0000h	---1 0uuu	uu-- 0uuu
WDT Reset	0000h	---0 uuuu	uu-- uuuu
WDT Wake-up from Sleep	PC + 1	---0 0uuu	uu-- uuuu
Brown-out Reset	0000h	---1 1uuu	00-- 11u0
Interrupt Wake-up from Sleep	PC + 1(1)	---1 0uuu	uu-- uuuu
RESET Instruction Executed	0000h	---u uuuu	uu-- u0uu
Stack Overflow Reset (STVREN = 1)	0000h	---u uuuu	1u-- uuuu
Stack Underflow Reset (STVREN = 1)	0000h	---u uuuu	u1-- uuuu

記号の説明： u = 不変。x = 不明。- = 未実装、「0」として読み出し。

注 1: GIE (Global Interrupt Enable) ビットがセットされており、割り込みによってウェイクアップした場合、PC+1 実行後 PC に割り込みベクタ (0004h) がロードされます。

2: ステータス ビットが未実装の場合、読み出しの戻り値は「0」となります。

表 3-8: リセット 関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
BORCON	SBOREN	—	—	—	—	—	—	BORRDY	63
PCON	STKOVF	STKUNF	—	—	$\overline{\text{RMCLR}}$	$\overline{\text{RI}}$	$\overline{\text{POR}}$	$\overline{\text{BOR}}$	65
STATUS	—	—	—	$\overline{\text{TO}}$	$\overline{\text{PD}}$	Z	DC	C	50
WDTCON	—	—	WDTPS4	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN	61

記号の説明： u = 不変。x = 不明。- = 未実装、「0」として読み出し。q = 条件により変化する値。網掛けのビットはリセットで使用されません。

注 1: パワーアップ以外のリセットには、$\overline{\text{MCLR}}$ リセット、および通常動作時のウォッチドッグ タイマ リセットがあります。

© 2009 Microchip Technology Inc.

4.0 割り込み

PIC16F193X/LF193X デバイス ファミリのコアには、通常のプログラム フロー中に特定のイベントを実行できる割り込み機能があります。割り込みサービス ルーチン (ISR) を使用して割り込みソースを判断し、それに基づいて動作します。MCU をスリープ モードから回復させるように設定できる割り込みがあります。

PIC16F193X/LF193X デバイス ファミリには、23 個の割り込みソースがあり、対応する割り込みイネーブルやフラグ ビットによって認識されます。

- INIT ピンで外部エッジ検知する割り込み
- 状態変化割り込み
- A/D 変換完了割り込み
- EEPROM 書き込み完了割り込み
- EUSART 受信割り込み
- EUSART 送信割り込み
- LCD モジュール割り込み
- オシレータ エラー割り込み
- Timer0 オーバーフロー割り込み
- Timer1 ゲート割り込み
- Timer1 オーバーフロー割り込み
- Timer2 が PR2 と一致する割り込み
- Timer4 が PR4 と一致する割り込み
- Timer6 が PR6 と一致する割り込み
- コンパレータ C1 割り込み
- コンパレータ C2 割り込み
- CCP1 イベント割り込み
- CCP2 イベント割り込み
- CCP3 イベント割り込み
- CCP4 イベント割り込み
- CCP5 イベント割り込み
- MSSP イベント割り込み
- MSSP バス衝突割り込み

図 4-1 に割り込みロジックのブロック図を示します。

図 4-1: 割り込みロジック

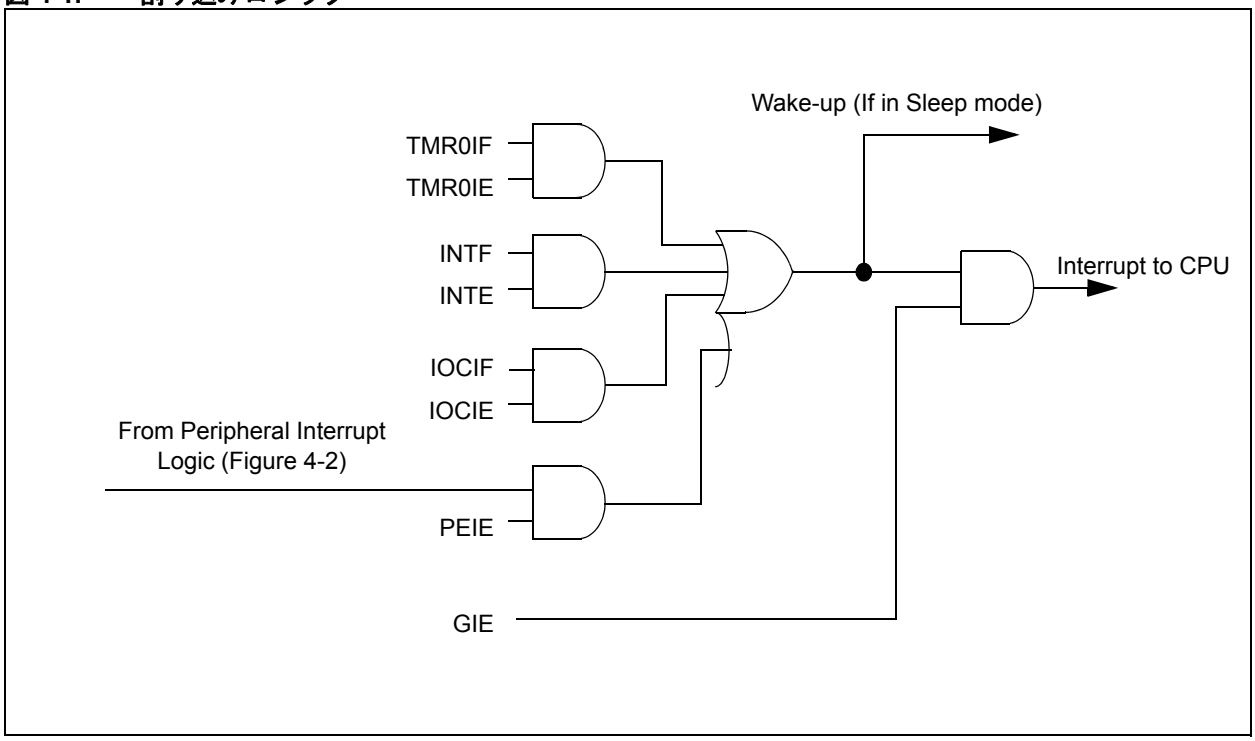
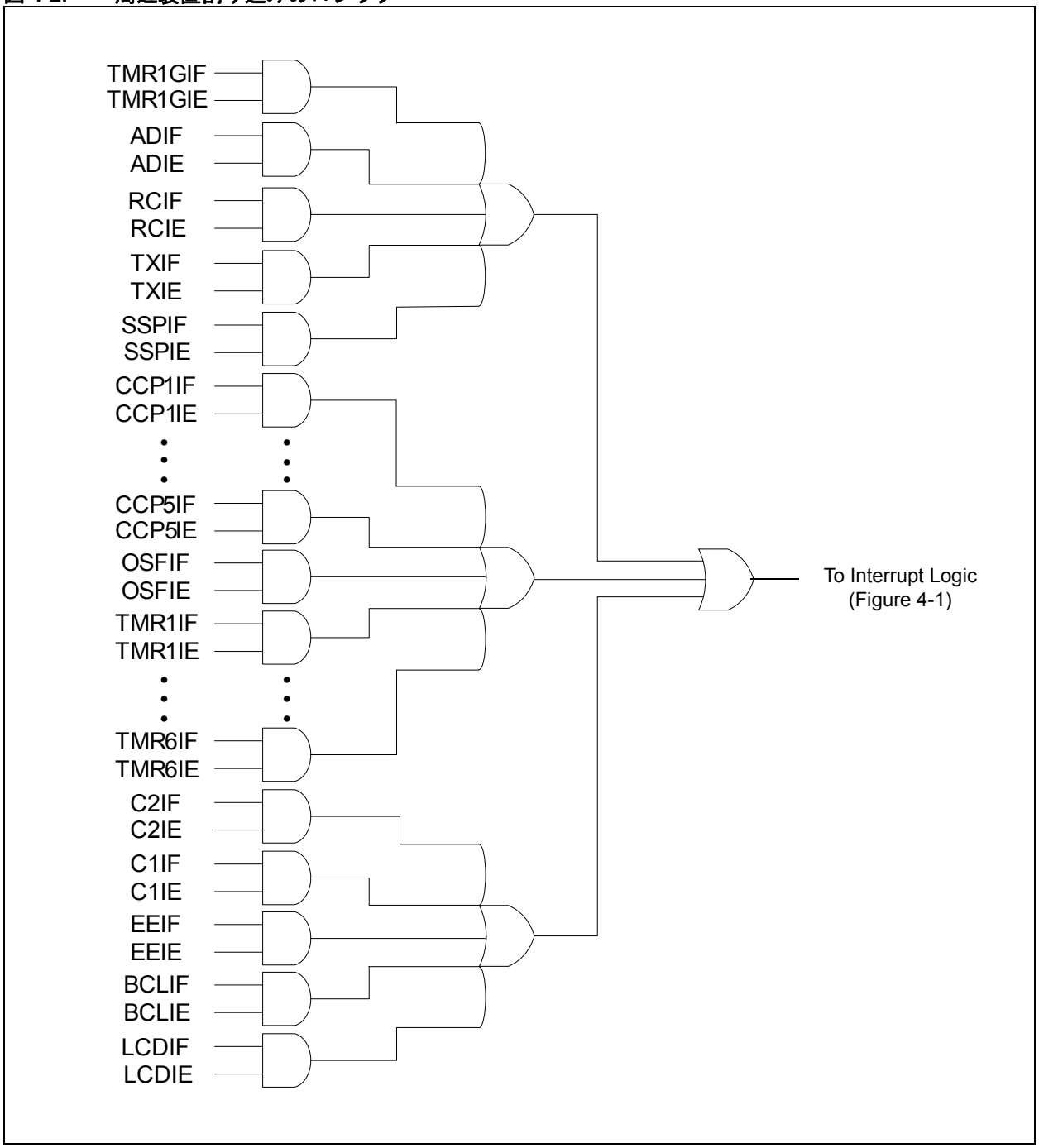


図 4-2:　周辺装置割り込みのロジック



© 2009 Microchip Technology Inc.

4.1 動作

割り込み動作は、デバイス リセットが生じると無効になります。有効にするには、次のビットを設定する必要があります。

- INTCON レジスタの GIE ビット
- 特定した割り込みイベントの割り込みイネーブル ビット
- INTCON レジスタの PEIE ビット (割り込みイベントの割り込みイネーブル ビットが PIE1、PIE2 および PIE3 レジスタ内に含まれる場合)

INTCON、PIR1、PIR2 および PIR3 レジスタは、割り込みフラグ ビットを介して各割り込みを記録します。割り込みフラグ ビットは、GIE、PEIE および各割り込みイネーブル ビットのステータスに関わらずセットされます。

GIE ビットがセットされているときに割り込みイベントが発生すると、次のイベントが生じます。

- 現在プリフェッチされている命令がフラッシュ (消去) される
- GIE ビットがクリアされる
- 現在の PC (プログラム カウンタ) がスタックに格納される
- PC に割り込みベクタ「0004h」がロードされる

ISR は、割り込みフラグ ビットをポーリングして割り込みソースを判断します。割り込み動作の繰り返しを避けるため、ISR から抜け出る前に割り込みフラグ ビットがクリアされる必要があります。

GIE ビットがクリアされているため、ISR 実行中に発生する割り込みはすべて割り込みフラグを介して記録されますが、プロセッサがその割り込みベクタを実行することはありません。

RETFIE 命令では、割り込み前に実行していたアドレスをスタックから取得し、シャドウ レジスタから保存した内容を回復し、GIE ビットをセットすることによって、ISR から通常動作に復帰します。

割り込み動作に関するその他の情報は、各周辺装置の章を参照してください。

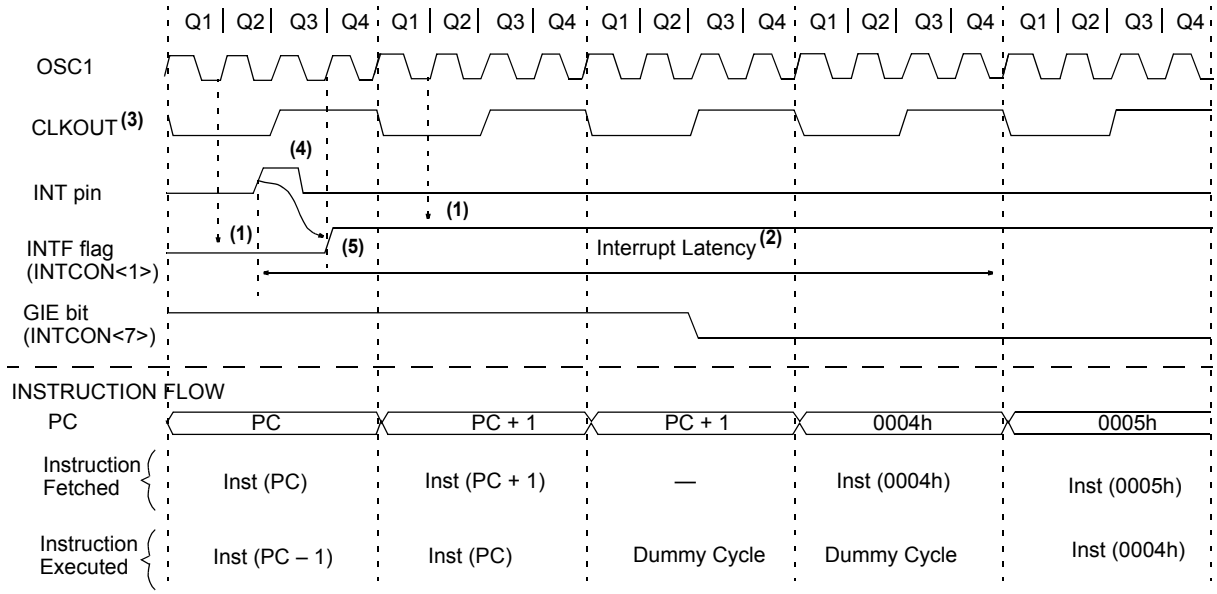
注 1: 各割り込みフラグ ビットは、その他のイネーブル ビットのステートとは無関係にセットされます。

2: GIE ビットがクリアされている間、すべての割り込みは無視されます。GIE ビットがクリアされている間に生じたすべての割り込みは、GIE ビットが再びセットされたときに対応されます。

4.2 割り込みレイテンシ

割り込みレイテンシとは、割り込みイベントが発生してから、割り込みベクタのコードが実際に実行されるまでの時間を示します。同期割り込みのレイテンシは、3 命令サイクルまたは 4 命令サイクルです。非同期割り込みのレイテンシは、割り込み発生時によって異なり、3 命令サイクル ～ 5 命令サイクルです。タイミングの詳細は、図 4-3 を参照してください。

図 4-3: INT ピン割り込みのタイミング



注 1: INT フラグは、ここでサンプリングされます (Q1 ごと)。

2: 非同期割り込みのレイテンシ = 3 ～ 5 (TCY)、同期割り込みのレイテンシ = 3 ～ 4 (TCY) (TCY = 命令サイクルの時間) です。命令 (PC) が 1 サイクルと 2 サイクルでは、レイテンシは同じです。

3: CLKOUT は、オシレータが INTOSC または RC モードの場合のみ使用できます。

4: INT の最小パルス幅については、**28.0 項「電気的仕様」**の D/C 仕様を参照してください。

5: INTF は、Q4 サイクル ～ Q1 サイクル間、随時セットできます。

4.3 スリープ時の割り込み

割り込みの種類によっては、スリープからの回復に使用できます。この場合、周辺装置はシステム クロックを使用せずに動作できる必要があります。割り込みソースの対応する割り込みイネーブル ビットは、スリープに遷移する前にセットされている必要があります。

スリープから回復する際、GIE ビットもセットされていると、プロセッサは割り込みベクタへ分岐します。セットされていない場合は、SLEEP 命令後に命令の実行を継続します。SLEEP 命令の直後の命令は、ISR へ分岐する前に必ず実行されます。詳細は、**24.0 項「パワーダウン モード (スリープ)」**を参照してください。

4.4 INT ピン

外部割込み INT ピンでは、非同期のエッジ トリガ型割り込みを発生します。OPTION　レジスタの INTEDG ビットによって、割り込みを発生させるエッジが決定されます。INTEDG ビットがセットされていると、立ち上がりエッジで割り込みが発生し、クリアされていると立ち下がりで割り込みが発生します。INT ピンに有効なエッジが現れると、INTCON レジスタの INTF ビットがセットされます。このとき、GIE および INTE ビットもセットされていると、プロセッサはプログラムの実行を割り込みベクタへリダイレクトします。INTCON レジスタの INTE ビットをクリアすると、この割り込み命令が無効になります。

4.5 内容保存機能

割り込み動作に遷移する際、復帰時の PC アドレス値がスタックに保存されます。また、次に示すレジスタ値も自動的にシャドウ レジスタに保存されます。

- W レジスタ
- ステータス レジスタ ($\overline{TO}$ および $\overline{PD}$ を除く)
- BSR レジスタ
- FSR レジスタ
- PCLATH レジスタ

割り込みサービス ルーチンから通常動作に戻るとき、自動的にこれらのレジスタ値が回復されます。ISR 中に、これらのレジスタに加えられた変更点は失われます。ユーザー アプリケーションによっては、その他のレジスタ値の保存が必要になる場合があります。

 © 2009 Microchip Technology Inc.

4.5.1 INTCON レジスタ

INTCON レジスタは読み出し / 書き込み可能なレジスタであり、TMR0 レジスタ オーバーフロー割り込み、状態変化割り込み、外部 INT ピン割り込みなどに関する各種イネーブル / フラグ ビットが格納されています。

注 : 割り込み条件が発生すると、対応するイネーブル ビットまたはグローバル イネーブル ビット (INTCON レジスタの GIE) の状態に関係なく割り込みフラグ ビットがセットされます。割り込みを許可する前に、該当する割り込みフラグ ビットをユーザー ソフトウェアで必ずクリアしてください。

レジスタ 4-1: INTCON: 割り込み制御レジスタ

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R-0/0
GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF(1)	INTF	IOCIF
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **GIE:** グローバル割り込みイネーブル ビット
1 = すべてのマスクされていない割り込みを許可する
0 = すべての割り込みを禁止する

ビット 6 **PEIE:** 周辺装置割り込みイネーブル ビット
1 = すべてのマスクされていない周辺装置割り込みを許可する
0 = すべての周辺装置割り込みを禁止する

ビット 5 **TMR0IE:** Timer0 オーバーフロー割り込みイネーブル ビット
1 = Timer0 割り込みを許可する
0 = Timer0 割り込みを禁止する

ビット 4 **INTE:** RB0/INT 外部割り込みイネーブル ビット
1 = RB0/INT 外部割り込みを許可する
0 = RB0/INT 外部割り込みを禁止する

ビット 3 **IOCIE:** 状態変化イネーブル ビット (1)
1 = 状態変化割り込みを許可する
0 = 状態変化割り込みを禁止する

ビット 2 **TMR0IF:** Timer0 オーバーフロー割り込みフラグ ビット (2)
1 =TMR0 レジスタがオーバーフローした (ソフトウェアでクリアが必要)
0 =TMR0 レジスタがオーバーフローしていない

ビット 1 **INTF:** INT 外部割り込みフラグ ビット
1 = INT 外部割り込みが発生した (ソフトウェアでクリアが必要)
0 = INT 外部割り込みが発生していない

ビット 0 **IOCIF:** 状態変化割り込みフラグ ビット
1 = 少なくとも 1 つの状態変化割り込みピンのステートが変化した (ソフトウェアでクリアが必要)
0 = 状態変化割り込みピンのステートは変化しない

注 1: Timer0 がロールオーバ すると TMR0IF ビットがセットされます。Timer0 はリセット時には変化しないため、TMR0IF ビットをクリアする前に初期化が必要です。

4.5.2 PIE1 レジスタ

PIE1 レジスタには、レジスタ 4-2 に示す割り込みイネーブル ビットが格納されています。

注： 周辺機能の割り込みを許可するには、INTCON レジスタの PEIE ビットをセットする必要があります。

レジスタ 4-2: PIE1: 周辺装置割り込みイネーブル レジスタ 1

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE
bit 7							bit 0

記号の説明：		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **TMR1GIE:** Timer1 ゲート割り込みイネーブル ビット
1 = Timer1 のゲート アクイジション完了による割り込みは有効
0 = Timer1 のゲート アクイジション完了による割り込みは無効

ビット 6 **ADIE:** A/D コンバータ (ADC) 割り込みイネーブル ビット
1 = ADC 割り込みを許可する
0 = ADC 割り込みを禁止する

ビット 5 **RCIE:** USART 受信割り込みイネーブル ビット
1 = USART 受信割り込みを許可する
0 = USART 受信割り込みを禁止する

ビット 4 **TXIE:** USART 送信割り込みイネーブル ビット
1 = USART 送信割り込みを許可する
0 = USART 送信割り込みを禁止する

ビット 3 **SSPIE:** 同期シリアル ポート (SSP) 割り込みイネーブル ビット
1 = SSP 割り込みを許可する
0 = SSP 割り込みを禁止する

ビット 2 **CCP1IE:** CCP1 割り込みイネーブル ビット
1 = CCP1 割り込みを許可する
0 = CCP1 割り込みを禁止する

ビット 1 **TMR2IE:** TMR2/PR2 一致割り込みイネーブル ビット
1 = Timer2/PR2 一致割り込みを許可する
0 = Timer2/PR2 一致割り込みを禁止する

ビット 0 **TMR1IE:** Timer1 オーバーフロー割り込みイネーブル ビット
1 =Timer1 オーバーフロー割り込みを許可する
0 =Timer1 オーバーフロー割り込みを禁止する

 © 2009 Microchip Technology Inc.

4.5.3 PIE2 レジスタ

PIE2 レジスタには、レジスタ 4-3 に示す割り込みイネーブル ビットが格納されています。

注 : 周辺機能の割り込みを許可するには、INTCON レジスタの PEIE ビットをセットする必要があります。

レジスタ 4-3: PIE2: 周辺装置割り込みイネーブル レジスタ 2

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	U-0	R/W-0/0
OSFIE	C2IE	C1IE	EEIE	BCLIE	LCDIE	—	CCP2IE
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **OSFIE:** オシレータ エラー割り込みイネーブル ビット
1 = オシレータ エラー割り込みを許可する
0 = オシレータ エラー割り込みを禁止する

ビット 6 **C2IE:** コンパレータ C2 割り込みイネーブル ビット
1 = コンパレータ C2 割り込みを許可する
0 = コンパレータ C2 割り込みを禁止する

ビット 5 **C1IE:** コンパレータ C1 割り込みイネーブル ビット
1 = コンパレータ C1 割り込みを許可する
0 = コンパレータ C1 割り込みを禁止する

ビット 4 **EEIE:** EEPROM 書き込み完了割り込みイネーブル ビット
1 = EEPROM 書き込み完了割り込みを許可する
0 = EEPROM 書き込み完了割り込みを禁止する

ビット 3 **BCLIE:** MSSP バス衝突割り込みイネーブル ビット
1 = MSSP バス衝突割り込みを許可する
0 = MSSP バス衝突割り込みを禁止する

ビット 2 **LCDIE:** LCD モジュール割り込みイネーブル ビット
1 = LCD モジュール割り込みを許可する
0 = LCD モジュール割り込みを禁止する

ビット 1 **未実装 :** 「0」として読み出し

ビット 0 **CCP2IE:** CCP2 割り込みイネーブル ビット
1 = CCP2 割り込みを許可する
0 = CCP2 割り込みを禁止する

4.5.4 PIE3 レジスタ

PIE3 レジスタには、レジスタ 4-4 に示す割り込みイネーブル ビットが格納されています。

注 : 周辺機能の割り込みを許可するには、INTCON レジスタの PEIE ビットをセットする必要があります。

レジスタ 4-4: PIE3: 周辺装置割り込みイネーブル レジスタ 3

U-0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	U-0	R/W-0/0	U-0
—	CCP5IE	CCP4IE	CCP3IE	TMR6IE	—	TMR4IE	—
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **未実装 :**「0」として読み出し

ビット 6 **CCP5IE:** CCP5 割り込みイネーブル ビット
1 = CCP5 割り込みを許可する
0 = CCP5 割り込みを禁止する

ビット 5 **CCP4IE:** CCP4 割り込みイネーブル ビット
1 = CCP4 割り込みを許可する
0 = CCP4 割り込みを禁止する

ビット 4 **CCP3IE:** CCP3 割り込みイネーブル ビット
1 = CCP3 割り込みを許可する
0 = CCP3 割り込みを禁止する

ビット 3 **TMR6IE:** TMR6/PR6 一致割り込みイネーブル ビット
1 = TMR6/PR6 一致割り込みを許可する
0 = TMR6/PR6 一致割り込みを禁止する

ビット 2 **未実装 :**「0」として読み出し

ビット 1 **TMR4IE:** TMR4/PR4 一致割り込みイネーブル ビット
1 = TMR4/PR4 一致割り込みを許可する
0 = TMR4/PR4 一致割り込みを許可する

ビット 0 **未実装 :**「0」として読み出し

 © 2009 Microchip Technology Inc.

4.5.5 PIR1 レジスタ

PIR1 レジスタには、レジスタ 4-5 に示す割り込みフラグ ビットが格納されています。

注 : 割り込み条件が発生すると、対応するイネーブル ビットまたはグローバル イネーブル ビット(INTCON レジスタの GIE) の状態に関係なく割り込みフラグ ビットがセットされます。割り込みを許可する前に、該当する割り込みフラグ ビットをユーザー ソフトウェアで必ずクリアしてください。

レジスタ 4-5: PIR1: 周辺装置割り込み要求レジスタ 1

R/W-0/0	R/W-0/0	R-0/0	R-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **TMR1GIF:** Timer1 ゲート割り込みフラグ ビット
1 = Timer1 ゲートは非アクティブ
0 = Timer1 ゲートはアクティブ

ビット 6 **ADIF:** A/D コンバータ割り込みフラグ ビット
1 = A/D 変換完了 (ソフトウェアでクリアが必要)
0 = = A/D 変換が完了していない、または開始していない

ビット 5 **RCIF:** USART 受信割り込みフラグ ビット
1 = USART 受信バッファがフル (RCREG の読み出しでクリア)
0 = USART 受信バッファはフルではない

ビット 4 **TXIF:** USART 送信割り込みフラグ ビット
1 = USART 送信バッファが空 (TXREG への書き込みでクリア)
0 = USART 送信バッファがフル

ビット 3 **SSPIF:** 同期シリアル ポート (SSP) 割り込みフラグ ビット
1 = 送信 / 受信が完了 (ソフトウェアでクリアが必要)
0 = 送信 / 受信の完了を待機

ビット 2 **CCP1IF:** CCP1 割り込みフラグ ビット
キャプチャ モード :
1 = TMR1 レジスタのキャプチャが発生した (ソフトウェアでクリアが必要)
0 = TMR1 レジスタのキャプチャは発生していない
コンペア モード :
1 = TMR1 レジスタの比較一致が生じた (ソフトウェアでクリアが必要)
0 = TMR1 レジスタの比較一致は生じていない
PWM モード :
このモードでは使用しない

ビット 1 **TMR2IF:** Timer2/PR2 割り込みフラグ ビット
1 = Timer2/PR2 の一致が生じた (ソフトウェアでクリアが必要)
0 = Timer2/PR2 の一致は生じていない

ビット 0 **TMR1IF:** Timer1 オーバーフロー割り込みフラグ ビット
1 = TMR1 レジスタがオーバーフローした (ソフトウェアでクリアが必要)
0 = TMR1 レジスタはオーバーフローしていない

4.5.6 PIR2 レジスタ

PIR2 レジスタには、レジスタ 4-6 に示す割り込みフラグ ビットが格納されています。

注 : 割り込み条件が発生すると、対応するイネーブル ビットまたはグローバル イネーブル ビット(INTCON レジスタの GIE) の状態に関係なく割り込みフラグ ビットがセットされます。割り込みを許可する前に、該当する割り込みフラグ ビットをユーザー ソフトウェアで必ずクリアしてください。

レジスタ 4-6: PIR2: 周辺装置割り込み要求レジスタ 2

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	U-0	R/W-0/0
OSFIF	C2IF	C1IF	EEIF	BCLIF	LCDIF	—	CCP2IF
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **OSFIF:** オシレータ エラー割り込みフラグ
1 = システム オシレータでエラーが発生し、クロック入力が INTOSC に切り替わった (ソフトウェアでクリアが必要)
0 = オシレータのエラーは検知されていない

ビット 6 **C2IF:** コンパレータ C2 割り込みフラグ
1 = コンパレータ C2 で有効なエッジが検知された (ソフトウエアでクリアが必要)
0 = コンパレータ C2 で有効なエッジは検知されていない

ビット 5 **C1IF:** コンパレータ C1 割り込みフラグ
1 = コンパレータ C1 で有効なエッジが検知された (ソフトウエアでクリアが必要)
0 = コンパレータ C1 で有効なエッジは検知されていない

ビット 4 **EEIF:** EEPROM 書き込み完了割り込みフラグ ビット
1 = EEPROM への書き込み動作が完了した (ソフトウェアでクリアが必要)
0 = 書き込み動作は完了していない、または開始していない

ビット 3 **BCLIF:** MSSP バス衝突割り込みフラグ ビット
1 = バスの衝突が検知された (ソフトウェアでクリアが必要)
0 = バスの衝突は検知されていない

ビット 2 **LCDIF:** LCD モジュール割り込みフラグ ビット
1 = LCD モジュールがフレーム表示を完了した (ソフトウェアでクリアが必要)
0 = LCD モジュールはフレーム表示を完了していない

ビット 1 **未実装 :**「0」として読み出し

ビット 0 **CCP2IF:** CCP2 割り込みフラグ ビット
キャプチャ モード
1 = TMR1 レジスタのキャプチャが発生した (ソフトウェアでクリアが必要)
0 = TMR1 レジスタのキャプチャは発生していない
コンペア モード
1 = TMR1 レジスタの比較一致が生じた (ソフトウェアでクリアが必要)
0 = TMR1 レジスタの比較一致は生じていない
PWM モード
このモードでは使用しない

 © 2009 Microchip Technology Inc.

4.5.7 PIR3 レジスタ

PIR3 レジスタには、レジスタ 4-7 に示す割り込みイネーブル ビットが格納されています。

レジスタ 4-7: PIR3: 周辺装置割り込み要求レジスタ 3

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
—	CCP5IF	CCP4IF	CCP3IF	TMR6IF	—	TMR4IF	—
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **未実装 :**「0」として読み出し

ビット 6 **CCP5IF:** CCP5 割り込みフラグ ビット

キャプチャ モード
1 = TMR1 レジスタのキャプチャが発生した (ソフトウェアでクリアが必要)
0 = TMR1 レジスタのキャプチャは発生していない

コンペア モード
1 = TMR1 レジスタの比較一致が生じた (ソフトウェアでクリアが必要)
0 = TMR1 レジスタの比較一致は生じていない

PWM モード
このモードでは使用しない

ビット 5 **CCP4IF:** CCP4 割り込みフラグ ビット

キャプチャ モード
1 = TMR1 レジスタのキャプチャが発生した (ソフトウェアでクリアが必要)
0 = TMR1 レジスタのキャプチャは発生していない

コンペア モード
1 = TMR1 レジスタの比較一致が生じた (ソフトウェアでクリアが必要)
0 = TMR1 レジスタの比較一致は生じていない

PWM モード
このモードでは使用しない

ビット 4 **CCP3IF:** CCP4 割り込みフラグ ビット

キャプチャ モード
1 = TMR1 レジスタのキャプチャが発生した (ソフトウェアでクリアが必要)
0 = TMR1 レジスタのキャプチャは発生していない

コンペア モード
1 = TMR1 レジスタの比較一致が生じた (ソフトウェアでクリアが必要)
0 = TMR1 レジスタの比較一致は生じていない

PWM モード
このモードでは使用しない

ビット 3 **TMR6IF:** TMR6/PR6 一致割り込みフラグ ビット

1 = TMR6/PR6 のポストスケールの一致が生じた (ソフトウェアでクリアが必要)
0 = TMR6 /PR6 の一致は生じていない

ビット 2 **未実装 :**「0」として読み出し

ビット 1 **TMR4IF:** TMR4/PR4 一致割り込みフラグ ビット

1 = TMR4/PR4 のポストスケールの一致が生じた (ソフトウェアでクリアが必要)
0 = TMR4/PR4 の一致は生じていない

ビット 0 **未実装 :**「0」として読み出し

表 4-1:　割り込み関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
OPTION_REG	$\overline{\text{WPUEN}}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	51
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIE2	OSFIE	C2IE	C1IE	EEIE	BCLIE	LCDIE	—	CCP2IE	75
PIE3	—	CCP5IE	CCP4IE	CCP3IE	TMR6IE	—	TMR4IE	—	76
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
PIR2	OSFIF	C2IF	C1IF	EEIF	BCLIF	LCDIF	—	CCP2IF	78
PIR3	—	CCP5IF	CCP4IF	CCP3IF	TMR6IF	—	TMR4IF	—	79

記号の説明： x = 不明。u = 不変。－ = 未実装、「0」として読み出し。網掛けのビットは、割り込みで使用しません。

© 2009 Microchip Technology Inc.

5.0 低ドロップアウト (LDO) 電圧レギュレータ

PIC16F193X デバイスは、PIC16LF193X デバイスとは異なり、低ドロップアウト (LDO) 電圧レギュレータが内蔵されています。つまり PIC16F193X には内蔵されていますが、PIC16LF193X には内蔵されていません。

ダイのリトグラフィーによって、内部デジタル ロジックの最大動作電圧が 3.6V まで許容されます。引き続き 5.0V デザインをサポートするため、LDO 電圧レギュレータがダイに内蔵されています。LDO 電圧レギュレータは内部デジタル ロジックの最大動作電圧を 3.2V まで許容し、5.0V (V_{DD}) の I/O 動作電圧をサポートします。

安定性を保つため、LDO 電圧レギュレータには外部バイパス キャパシタが必要です。3 つあるピンの 1 つである V_{CAP} は、外部バイパス キャパシタ用に設定できます。キャパシタは、0.1 µF ～ 1.0 µF のセラミック キャパシタの使用を推奨します。

電源投入時、LDO 電圧レギュレータ回路上で外部キャパシタに大量の電荷がチャージされます。エラー動作を回避するため、外部キャパシタへ一定の電流ソースがチャージされている間はデバイスがリセット状態に保たれます。キャパシタのチャージ完了後、デバイスはリセット状態から開放されます。詳細は、**28.0 項「電気的仕様」**を参照してください。

V_{CAP} イネーブル ビットの詳細は、コンフィギュレーション ワード 2 レジスタ (レジスタ 10-2) を参照してください。

ノート：

 © 2009 Microchip Technology Inc.

6.0 I/O ポート

指定するデバイスや周辺機能の有効化設定によって、最大 5 個のポートを使用できます。通常、ある周辺機能を有効化すると、そのピンは汎用 I/O ピンとして使用されなくなります。

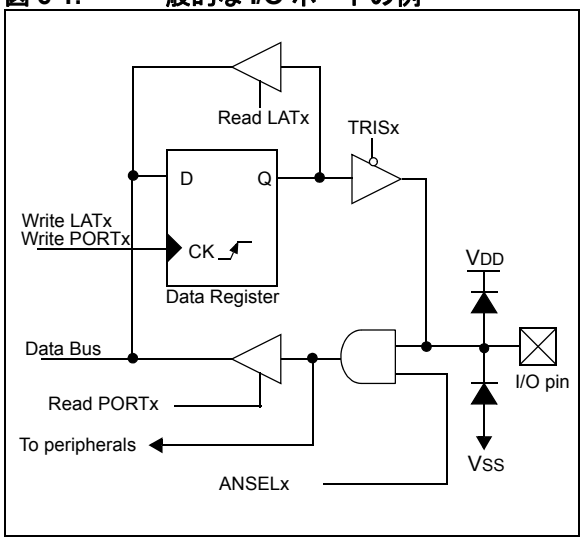
各ポートには、指定動作用の 3 つのレジスタがあります。これらのレジスタは次のとおりです。

- TRISx レジスタ (データ方向レジスタ)
- PORTx レジスタ (デバイス ピン上のレベルを読み取る)
- LATx レジスタ (出力ラッチ)

データ ラッチ (LATx レジスタ) は、I/O ピンが駆動している値の Read-Modify-Write 動作に有効です。

また、アナログ機能のポートには ANSELx レジスタがあるため、デジタル入力を無効にして電力を節約できます。そのほかの周辺機能へインターフェイスしない一般的な I/O ポートの例を 図 6-1 に示します。

図 6-1: 一般的な I/O ポートの例



6.1 代替ピン機能

APFCON (Alternate Pin Function Control) レジスタを使用して、特定周辺装置の入力機能および出力機能を異なるピンへ移動します。レジスタ 6-1 に、APFCON レジスタを示します。このデバイス ファミリの場合、次の機能を移動できます。

- $\overline{SS}$ (スレーブ選択)
- CCP2
- CCP3
- Timer1 ゲート
- SR ラッチ SRNQ 出力
- コンパレータ C2 出力

これらのビットは、TRIS レジスタの値に影響を与えません。PORT および TRIS への書き込み (オーバーライド) は、正しいピンへと適用されます。選択されないピンは影響受けません。

レジスタ 6-1: APFCON: 代替ピンの機能制御レジスタ

U-0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
—	CCP3SEL	T1GSEL	P2BSEL	SRNQSEL	C2OUTSEL	SSSEL	CCP2SEL
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **未実装 :**「0」として読み出し

ビット 6 **CCP3SEL:** CCP3 入力 / 出力ピン選択ビット
28 ピン デバイス (PIC16F1933/1936/1938) の場合 :
0 = CCP3/P3A 機能は RC6/TX/CK/CCP3/P3A/SEG9 にある
1 = CCP3/P3A 機能は RB5/AN13/CPS5/CCP3/P3A/T1G/COM1 にある
40 ピン デバイス (PIC16F1934/1937/1939) の場合 :
0 = CCP3/P3A 機能は RE0/AN5/CCP3/P3A/SEG21 にある
1 = CCP3/P3A 機能は RB5/AN13/CPS5/CCP3/P3A/T1G/COM1 にある

ビット 5 **T1GSEL:** Timer1 ゲート入力ピン選択ビット
0 = T1G 機能は RB5/AN13/CPS5/CCP3/P3A/T1G/COM1 にある
1 = T1G 機能は RC4/SDI/SDA/T1G/SEG11 にある

ビット 4 **P2BSEL:** CCP2 PWM B 出力ピン選択ビット
28 ピン デバイス (PIC16F1933/1936/1938) の場合 :
0 = P2B 機能は RC0/T1OSO/T1CKI/P2B にある
1 = P2B 機能は RB5/AN13/P2B/CPS5/T1G/COM1 にある
40 ピン デバイス (PIC16F1934/1937/1939) の場合 :
0 = P2B 機能は RC0/T1OSO/T1CKI/P2B にある
1 = P2B 機能は RD2/CPS10/P2B にある

ビット 3 **SRNQSEL:** SR ラッチ nQ 出力ピン選択ビット
0 = SRnQ 機能は RA5/AN4/C2OUT/SRnQ/$\overline{SS}$/CPS7/SEG5/VCAP にある
1 = SRnQ 機能は RA0/AN0/C12IN0-/C2OUT/SRnQ/$\overline{SS}$/SEG12/VCAP にある

ビット 2 **C2OUTSEL:** コンパレータ C2 出力ピン選択ビット
0 = C2OUT 機能は RA5/AN4/C2OUT/SRnQ/$\overline{SS}$/CPS7/SEG5/VCAP にある
1 = C2OUT 機能は RA0/AN0/C12IN0-/C2OUT/SRnQ/$\overline{SS}$/SEG12/VCAP にある

ビット 1 **SSSEL:** $\overline{SS}$ 入力ピン選択ビット
0 = $\overline{SS}$ 機能は RA5/AN4/C2OUT/SRNQ/$\overline{SS}$/CPS7/SEG5/VCAP にある
1 = $\overline{SS}$ 機能は RA0/AN0/C12IN0-/C2OUT/SRNQ/$\overline{SS}$/SEG12/VCAP にある

ビット 0 **CCP2SEL:** CCP2 入力 / 出力ピン選択ビット
0 = CCP2/P2A 機能は RC1/T1OSI/CCP2/P2A にある
1 = CCP2/P2A 機能は RB3/AN9/C12IN2-/CPS3/CCP2/P2A/VLCD3 にある

 © 2009 Microchip Technology Inc.

6.2 PORTA レジスタ

PORTA は 8 ビット幅の双方向ポートです。これに対応するデータ方向レジスタが、TRISA (レジスタ 6-4) です。TRISA ビットをセットする (= 1) と、対応する PORTA ピンが入力になります (すなわち、出力ドライバが無効になります)。TRISA ビットをクリアする (= 0) と、対応する PORTA ピンが出力になります (すなわち、出力ドライバが有効になり、出力ラッチの内容が選択したピンに出力されます)。例 6-1 に、PORTA の初期化方法を示します。

PORTA レジスタ (レジスタ 6-2) を読み出すとピンの状態が読み出され、PORTA レジスタに書き込むと PORT ラッチに書き込まれます。書き込み動作はすべて Read-Modify-Write となります。したがって、ポートへの書き込み時にはまずポート ピンが読み出され、この値を変更してから PORT データ ラッチ (LATA) に書き込まれます。

ピンをアナログ入力として使用する場合も、TRISA レジスタ (レジスタ 6-4) が PORTA ピンの出力ドライバを制御します。これらのピンをアナログ入力として使用する際は、必ず TRISA レジスタのビットをセットしたままにしてください。アナログ入力として設定された I/O ピンは常に「0」として読み出されます。

注 : アナログ チャネルをデジタル入力として設定するには、ANSELA レジスタを初期化する必要があります。アナログ入力として設定されたピンは「0」として読み出されます。

例 6-1: PORTA の初期化

```
BANKSEL PORTA       ;
CLRF    PORTA       ;Init PORTA
BANKSEL LATA        ;Data Latch
CLRF    LATA        ;
BANKSEL ANSELA      ;
CLRF    ANSELA      ;digital I/O
BANKSEL TRISA       ;
MOVLW   0Ch         ;Set RA<3:2> as inputs
MOVWF   TRISA       ;and set RA<7:4,1:0>
                    ;as outputs
```

レジスタ 6-2: PORTA: PORTA レジスタ

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **RA<7:0>**: PORTA I/O 値のビット **(1)**

注 1: PORTA への書き込みは、実際には対応する LATA レジスタへの書き込み動作になります。PORTA レジスタからの読み出しは、実際には I/O ピン値の読み出し動作になります。

レジスタ 6-3: LATA: PORTA データ ラッチ レジスタ

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
LATA7	LATA6	LATA5	LATA4	LATA3	LATA2	LATA1	LATA0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **LATA<7:0>**: PORTA 出力ラッチ値のビット **(1)**

注 1: PORTA への書き込みは、実際には対応する LATA レジスタへの書き込み動作になります。PORTA レジスタからの読み出しは、実際には I/O ピン値の読み出し動作になります。

6.2.1 ANSELA レジスタ

ANSELA レジスタ (レジスタ 6-5) は、I/O ピンの入力モードをアナログに設定する際に使用します。ANSELA ビットを High にセットしたピンに対してデジタルの読み出しを実行すると、すべて「0」として読み出され、ピンのアナログ機能が正しく動作します。

ANSELA ビットのステートは、デジタル出力機能には影響を与えません。TRIS をクリアして ANSEL をセットしたピンはデジタル出力として動作しますが、入力モードはアナログとなります。このように設定されたポートに対して Read-Modify-Write 命令を実行すると予期しない動作となることがあります。

レジスタ 6-4: TRISA: PORTA トライステート レジスタ

R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1
TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **TRISA<7:0>:** PORTA トライステート制御ビット
1 = PORTA ピンが入力として設定されている (トライステート)
0 = PORTA ピンが出力として設定されている

レジスタ 6-5: ANSELA: PORTA アナログ選択レジスタ

U-0	U-0	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1
—	—	ANSA5	ANSA4	ANSA3	ANSA2	ANSA1	ANSA0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-6 **未実装 :**「0」として読み出し

ビット 5-0 **ANSA<5:0>**: RA<5:0> の各ピンの機能をアナログまたはデジタルのいずれかに選択します。
0 = デジタル I/O。ピンはポートまたはデジタル特殊機能に割り当てられる
1 = アナログ入力。ピンはアナログ入力として割り当てられる (1) デジタル入力バッファは無効

注 1: アナログ ピンとして設定する場合、ピンの電圧を外部から制御するには、対応する TRIS ビットをセットする必要があります。

 © 2009 Microchip Technology Inc.

6.2.2 PORTA の機能および出力の優先順位

PORTA の各ピンは、ほかの機能と多重化されています。ここでは、各ピンに割り当てられた複数の機能およびそれらの出力の優先順について簡単に説明します。各機能の詳細は、本データ シートの該当するセクションを参照してください。

複数出力が有効の場合は、制御ピンは次のリストの番号が低いペリフェラル (周辺装置) から優先的に実行します。

RA0

1. VCAP (コンフィギュレーション ワードで有効にされる)
2. SEG12 (LCD)
3. SRNQ (SR ラッチ)
4. C2OUT (コンパレータ)
5. RA0

RA1

1. SEG7 (LCD)
2. RA1

RA2

1. COM2 (LCD)
2. DACOUT (DAC)
3. RA2

RA3

1. COM3 (LCD)、28 ピンの場合のみ
2. SEG15 (LCD)
3. RA3

RA4

1. SEG4 (LCD)
2. SRQ (SR ラッチ)
3. C1OUT (コンパレータ)
4. CCP5 (CCP)、28 ピンの場合のみ
5. RA4

RA5

1. VCAP (コンフィギュレーション ワードで有効化)
2. SEG5 (LCD)
3. SRNQ (SR ラッチ)
4. C2OUT (コンパレータ)
5. RA5

RA6

1. VCAP (コンフィギュレーション ワードで有効化)
2. OSC2 (コンフィギュレーション ワードで有効化)
3. CLKOUT (コンフィギュレーション ワードで有効化)
4. SEG1 (LCD)
5. RA6

RA7

1. OSC1/CLKIN (コンフィギュレーション ワードで有効化)
2. SEG2 (LCD)
3. RA7

表 6-1: PORTA 関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
ADCON0	—	CHS4	CHS3	CHS2	CHS1	CHS0	GO/$\overline{\text{DONE}}$	ADON	137
ADCON1	ADFM	ADCS2	ADCS1	ADCS0	—	ADREF	ADREF1	ADREF0	138
ANSELA	—	—	ANSA5	ANSA4	ANSA3	ANSA2	ANSA1	ANSA0	86
APFCON	—	CCP3SEL	T1GSEL	P2BSEL	SRNQSEL	C2OUTSEL	SSSEL	CCP2SEL	84
CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1SP	C1HYS	C1SYNC	148
CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2SP	C2HYS	C2SYNC	148
CPSCON0	CPSON	—	—	—	CPSRNG1	CPSRNG0	CPSOUT	T0XCS	180
CPSCON1	—	—	—	—	CPSCH3	CPSCH2	CPSCH1	CPSCH0	181
CONFIG2(1)	—	—	VCAPEN1	VCAPEN0	—	—	—	—	128
DACCON0	DACEN	DACLPS	DACOE	---	DACPSS1	DACPSS0	---	DACNSS	153
LATA	LATA7	LATA6	LATA5	LATA4	LATA3	LATA2	LATA1	LATA0	85
LCDCON	LCDEN	SLPEN	WERR	—	CS1	CS0	LMUX1	LMUX0	243
LCDSE0	SE7	SE6	SE5	SE4	SE3	SE2	SE1	SE0	247
LCDSE1	SE15	SE14	SE13	SE12	SE11	SE10	SE9	SE8	247
OPTION_REG	$\overline{\text{WPUEN}}$	INTEDG	TMR0CS	TMR0SE	PSA	PS2	PS1	PS0	51
PORTA	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	85
SRCON0	SRLEN	SRCLK2	SRCLK1	SRCLK0	SRQEN	SRNQEN	SRPS	SRPR	122
SSPCON1	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	277
TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	86

記号の説明： x = 不明、u = 不変、－ = 未実装、「0」として読み出し。網掛けのビットは PORTA では使用しません。
注 1: PIC16F193X のみです。

© 2009 Microchip Technology Inc.

6.3 PORTB および TRISB レジスタ

PORTB は 8 ビット幅の双方向ポートです。これに対応するデータ方向レジスタが、TRISB (レジスタ 6-9) です。TRISB ビットをセットする (= 1) と、対応する PORTB ピンが入力になります (すなわち、対応する出力ドライバがハイインピーダンス モードになります)。TRISB ビットをクリアする (= 0) と、対応する PORTB ピンが出力になります (すなわち、出力ドライバが有効になり、出力ラッチの内容が選択したピンに出力されます)。例 6-2 に、PORTB の初期化方法を示します。

PORTB レジスタ (レジスタ 6-6) を読み出すとピンのステータスが読み出され、書き込むと PORT ラッチに書き込まれます。書き込み動作はすべて Read-Modify-Write となります。したがって、ポートへの書き込み時にはまずポート ピンが読み出され、この値を変更してから PORT データ ラッチに書き込まれます。

ピンをアナログ入力として使用する場合も、TRISB レジスタ (レジスタ 6-9) が PORTB ピンの出力ドライバを制御します。これらピンをアナログ入力として使用する際は、必ず TRISB レジスタのビットをセットしたままにしてください。アナログ入力として設定された I/O ピンは常に「0」として読み出されます。例 6-2 に、PORTB の初期化方法を示します。

例 6-2: PORTB の初期化

```
BANKSEL  PORTB      ;
CLRF     PORTB      ;Init PORTB
BANKSEL  ANSELB
CLRF     ANSELB     ;Make RB<7:0> digital
BANKSEL  TRISB      ;
MOVLW    B'11110000';Set RB<7:4> as inputs
                    ;and RB<3:0> as outputs
MOVWF    TRISB      ;
```

注 : アナログ チャネルをデジタル入力として設定するには、ANSELB レジスタを初期化する必要があります。アナログ入力として設定されたピンは「0」として読み出されます。

6.3.1 弱プルアップ

各 PORTB ピンには、個別に設定可能な内部弱プルアップがあります。各プルアップの有効 / 無効は、制御ビット WPUB<7:0> で設定します (レジスタ 6-8 参照)。出力として設定したポート ピンの弱プルアップは自動的にオフになります。すべてのプルアップは、パワーオン リセット時に OPTION レジスタの $\overline{\text{WPUEN}}$ ビットによって無効にされます。

6.3.2 状態変化割り込み

すべての PORTB ピンは、状態変化割り込みピンとして個別に設定できます。各ピンの割り込み機能の有効 / 無効は、制御ビット IOCB<7:0> で設定します。状態変化割り込みは、パワーオン リセット時に無効となります。詳細は、**7.0 項「状態変化割り込み」**を参照してください。

レジスタ 6-6: PORTB: PORTB レジスタ

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **RB<7:0>**: PORTB I/O ピン ビット
1 = PORT ピン > VIH
0 = PORT ピン < VIL

レジスタ 6-7: LATB: PORTB データ ラッチ レジスタ

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
LATB7	LATB6	LATB5	LATB4	LATB3	LATB2	LATB1	LATB0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **LATB<7:0>**: PORTB 出力ラッチ値のビット **(1)**

注 1: PORTB への書き込みは、実際には対応する LATB レジスタへの書き込み動作になります。PORTB レジスタからの読み出しは、実際には I/O ピン値の読み出し動作になります。

レジスタ 6-8: WPUB: 弱プルアップ PORTB レジスタ

R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1
WPUB7	WPUB6	WPUB5	WPUB4	WPUB3	WPUB2	WPUB1	WPUB0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **WPUB<7:0>**: 弱プルアップ レジスタ ビット
1 = プルアップ有効
0 = プルアップ無効

注 1: 個別にプルアップを有効にする場合は、OPTION レジスタのグローバル $\overline{\text{WPUEN}}$ ビットをクリアする必要があります。
2: ピンが出力として設定されている場合、弱プルアップ デバイスは自動的に無効になります。

© 2009 Microchip Technology Inc.

6.3.3 ANSELB レジスタ

ANSELB レジスタ (レジスタ 6-10) は、I/O ピンの入力モードをアナログに設定する際に使用します。ANSELB ビットを High にセットしたピンに対してデジタル読み出しを実行すると、すべて「0」として読み出され、ピンのアナログ機能が正しく動作します。

ANSELB ビットのステートは、デジタル出力機能には影響を与えません。TRIS をクリアして ANSELB をセットしたピンはデジタル出力として動作しますが、入力モードはアナログとなります。このように設定されたポートに対して Read-Modify-Write 命令を実行すると予期しない動作となることがあります。

レジスタ 6-9: TRISB: PORTB トライステート レジスタ

R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1
TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **TRISB<7:0>:** PORTB トライステート制御ビット
1 = PORTB ピンが入力として設定されている (トライステート)
0 = PORTB ピンが出力として設定されている

レジスタ 6-10: ANSELB: PORTB アナログ選択レジスタ

U-0	U-0	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1
—	—	ANSB5	ANSB4	ANSB3	ANSB2	ANSB1	ANSB0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-6 **未実装 :** 「0」として読み出し

ビット 5-0 **ANSB<5:0>**: RB<5:0> の各ピンの機能をアナログまたはデジタルのいずれかに選択します。
0 = デジタル I/O。ピンはポートまたはデジタル特殊機能に割り当てられる
1 = アナログ入力。ピンはアナログ入力として割り当てられる **(1)** デジタル入力バッファは無効

注 1: アナログ入力として設定する場合、ピンの電圧を外部から制御するには、対応する TRIS ビットをセットする必要があります。

6.3.4 PORTB の機能および出力の優先順位

PORTB の各ピンは、他の機能と多重化されています。ここでは、各ピンに割り当てられた複数の機能およびそれらの出力の優先順について簡単に説明します。各機能の詳細は、本データ シートの該当するセクションを参照してください。

複数出力が有効の場合は、制御ピンは次のリストの番号が低いペリフェラル (周辺装置) から優先的に実行します。

RB0

1. SEG0 (LCD)
2. CCP4、28 ピンの場合のみ
3. RB0

RB1

1. P1C (ECCP1)、28 ピンの場合のみ
2. RB1

RB2

1. P1B (ECCP1)、28 ピンの場合のみ
2. RB2

RB3

1. CCP2/P2A
2. RB3

RB4

1. COM0
2. P1D、28 ピンの場合のみ
3. RB4

RB5

1. COM1
2. P2B、28 ピンの場合のみ
3. P3A
4. RB5

RB6

1. ICSPCLK (プログラミング)
2. ICDCLK (コンフィギュレーション ワードで有効化)
3. SEG14 (LCD)
4. RB6

RB7

1. ICSPDAT (プログラミング)
2. ICDDAT (コンフィギュレーション ワードで有効化)
3. SEG13 (LCD)
4. RB7

表 6-2: PORTB 関連レジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
ADCON0	—	CHS4	CHS3	CHS2	CHS1	CHS0	GO/$\overline{\text{DONE}}$	ADON	137
ANSELB	—	—	ANSB5	ANSB4	ANSB3	ANSB2	ANSB1	ANSB0	91
APFCON	—	CCP3SEL	T1GSEL	P2BSEL	SRNQSEL	C2OUTSEL	SSSEL	CCP2SEL	84
CCPxCON	PxM1	PxM0	DCxB1	DCxB0	CCPxM3	CCPxM2	CCPxM1	CCPxM0	184
CPSCON0	CPSON	—	—	—	CPSRNG1	CPSRNG0	CPSOUT	T0XCS	180
CPSCON1	—	—	—	—	CPSCH3	CPSCH2	CPSCH1	CPSCH0	181
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
IOCBP	IOCBP7	IOCBP6	IOCBP5	IOCBP4	IOCBP3	IOCBP2	IOCBP1	IOCBP0	104
IOCBN	IOCBN7	IOCBN6	IOCBN5	IOCBN4	IOCBN3	IOCBN2	IOCBN1	IOCBN0	104
IOCBF	IOCBF7	IOCBF6	IOCBF5	IOCBF4	IOCBF3	IOCBF2	IOCBF1	IOCBF0	104
LATB	LATB7	LATB6	LATB5	LATB4	LATB3	LATB2	LATB1	LATB0	90
LCDCON	LCDEN	SLPEN	WERR	—	CS1	CS0	LMUX1	LMUX0	243
LCDSE0	SE7	SE6	SE5	SE4	SE3	SE2	SE1	SE0	247
LCDSE1	SE15	SE14	SE13	SE12	SE11	SE10	SE9	SE8	247
OPTION_REG	$\overline{\text{WPUEN}}$	INTEDG	TMR0CS	TMR0SE	PSA	PS2	PS1	PS0	51
PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	90
T1GCON	TMR1GE	T1GPOL	T1GTM	T1GSPM	T1GGO/$\overline{\text{DONE}}$	T1GVAL	T1GSS1	T1GSS0	170
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	91
WPUB	WPUB7	WPUB6	WPUB5	WPUB4	WPUB3	WPUB2	WPUB1	WPUB0	90

記号の説明： x = 不明。u = 不変。— = 未実装、「0」として読み出し。網掛けのビットは PORTB では使用しません。

© 2009 Microchip Technology Inc.

6.4 PORTC および TRISC レジスタ

PORTC は 8 ビット幅の双方向ポートです。これに対応するデータ方向レジスタが、TRISC (レジスタ 6-13) です。TRISC ビットをセットする (= 1) と、対応する PORTC ピンが入力になります (すなわち、対応する出力ドライバがハイインピーダンス モードになります)。TRISC ビットをクリアする (= 0) と、対応する PORTC ピンが出力になります (すなわち、出力ドライバが有効になり、出力ラッチの内容が選択したピンに出力されます)。例 6-3 に、PORTC の初期化方法を示します。

PORTC レジスタ (レジスタ 6-11) を読み出すとピンの状態が読み出され、書き込むと PORT ラッチに書き込まれます。書き込み動作はすべて Read-Modify-Write となります。したがって、ポートへの書き込み時にはまずポート ピンが読み出され、この値を変更してから PORT データ ラッチに書き込まれます。

ピンをアナログ入力として使用する場合も、TRISC レジスタ (レジスタ 6-13) が PORTC ピンの出力ドライバを制御します。これらのピンをアナログ入力として使用する際は、必ず TRISC レジスタのビットをセットしたままにしてください。アナログ入力として設定された I/O ピンは常に「0」として読み出されます。

例 6-3: PORTC の初期化

```
BANKSEL PORTC         ;
CLRF    PORTC         ;Init PORTC
BANKSEL TRISC         ;
MOVLW   B'00001100'   ;Set RC<3:2> as inputs
MOVWF   TRISC         ;and set RC<7:4,1:0>
                      ;as outputs
```

CCP2 機能の位置は、APFCON レジスタの CCP2SEL ビットで制御されます (レジスタ 6-1 参照)。

レジスタ 6-11: PORTC: PORTC レジスタ

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **RC<7:0>**: PORTC 汎用 I/O ピン ビット
1 = PORT ピン > V_{IH}
0 = PORT ピン < V_{IL}

レジスタ 6-12: LATC: PORTC データ ラッチ レジスタ

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
LATC7	LATC6	LATC5	LATC4	LATC3	LATC2	LATC1	LATC0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **LATC<7:0>**: PORTC 出力ラッチ値のビット **(1)**

注 1: PORTC への書き込みは、実際には対応する LATC レジスタへの書き込み動作になります。PORTC レジスタからの読み出しは、実際には I/O ピン値の読み出し動作になります。

レジスタ 6-13: TRISC: PORTC トライステート レジスタ

R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1
TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **TRISC<7:0>:** PORTC トライステート制御ビット
1 = PORTC ピンが入力として設定されている (トライステート)
0 = PORTC ピンが出力として設定されている

 © 2009 Microchip Technology Inc.

6.4.1 PORTC の機能および出力の優先順位

PORTC の各ピンは、他の機能と多重化されています。ここでは、各ピンに割り当てられた複数の機能およびそれらの出力の優先順について簡単に説明します。各機能の詳細は、本データ シートの該当するセクションを参照してください。

複数出力が有効の場合は、制御ピンは次のリストの番号が低いペリフェラル (周辺装置) から優先的に実行します。

RC0

1. T1OSO (Timer1 オシレータ)
2. P2B (CCP)
3. RC0

RC1

1. T1OSI (Timer1 オシレータ)
2. P2A (CCP)
3. RC1

RC1

1. SEG3 (LCD)
2. P1A (CCP)
3. RC2

RC3

1. SEG6 (LCD)
2. SCL (MSSP)
3. SCK (MSSP)
4. RC3

RC4

1. SEG11 (LCD)
2. SDA (MSSP)
3. RC4

RC5

1. SEG10 (LCD)
2. SDL (MSSP)
3. RC5

RC6

1. SEG9 (LCD)
2. TX (EUSART)
3. CK (EUSART)
4. P3A (CCP)、28 ピンの場合のみ
5. RC6

RC7

1. SEG8 (LCD)
2. DT (EUSART)
3. P3B (CCP)、28 ピンの場合のみ
4. RC7

表 6-3: PORTC 関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
APFCON	—	CCP3SEL	T1GSEL	P2BSEL	SRNQSEL	C2OUTSEL	SSSEL	CCP2SEL	84
CCPxCON	PxM1	PxM0	DCxB1	DCxB0	CCPxM3	CCPxM2	CCPxM1	CCPxM0	184
LATC	LATC7	LATC6	LATC5	LATC4	LATC3	LATC2	LATC1	LATC0	93
LCDCON	LCDEN	SLPEN	WERR	—	CS1	CS0	LMUX1	LMUX0	243
LCDSE0	SE7	SE6	SE5	SE4	SE3	SE2	SE1	SE0	247
LCDSE1	SE15	SE14	SE13	SE12	SE11	SE10	SE9	SE8	247
PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	93
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	223
SSPCON1	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	277
SSPSTAT	SMP	CKE	D/$\overline{A}$	P	S	R/$\overline{W}$	UA	BF	276
T1CON	TMR1CS1	TMR1CS0	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	—	TMR1ON	169
TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	222
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94

記号の説明： x = 不明。u = 不変。－ = 未実装、「0」として読み出し。網掛けのビットは PORTC では使用しません。

6.5 PORTD および TRISD レジスタ

PORTD(1) は 8 ビット幅の双方向ポートです。これに対応するデータ方向レジスタが、TRISD (レジスタ 6-16) です。TRISD ビットをセットする (= 1) と、対応する PORTD ピンが入力になります (すなわち、対応する出力ドライバがハイインピーダンス モードになります)。TRISD ビットをクリアする (= 0) と、対応する PORTD ピンが出力になります (すなわち、出力ドライバが有効になり、出力ラッチの内容が選択したピンに出力されます)。例 6-4 に、PORTD の初期化方法を示します。

PORTD レジスタ (レジスタ 6-14) を読み出すとピンの状態が読み出され、書き込むと PORT ラッチに書き込まれます。書き込み動作はすべて Read-Modify-Write となります。したがって、ポートへの書き込み時にはまずポート ピンが読み出され、この値を変更してから PORT データ ラッチに書き込まれます。

注 1: PORTD は、PIC16F1936 および PIC16F1938 デバイスでのみ使用可能です。

ピンをアナログ入力として使用する場合も、TRISD レジスタ (レジスタ 6-16) が PORTD ピンの出力ドライバを制御します。これらのピンをアナログ入力として使用する際は、必ず TRISD レジスタのビットをセットしたままにしてください。アナログ入力として設定された I/O ピンは常に「0」として読み出されます。

例 6-4: PORTD の初期化

```
BANKSEL PORTD        ;
CLRF    PORTD        ;Init PORTD
BANKSEL ANSELD
CLRF    ANSELD       ;Make PORTD digital
BANKSEL TRISD        ;
MOVLW   B'00001100'  ;Set RD<3:2> as inputs
MOVWF   TRISD        ;and set RD<7:4,1:0>
                     ;as outputs
```

レジスタ 6-14: PORTD: PORTD レジスタ (1)

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **RD<7:0>**: PORTD 汎用 I/O ピン ビット
1 = PORT ピン > VIH
0 = PORT ピン < VIL

注 1: PORTD は、PIC16F1933/1936/1938 デバイスにインプリメントされていないため、「0」として読み出されます。

レジスタ 6-15: LATD: PORTD データ ラッチ レジスタ

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
LATD7	LATD6	LATD5	LATD4	LATD3	LATD2	LATD1	LATD0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **LATD<7:0>**: PORTD 出力ラッチ値のビット (1、2)

注 1: PORTD への書き込みは、実際には対応する LATD レジスタへの書き込み動作になります。PORTD レジスタからの読み出しは、実際には I/O ピン値の読み出し動作になります。
2: PORTD は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 でのみ使用可能です。

© 2009 Microchip Technology Inc.

6.5.1 ANSELD レジスタ

ANSELD レジスタ (レジスタ 6-17) は、I/O ピンの入力モードをアナログに設定する際に使用します。ANSELD ビットを High にセットしたピンに対してデジタル読み出しを実行すると、すべて「0」として読み出され、ピンのアナログ機能が正しく動作します。

ANSELD ビットのステートは、デジタル出力機能には影響を与えません。TRIS をクリアして ANSEL をセットしたピンはデジタル出力として動作しますが、入力モードはアナログとなります。このように設定されたポートに対して Read-Modify-Write 命令を実行すると予期しない動作となることがあります。

注 : アナログ チャネルをデジタル入力として設定するには、ANSELD レジスタを初期化する必要があります。アナログ入力として設定されたピンは「0」として読み出されます。

レジスタ 6-16: TRISD: PORTD トライステート レジスタ (1)

R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1
TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **TRISD<7:0>:** PORTD トライステート制御ビット
1 = PORTD ピンが入力として設定されている (トライステート)
0 = PORTD ピンが出力として設定されている

注 1: PORTD は、PIC16F1933/1936/1938 デバイスにインプリメントされていないため、「0」として読み出されます。
2: PORTD は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 でのみ使用可能です。

レジスタ 6-17: ANSELD: PORTD アナログ選択レジスタ (2)

R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1
ANSD7	ANSD6	ANSD5	ANSD4	ANSD3	ANSD2	ANSD1	ANSD0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **ANSD<7:0>**: RD<7:0> の各ピンの機能をアナログまたはデジタルのいずれかに選択します。
0 = デジタル I/O。ピンはポートまたはデジタル特殊機能に割り当てられる
1 = アナログ入力。ピンはアナログ入力として割り当てられる (1) デジタル入力バッファは無効

注 1: アナログ入力として設定する場合、ピンの電圧を外部から制御するには、対応する TRIS ビットをセットする必要があります。
2: ANSELD は、PIC16F1933/1936/1938 デバイスにインプリメントされていないため、「0」として読み出されます。
3: PORTD は、PIC16F1934/1937/1939/PIC16LF1934/1937/1939 でのみ使用可能です。

6.5.2 PORTD の機能および出力の優先順位

PORTD の各ピンは、他の機能と多重化されています。ここでは、各ピンに割り当てられた複数の機能およびそれらの出力の優先順について簡単に説明します。各機能の詳細は、本データ シートの該当するセクションを参照してください。

複数出力が有効の場合は、制御ピンは次のリストの番号が低いペリフェラル (周辺装置) から優先的に実行します。

RD0

1. COM3 (LCD)
2. RD0

RD1

1. CCP4 (CCP)
2. RD1

RD2

1. P2B (CCP)
2. RD2

RD3

1. SEG16 (LCD)
2. P2C (CCP)
3. RD3

RD4

1. SEG17 (LCD)
2. P2D (CCP)
3. RD4

RD5

1. SEG18 (LCD)
2. P1B (CCP)
3. RD5

RD6

1. SEG19 (LCD)
2. P1C (CCP)
3. RD6

RD7

1. SEG20 (LCD)
2. P1D (CCP)
3. RD7

表 6-4: PORTD(1) 関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
ANSELD	ANSD7	ANSD6	ANSD5	ANSD4	ANSD3	ANSD2	ANSD1	ANSD0	97
CCPxCON	PxM1	PxM0	DCxB1	DCxB0	CCPxM3	CCPxM2	CCPxM1	CCPxM0	184
CPSCON0	CPSON	—	—	—	CPSRNG1	CPSRNG0	CPSOUT	T0XCS	180
CPSCON1	—	—	—	—	CPSCH3	CPSCH2	CPSCH1	CPSCH0	181
LATD	LATD7	LATD6	LATD5	LATD4	LATD3	LATD2	LATD1	LATD0	96
LCDCON	LCDEN	SLPEN	WERR	—	CS1	CS0	LMUX1	LMUX0	243
LCDSE2	SE23	SE22	SE21	SE20	SE19	SE18	SE17	SE16	247
PORTD	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	96
TRISD	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	97

記号の説明 : x = 不明。u = 不変。－ = 未実装、「0」として読み出し。網掛けのビットは PORTD では使用しません。
注 1: これらのレジスタは、PIC16F1933/1936/1938 デバイスにインプリメントされていないため、「0」として読み出されます。

© 2009 Microchip Technology Inc.

6.6 PORTE および TRISE レジスタ

PORTE(1) は 4 ビット幅の双方向ポートです。これに対応するデータ方向レジスタが、TRISE です。TRISE ビットをセットする (= 1) と、対応する PORTE ピンが入力になります (すなわち、対応する出力ドライバがハイインピーダンス モードになります)。TRISE ビットをクリアする (= 0) と、対応する PORTE ピンが出力になります (すなわち、出力ドライバが有効になり、出力ラッチの内容が選択したピンに出力されます)。例外として、RE3 は入力専用であり、その TRIS ビットは常に「1」として読み出されます。例 6-5 に、PORTE の初期化方法を示します。

PORTE レジスタ (レジスタ 6-18) を読み出すとピンのステータスが読み出され、書き込むと PORT ラッチに書き込まれます。書き込み動作はすべて Read-Modify-Write となります。したがって、ポートへの書き込み時にはまずポート ピンが読み出され、この値を変更してから PORT データ ラッチに書き込まれます。MCLRE = 1 の場合、RE3 は「0」として読み出されます。

注 1: RE<2:0> および TRISE<2:0> ピンは、PIC16F1936 および PIC16F1938 デバイスでのみ使用可能です。

例 6-5: PORTE の初期化

```
BANKSEL PORTE        ;
CLRF    PORTE        ;Init PORTE
BANKSEL ANSELE       ;
CLRF    ANSELE       ;digital I/O
BANKSEL TRISE        ;
MOVLW   B'00001100'  ;Set RE<3:2> as inputs
MOVWF   TRISE        ;and set RE<1:0>
                     ;as outputs
```

レジスタ 6-18: PORTE: PORTE レジスタ

U-0	U-0	U-0	U-0	R-x/u	R/W-x/u	R/W-x/u	R/W-x/u
—	—	—	—	RE3	RE2(1)	RE1(1)	RE0(1)
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-4 **未実装** :「0」として読み出し

ビット 3-0 **RE<3:0>**: PORTE I/O 値のビット (1)
1 = PORT ピン > VIH
0 = PORT ピン < VIL

注 1: RE<2:0> は、PIC16F1933/1936/1938 デバイスにインプリメントされていないため、「0」として読み出されます。

レジスタ 6-19: LATE: PORTE データ ラッチ レジスタ

U-0	U-0	U-0	U-0	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
—	—	—	—	LATE3	LATE2	LATE1	LATE0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-4 **未実装** :「0」として読み出し

ビット 3-0 **LATE<3:0>**: PORTE 出力ラッチ値のビット (1)

注 1: PORTE への書き込みは、実際には対応する LATE レジスタへの書き込み動作になります。PORTE レジスタからの読み出しは、実際には I/O ピン値の読み出し動作になります。

レジスタ 6-20: WPUE: 弱プルアップ PORTE レジスタ

U-0	U-0	U-0	U-0	R/W-1/1	U-0	U-0	U-0
—	—	—	—	WPUE3	—	—	—
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-4 **未実装 :**「0」として読み出し

ビット 3 **WPUE:** 弱プルアップ レジスタ ビット
1 = プルアップ有効
0 = プルアップ無効

ビット 2-0 **未実装 :**「0」として読み出し

注 1: 個別にプルアップを有効にする場合は、OPTION レジスタのグローバル $\overline{\text{WPUEN}}$ ビットをクリアする必要があります。

2: ピンが出力として設定されている場合、弱プルアップ デバイスは自動的に無効になります。

© 2009 Microchip Technology Inc.

6.6.1 ANSELE レジスタ

ANSELE レジスタ (レジスタ 6-22) は、I/O ピンの入力モードをアナログに設定する際に使用します。ANSELE ビットを High にセットしたピンに対してデジタル読み出しを実行すると、すべて「0」として読み出され、ピンのアナログ機能が正しく動作します。

ANSELE ビットのステートは、デジタル出力機能には影響を与えません。TRIS をクリアして ANSEL をセットしたピンはデジタル出力として動作しますが、入力モードはアナログとなります。このように設定されたポートに対して Read-Modify-Write 命令を実行すると予期しない動作となることがあります。

ピンをアナログ入力として使用する場合も、TRISE レジスタ (レジスタ 6-21) が PORTE ピンの出力ドライバを制御します。これらピンをアナログ入力として使用する際は、必ず TRISE レジスタのビットをセットしたままにしてください。アナログ入力として設定された I/O ピンは常に「0」として読み出されます。

注 :	アナログ チャネルをデジタル入力として設定するには、ANSELE レジスタを初期化する必要があります。アナログ入力として設定されたピンは「0」として読み出されます。

レジスタ 6-21: TRISE: PORTE トライステート レジスタ

U-0	U-0	U-0	U-0	R-1	R/W-1	R/W-1	R/W-1
—	—	—	—	TRISE3	TRISE2(1)	TRISE1(1)	TRISE0(1)
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-4 **未実装 :**「0」として読み出し

ビット 3 **TRISE3:** RE3 ポート トライステート制御ビット
RE3 は入力専用であるため、このビットは常に「1」となる

ビット 2-0 **TRISE<2:0>:** RE<2:0> トライステート制御ビット (1)
1 = PORTE ピンが入力として設定されている (トライステート)
0 = PORTE ピンが出力として設定されている

注 1: TRISE<2:0> は、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスにインプリメントされていないため、「0」として読み出されます。

レジスタ 6-22: ANSELE: PORTE アナログ選択レジスタ

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-1	R/W-1
—	—	—	—	—	ANSE2(2)	ANSE1(2)	ANSE0(2)
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-3 **未実装 :**「0」として読み出し

ビット 2-0 **ANSE<2:0>**: RE<2:0> の各ピンの機能をアナログまたはデジタルのいずれかに選択します。
0 = デジタル I/O。ピンはポートまたはデジタル特殊機能に割り当てられる
1 = アナログ入力。ピンはアナログ入力として割り当てられる (1) デジタル入力バッファは無効

注 1: アナログ入力として設定する場合、ピンの電圧を外部から制御するには、対応する TRIS ビットをセットする必要があります。
2: ANSELE は、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスにインプリメントされていないため、「0」として読み出されます。

6.6.2 PORTE の機能および出力の優先順位

PORTE の各ピンは、他の機能と多重化されています。ここでは、各ピンに割り当てられた複数の機能およびそれらの出力の優先順について簡単に説明します。各機能の詳細は、本データ シートの該当するセクションを参照してください。

複数出力が有効の場合は、制御ピンは次のリストの番号が低いペリフェラル (周辺装置) から優先的に実行します。

RE0

1. SEG21 (LCD)
2. CCP3/P3A (CCP)
3. RE0

RE1

1. SEG22 (LCD)
2. P3B (CCP)
3. RE1

RE2

1. SEG23 (LCD)
2. CCP5 (CCP)
3. RE2

表 6-5: PORTE(1) の関連レジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
ADCON0	—	CHS4	CHS3	CHS2	CHS1	CHS0	GO/$\overline{\text{DONE}}$	ADON	137
ANSELE	—	—	—	—	—	ANSE2	ANSE1	ANSE0	101
CCPxCON	PxM1	PxM0	DCxB1	DCxB0	CCPxM3	CCPxM2	CCPxM1	CCPxM0	184
LATE	—	—	—	—	LATE3	LATE2	LATE1	LATE0	99
LCDCON	LCDEN	SLPEN	WERR	—	CS1	CS0	LMUX1	LMUX0	243
LCDSE2	SE23	SE22	SE21	SE20	SE19	SE18	SE17	SE16	247
PORTE	—	—	—	—	RE3	RE2	RE1	RE0	99
TRISE	—	—	—	—	TRISE3	TRISE2	TRISE1	TRISE0	101
WPUE	—	—	—	—	WPUE3	—	—	—	100

記号の説明： x = 不明。u = 不変。－ = 未実装、「0」として読み出し。網掛けのビットは PORTE では使用しません。

注 1: これらのレジスタは、PIC16F1933/1936/1938 デバイスにインプリメントされていないため、「0」として読み出されます。

© 2009 Microchip Technology Inc.

7.0 状態変化割り込み

PORTB ピンは状態変化割り込み (IOC) ピンとして動作するように設定できます。割り込みは、立ち上がりエッジまたは立ち下がりエッジのいずれかで反応する信号を検知することによって生成できます。いずれかの PORTB ピンまたは複数の PORTB ピンの組み合わせを使用して割り込み信号を生成します。状態変化割り込みモジュールは、次の特徴があります。

- 状態変化割り込みイネーブル (マスター スイッチ)
- 個別のピン設定
- 立ち上がりエッジおよび立ち下がりエッジの検知
- 個別のピン割り込みフラグ

図 7-1 に、IOC モジュールのブロック図を示します。

7.1 モジュールの有効化

各 PORTB ピンで割り込みを生成するには、INTCON レジスタの IOCIE ビットをセットする必要があります。IOCIE ビットが無効の場合、ピンにおいてエッジは検知されますが割り込みは生成されません。

7.2 個別のピン設定

各 PORTB ピンには、立ち上がりエッジの検出機能と立ち下がりエッジの検出機能があります。立ち上がりエッジの検出機能を有効にする場合は、IOCBP レジスタの対応する IOCBPx ビットをセットします。立ち下がりエッジの検出機能を有効にする場合は、IOCBN レジスタの対応する IOCBNx ビットをセットします。

IOCBP および IOCBN の各ビット (IOCBPx および IOCBNx) を両方設定することで、同時に、立ち上がりエッジと立下りエッジを検出できるようになります

7.3 割り込みフラグ

IOCBF レジスタの IOCBFx ビットは、PORTB の状態変化割り込みピンに対応するステータス フラグです。適切な有効ピンにおいて設定されたエッジが検出されると、そのピンのステータス フラグがセットされ、IOCIE ビットがセットされていると割り込みが生成されます。INTCON レジスタの IOCIF ビットは、すべての IOCBFx ビットのステータスを反映します。

7.4 割り込みフラグのクリア

各ステータス フラグ (IOCBFx ビット) は、0 にリセットするとクリアできます。クリア動作中に次のエッジが検出された場合は、実際に書き込みされる値に関係なくシーケンス完了時に関連するステータス フラグがセットされます。

フラグ クリア中に検出したエッジを失わないようにするため、既知の変更済みビットをマスクした AND 動作のみ実行してください。実行すべきシーケンスを次に示します。

例 7-1:

```
MOVLW  0xff
XORWF  IOCBF, W
ANDWF  IOCBF, F
```

7.5 スリープ時の動作

IOCIE ビットがセットされている場合、状態変化割り込みシーケンスはデバイスをスリープ モードからウェイクアップさせます。

スリープ モード中にエッジが検出されている場合、ウェイクアップ後の最初の命令を実行する前に IOCBF レジスタがアップデートされます。

レジスタ 7-1: IOCBP: 立ち上がりエッジの状態変化割り込みレジスタ

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
IOCBP7	IOCBP6	IOCBP5	IOCBP4	IOCBP3	IOCBP2	IOCBP1	IOCBP0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **IOCBP<7:0>:** 立ち上がりエッジの状態変化割り込みイネーブル ビット
1 = 立ち上がりエッジの状態変化割り込みが有効。エッジ検出時に関連するステータス ビットおよび割り込みフラグがセットされる
0 = 状態変化割り込みは無効

レジスタ 7-2: IOCBN: 立ち下がりエッジの状態変化割り込みレジスタ

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
IOCBN7	IOCBN6	IOCBN5	IOCBN4	IOCBN3	IOCBN2	IOCBN1	IOCBN0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **IOCBN<7:0>:** 立ち下がりエッジの状態変化割り込みイネーブル ビット
1 = 立ち下がりエッジで状態変化割り込みが有効。エッジ検出時に関連するステータス ビットおよび割り込みフラグがセットされる
0 = 状態変化割り込みは無効

レジスタ 7-3: IOCBF: 状態変化割り込みフラグ レジスタ

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
IOCBF7	IOCBF6	IOCBF5	IOCBF4	IOCBF3	IOCBF2	IOCBF1	IOCBF0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **IOCBF<7:0>:** 状態変化割り込みフラグ ビット
1 = 関連ピンで有効な変更が検出された。
IOCBPx = 1 のとき RBx で立ち上がりエッジが検出された場合、または IOCBNx = 1 のとき RBx で立ち下がりエッジが検出された場合にセットされる
0 = 変更がない、または検出された有効な変更をユーザーがクリアした

 © 2009 Microchip Technology Inc.

図 7-1:　状態変化割り込みのブロック図

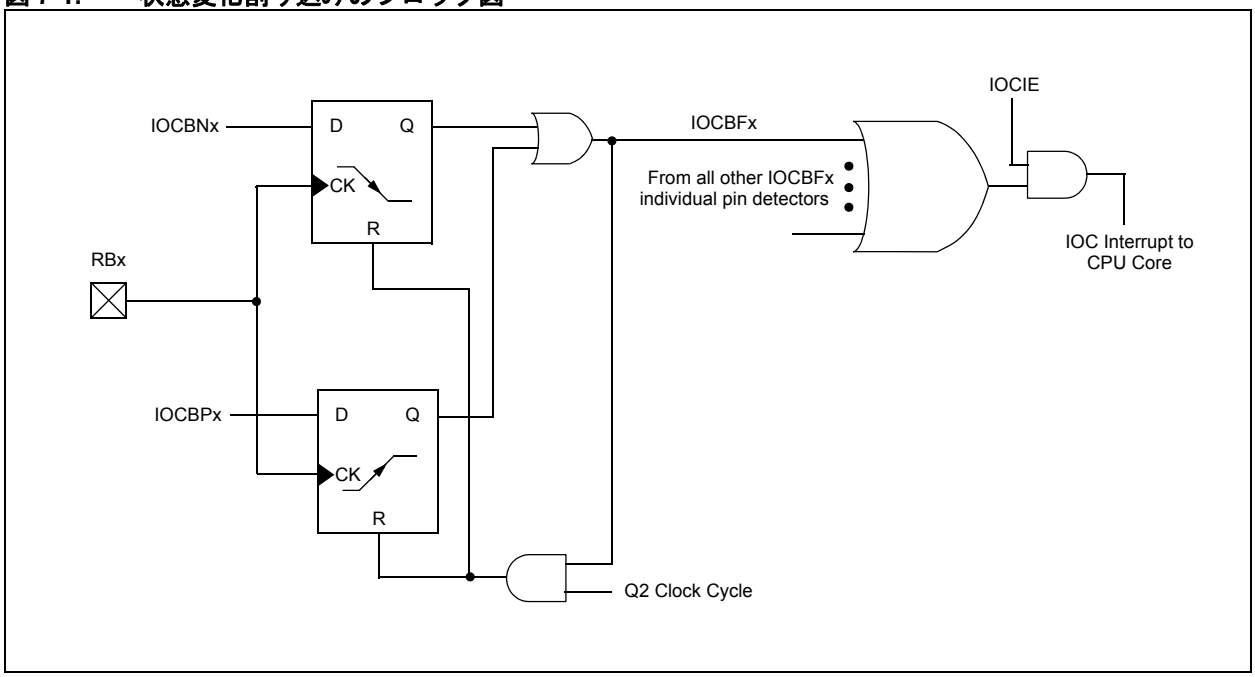


表 7-1:　状態変化割り込み関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
ANSELB	—	—	ANSB5	ANSB4	ANSB3	ANSB2	ANSB1	ANSB0	91
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
IOCBF	IOCBF7	IOCBF6	IOCBF5	IOCBF4	IOCBF3	IOCBF2	IOCBF1	IOCBF0	104
IOCBN	IOCBN7	IOCBN6	IOCBN5	IOCBN4	IOCBN3	IOCBN2	IOCBN1	IOCBN0	104
IOCBP	IOCBP7	IOCBP6	IOCBP5	IOCBP4	IOCBP3	IOCBP2	IOCBP1	IOCBP0	104
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	91

記号の説明： x = 不明。u = 不変。－ = 未実装、「0」として読み出し。網掛けのビットは、状態変化割り込みで使用しません。

ノート：

 © 2009 Microchip Technology Inc.

8.0 オシレータ モジュール (フェイル セーフ クロック モニタ機能付き)

8.1 概要

オシレータ モジュールには多様なクロック ソースと豊富な機能が備えられているため、多くのアプリケーションで消費電力を最小限に抑えながら最大限の性能を実現できます。図 8-1 に、オシレータ モジュールのブロック図を示します。

クロック ソースは、外部オシレータ、水晶振動子、セラミック振動子、RC (抵抗 / コンデンサ) 回路のいずれかに設定できます。また、3 種類の内部オシレータのいずれかをシステム クロック ソースとして設定でき、動作速度はソフトウェアで選択できます。そのほかのクロック機能として、次のものがあります。

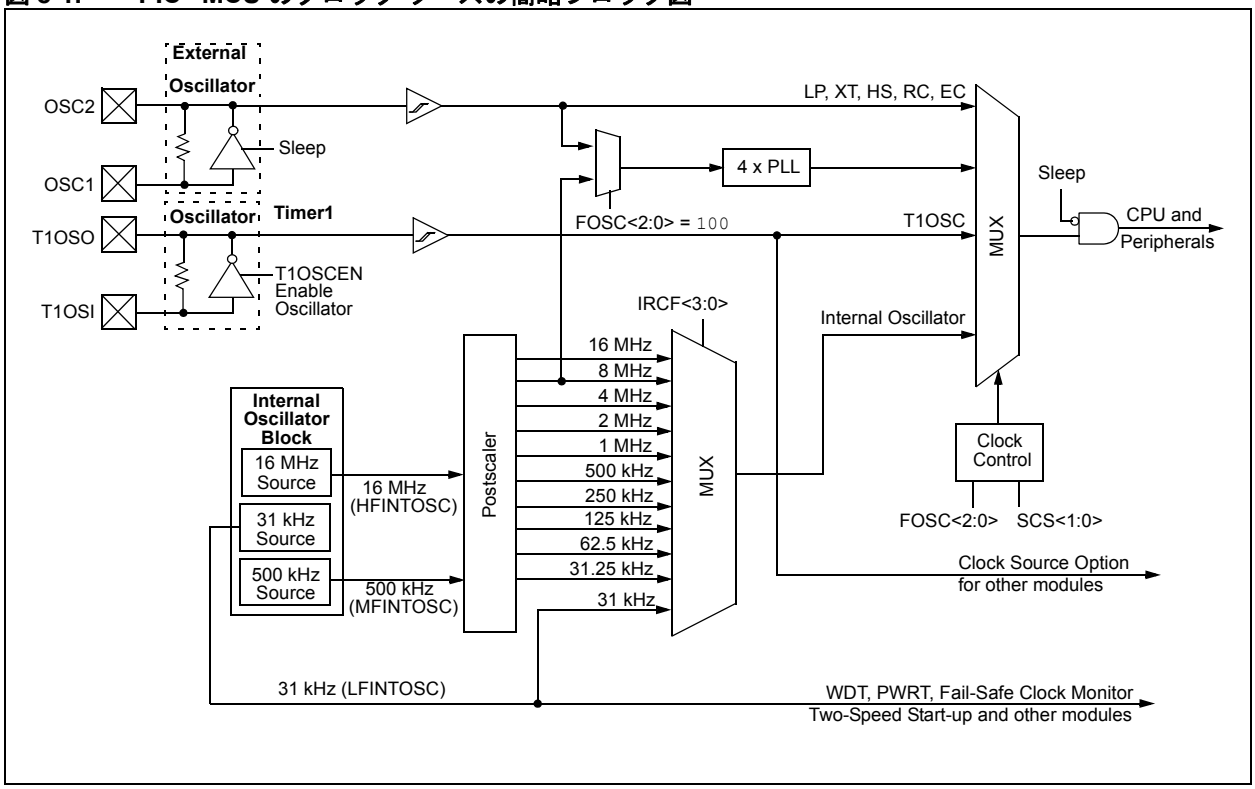
- システム クロック ソースには、外部クロックまたは内部クロックがソフトウェアで選択可能。
- 外部オシレータのスタートアップからコード実行までのレイテンシを最小限に抑える 2 段速スタートアップ モード。
- 外部クロックソース (LP、XT、HS、EC、RC モード) のエラーを検出して自動的に内部オシレータに切り替えるフェイルセーフ クロック モニタ (FSCM) 機能。

オシレータ モジュールは、次の 6 つのクロック モードのいずれかを設定できます。

1. EC ― 外部クロック
2. LP ― 32 kHz 低消費電力水晶振動子モード
3. XT ― 中ゲインの水晶 / セラミック振動子オシレータ モード
4. HS ― 高ゲインの水晶/セラミック振動子モード
5. RC ― 外付け RC (抵抗 / コンデンサ)
6. INTOSC ― 内部オシレータ

クロック ソース モードは、コンフィギュレーション ワード レジスタ 1 (CONFIG1) の FOSC<2:0> ビットで設定します。内部クロックは 2 種類の内部オシレータから生成できます。HFINTOSC は校正された高周波数オシレータ、MFINTOSC は校正された中周波数オシレータ、LFINTOSC は未校正の低周波数オシレータです。

図 8-1: PIC® MCU のクロック ソースの簡略ブロック図



8.2 オシレータ制御

OSCCON (オシレータ制御) レジスタ (図 8-1) では、システム クロックや周波数の選択などを制御します。OSCCON レジスタには次のビットがあります。

- 周波数選択ビット (IRCF)
- システム クロック選択ビット (SCS)
- ソフトウェア PLL イネーブル ビット (SPLLEN)

レジスタ 8-1: OSCCON: オシレータ制御レジスタ

R/W-0/0	R/W-0/0	R/W-1/1	R/W-1/1	R/W-1/1	U-0	R/W-0/0	R/W-0/0
SPLLEN	IRCF3	IRCF2	IRCF1	IRCF0	—	SCS1	SCS0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **SPLLEN:** ソフトウェア PLL イネーブル ビット
PLLEN = 1 の場合 :
SPLLEN ビットは無視される。4x PLL は常に有効 (オシレータ要件の影響を受ける)
PLLEN = 0 の場合 :
1 = 4x PLL は有効
0 = 4x PLL は無効

ビット 6-3 **IRCF<3:0>:** 内部オシレータ周波数選択ビット
000x = 31 kHz LF
0010 = 31.25 kHz MF
0011 = 31.25 kHz HF(2)
0100 = 62.5 kHz MF
0101 = 125 kHz MF
0110 = 250 kHz MF
0111 = 500 kHz MF (リセット時のデフォルト)
1000 = 125 kHz HF(2)
1001 = 250 kHz HF(2)
1010 = 500 kHz HF(2)
1011 = 1 MHz HF
1100 = 2 MHz HF
1101 = 4 MHz HF
1110 = 8 MHz HF
1111 = 16 MHz HF

ビット 2 **未実装 :**「0」として読み出し

ビット 1-0 **SCS<1:0>:** システム クロック選択ビット
1x = 内部オシレータ ブロック
01 = Timer1 オシレータ
00 = CONFIG1[FOSC<2:0>] で設定されたクロック

注 1: リセット ステートは、IESO コンフィギュレーション ビットのステートに依存します。
2: HFINTOSC から派生した周波数です。

 © 2009 Microchip Technology Inc.

8.3 クロック ソース モード

クロック ソース モードは外部または内部の 2 つに分類されます。

- 外部クロック モードの場合は、クロック ソースに外部回路を使用します。例えば、オシレータ モジュール (EC モード)、水晶振動子またはセラミック振動子 (LP、XT、HS モード)、RC (抵抗 / コンデンサ) モード回路などがあります。
- 内部クロック ソースはオシレータ モジュール内部に含まれています。オシレータ モジュールには、16 MHz の高周波数内部オシレータ (HFINTOSC) と 500 kHZ (MFINTOSC) および 31 kHz の低周波数内部オシレータ (LFINTOSC) の 2 種類の内部オシレータがあります。

システム クロックに外部クロック ソースと内部クロック ソースのどちらを使用するかは、OSCCON レジスタのシステム クロック選択 (SCS) ビットで選択します。詳細は、**8.6 項「クロック切り替え」**を参照してください。クロック ソースを切り替えた場合は、新しいクロックが安定するまで遅延が必要です。このオシレータの遅延を表 8-1 に示します。

8.4 外部クロック モード

8.4.1 オシレータ スタートアップ タイマ (OST)

オシレータ モジュールが LP、XT、HS モードのいずれかに設定されている場合、オシレータ スタートアップ タイマ (OST) は OSC1 から 1024 回発振をカウントします。これは、パワーオン リセット (POR) 後のパワーアップ タイマ (PWRT) のタイムアウト時 (設定されている場合)、またはスリープからのウェイクアップ後に実行されます。カウント実行中、プログラム カウンタはインクリメントせず、プログラム実行は一時停止します。OST により、水晶振動子またはセラミック振動子を使用したオシレータ回路の起動後に安定したシステム クロックを確実にオシレータ モジュールへ供給できるようになります。

外部オシレータのスタートアップからコード実行までの遅延を最小限に抑える場合は、2 段速スタートアップ モードを選択します (**8.6.3 項「Timer1 オシレータ レディ (T1OSCR) ビット」**参照)。

表 8-1: オシレータ切り替え遅延

Switch From	Switch To	Frequency	Oscillator Delay
Sleep/POR	LFINTOSC(1) MFINTOSC(1) HFINTOSC(1)	31 kHz 31.25 kHz-500 kHz 31.25 kHz-16 MHz	Oscillator Warm-up Delay (TWARM)
Sleep/POR	EC, RC(1)	DC － 32 MHz	2 cycles
LFINTOSC	EC, RC(1)	DC － 32 MHz	1 cycle of each
Sleep/POR	Timer1 Oscillator LP, XT, HS(1)	32 kHz-20 MHz	1024 Clock Cycles (OST)
Any clock source	MFINTOSC(1) HFINTOSC(1)	31.25 kHz-500 kHz 31.25 kHz-16 MHz	2 µs (approx.)
Any clock source	LFINTOSC(1)	31 kHz	1 cycle of each
Any clock source	Timer1 Oscillator	32 kHz	1024 Clock Cycles (OST)
PLL inactive	PLL active	16-32 MHz	2 ms (approx.)

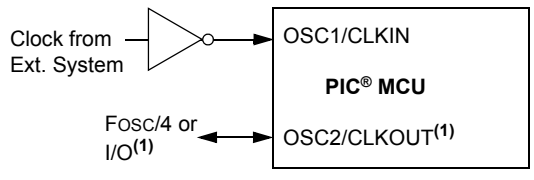
注 1: PLL 機能は非アクティブです。

8.4.2 EC モード

外部クロック (EC) モードでは、外部で生成されたロジック レベルをシステム クロック ソースとして使用できます。このモードで動作する場合、外部クロック ソースは OSC1 入力へ接続します。OSC2/CLKOUT は、汎用 I/O または CLKOUT として使用できます。図 8-2 に、EC モードでのピン接続を示します。

EC モードを選択した場合、オシレータ スタートアップ タイマ (OST) は無効になります。このため、パワーオン リセット (POR) 後またはスリープからのウェイクアップ後に動作の遅延は発生しません。PIC® MCU は完全スタティック設計であるため、外部クロック入力を停止すると、すべてのデータがそのままの状態でデバイスが動作を中断します。外部クロックが再開すると、停止直後の状態からデバイスはその動作を再開します。

図 8-2: 外部クロック (EC) モードでの動作



注 1: 出力は、コンフィギュレーション ワード 1 レジスタの CLKOUTEN ビットに依存します。

8.4.3 LP、XT、HS モード

LP、XT、HS モードでは、水晶振動子またはセラミック振動子を OSC1 と OSC2 に接続して使用できます (図 8-3)。使用する振動子の種類や速度に合わせてモードを切り替えることにより、内部インバータ アンプが高 / 中 / 低ゲインに設定されます。

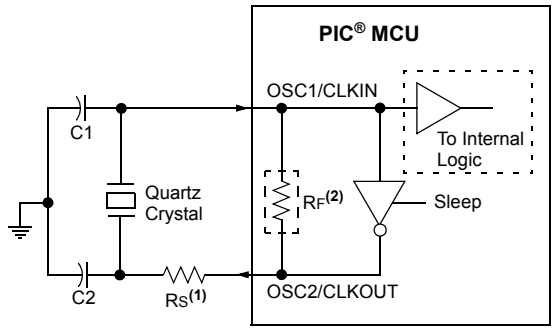
LP オシレータ モードでは、内部インバータ アンプのゲインが最も低く設定されます。3 つのモードのうち、消費電流が最も少ないのがこのモードです。このモードは、32.768 kHz の音叉型水晶振動子 (時計用水晶振動子) の駆動専用に設計されています。

XT オシレータ モードでは、内部インバータ アンプのゲインが中間に設定されます。消費電流も 3 つのモードの中間となります。このモードは、駆動レベル仕様が中程度の振動子に最も適しています。

HS オシレータ モードでは、内部インバータ アンプのゲインが最大に設定されます。3 つのモードのうち、消費電流が最も大きくなります。このモードは、駆動レベルを高く設定する必要のある振動子に最も適しています。

図8-3 および図8-4 に、それぞれ水晶振動子とセラミック振動子を使用した代表的な回路図を示します。

図 8-3: 水晶振動子による動作 (LP、XT、HS モード)



注 1: 駆動レベルの低い水晶振動子の場合、直列抵抗 (RS) が必要となる場合があります。

2: RF の値は、選択したオシレータ モードによって異なります (通常は 2 MΩ ～ 10 MΩ)。

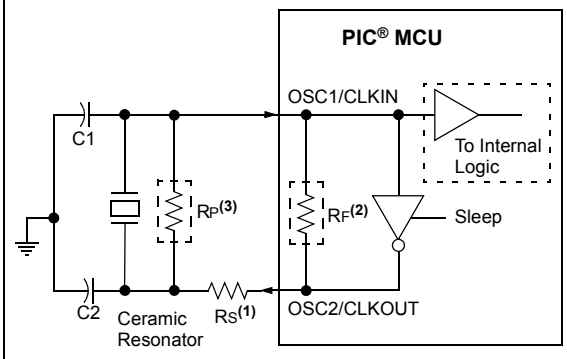
注 1: 水晶振動子の特性は、種類、パッケージ、メーカーにより異なります。仕様および推奨アプリケーションについては、各メーカーのデータシートを参照してください。

2: アプリケーションで想定される VDD および仕様温度でオシレータの動作を必ず検証してください。

3: オシレータの設計には、マイクロチップ社の次のアプリケーション ノートを参照してください。

- AN826『Crystal Oscillator Basics and Crystal Selection for rfPIC® and PIC® Devices』(DS00826)
- AN849『Basic PIC® Oscillator Design』(DS00849)
- AN943『Practical PIC® Oscillator Analysis and Design』(DS00943)
- AN949『Making Your Oscillator Work』(DS00949)

図 8-4: セラミック振動子の動作 (XT または HS モード)



注 1: 駆動レベルの低いセラミック振動子の場合、直列抵抗 (RS) が必要となる場合があります。

2: RF の値は、選択したオシレータ モードによって異なります (通常は 2 MΩ ～ 10 MΩ)。

3: セラミック振動子を適正に動作させるには、並列フィードバック抵抗 (RP) の追加が必要となることがあります。

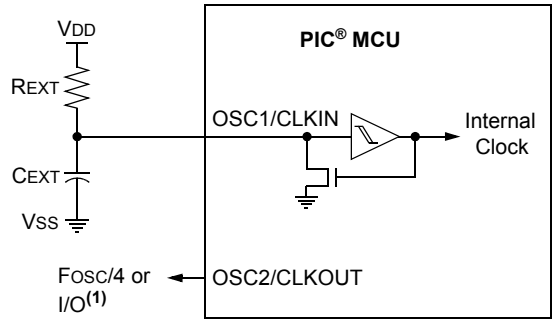
 © 2009 Microchip Technology Inc.

8.4.4 外部 RC モード

外部 RC (抵抗 / コンデンサ) モードでは、外付けの RC 回路が使用できます。クロックの精度があまり要求されない場合は、このモードでコストを最小限に抑えながら周波数を比較的自由に選択できます。

RC 回路は OSC1 へ接続します。OSC2/CLKOUT は、汎用 I/O または CLKOUT として使用できます。
図 8-5 に、外部 RC モードの場合のピン接続を示します。

図 8-5: 外部 RC モード



推奨値 : 10 kΩ ≤ REXT ≤ 100 kΩ、<3V
3 kΩ ≤ REXT ≤ 100 kΩ、3V ～ 5V
CEXT > 20 pF、2 ～ 5V

注 1: 出力は、コンフィギュレーション ワード 1 レジスタの CLKOUTEN ビットに依存します。

RC オシレータの周波数は、電源電圧、抵抗 (REXT)、コンデンサ (CEXT) の値と動作温度の関数として決定します。これ以外にオシレータの周波数に影響する要因として、次のものがあります。

- スレッショルド電圧のばらつき
- 製品の許容誤差
- パッケージによる容量のばらつき

使用する外部 RC 製品の許容誤差によるばらつきも考慮する必要があります。

8.5 内部クロック モード

オシレータ モジュールには 3 つの独立した内部オシレータがあり、システム クロック ソースとして設定できます。

1. **HFINTOSC** (高周波数内部オシレータ) は工場で校正されており、16 MHz で動作します。HFINTOSC の周波数は、OSCTUNE レジスタ (レジスタ 8-3) を使用して、ユーザーがソフトウェアで調整できます。
2. **MFINTOSC** (中周波数内部オシレータ) は工場で校正されており、500 kHz で動作します。MFINTOSC の周波数は、OSCTUNE レジスタ (レジスタ 8-3) を使用して、ユーザーがソフトウェアで調整できます。
3. **LFINTOSC** (低周波数内部オシレータ) は校正されておらず、31 kHz で動作します。

システムのクロック速度は、OSCCON レジスタの内部オシレータ周波数選択ビット IRCF<2:0> を使用して、ソフトウェアで選択できます。

システム クロックに外部クロック ソースと内部クロック ソースのどちらを使用するかは、OSCCON レジスタのシステム クロック選択 (SCS) ビットで選択します。詳細は、**8.6 項「クロック切り替え」**を参照してください。

8.5.1 INTOSC モード

INTOSC モードの場合、コンフィギュレーション ワード レジスタ 1 (CONFIG1) の FOSC<2:0> ビット (オシレータ選択ビット) を使用してデバイスをプログラムすると、内部オシレータがシステム クロック ソースとして使用されます。

INTOSC モードの場合、OSC1/CLKIN は汎用 I/O として使用でき、OSC2/CLKOUT は汎用 I/O または CLKOUT として使用できます。

8.5.2 HFINTOSC

高周波数内部オシレータ (HFINTOSC) は、工場で校正された 16 MHz の内部クロック ソースです。HFINTOSC の周波数は、OSCTUNE レジスタ (レジスタ 8-3) を使用して、ソフトウェアで変更できます。

HFINTOSC の出力は、ポストスケーラとマルチプレクサに接続されています (図 8-1 参照)。周波数は、OSCCON レジスタの IRCF<3:0> ビットを使用して、HFINTOSC から派生する 9 種類のうちいずれか 1 つをソフトウェアで選択できます。詳細は、**8.5.7 項「周波数選択ビット (IRCF)」**を参照してください。

HFINTOSC は次の方法で有効化されます。

- 任意の HF 周波数用に IRCF<3:0> ビット (レジスタ 8-1 参照) を設定します。
- FOSC<2:0> = 100 または
- OSCCON レジスタのシステム クロック ソース (SCS) ビットを「1x」に設定します。

OSCSTAT レジスタの HFIOFR (High Frequency Internal Oscillator Ready) ビットは、HFINTOSC が動作中であり使用可能な状態であるかを示します。

OSCSTAT レジスタの HFIOFL (High Frequency Internal Oscillator Status Locked) ビットは、HFINTOSC が最終値の 2% 以内で動作しているかを示します。

OSCSTAT レジスタの HFIOFS (High Frequency Internal Oscillator Status Stable) ビットは、HFINTOSC が最終値の 0.5% 以内で動作しているかを示します。

8.5.3 MFINTOSC

中周波数内部オシレータ (MFINTOSC) は、工場で校正された 500 kHz の内部クロック ソースです。MFINTOSC の周波数は、OSCTUNE レジスタ (レジスタ 8-3) を使用して、ソフトウェアで変更できます。

MFINTOSC の出力は、ポストスケーラとマルチプレクサに接続されています (図 8-1 参照)。周波数は、OSCCON レジスタの IRCF<3:0> ビットを使用して、MFINTOSC から派生する 9 種類のうちいずれか 1 つをソフトウェアで選択できます。詳細は、**8.5.7 項「周波数選択ビット (IRCF)」**を参照してください。

MFINTOSC は次の方法で有効化されます。

- 任意の HF 周波数用に IRCF<3:0> ビット (レジスタ 8-1 参照) を設定します。
- FOSC<2:0> = 100 または
- OSCCON レジスタのシステム クロック ソース (SCS) ビットを「1x」に設定します。

OSCSTAT レジスタの MFIOFR (Medium Frequency Internal Oscillator Ready) ビットは、MFINTOSC が動作中であり使用可能な状態であるかを示します。

8.5.4 LFINTOSC

低周波数内部オシレータ (LFINTOSC) は、校正されていない 31 kHz の内部クロック ソースです。

LFINTOSC の出力は、ポストスケーラとマルチプレクサに接続されています (図 8-1 参照)。OSCCON レジスタの IRCF<2:0> ビットを使用して、ソフトウェアで 31 kHz を選択します。詳細は、**8.5.7 項「周波数選択ビット (IRCF)」**を参照してください。
LFINTOSC は、パワーアップ タイマ (PWRT)、ウォッチドッグ タイマ (WDT)、フェイルセーフ クロック モニタ (FSCM) の周波数としても使用されます。

LFINTOSC が有効となるのは、31 kHz (OSCCON レジスタの IRCF<3:0> ビット = 000) をシステム クロック ソースとして (OSCCON レジスタの SCS ビット = 1x) 選択、または次のいずれかを有効化した場合です。

- 任意の LF 周波数用に IRCF<3:0> ビット (レジスタ 8-1 参照) を設定します。
- FOSC<2:0> = 100 または
- OSCCON レジスタのシステム クロック ソース (SCS) ビットを「1x」に設定します。

LFINTOSC を使用する周辺機能は次のとおりです。

- LCD
- パワーアップ タイマ (PWRT)
- ウォッチドッグ タイマ (WDT)
- フェイルセーフ クロック モニタ (FSCM)

OSCSTAT レジスタの LFIOFR (Low Frequency Internal Oscillator Ready) ビットは、LFINTOSC が動作中であり使用可能な状態であるかを示します。

 © 2009 Microchip Technology Inc.

8.5.5 OSCSTAT レジスタ

OSCSTAT レジスタには、オシレータ モジュールの
現ステータスを示すフラグが含まれます。

レジスタ 8-2: OSCSTAT: オシレータ ステータス レジスタ

R-0/q	R-0/q	R-q/q	R-0/q	R-0/q	R-q/q	R-0/0	R-0/q
T1OSCR	PLLR	OSTS	HFIOFR	HFIOFL	MFIOFR	LFIOFR	HFIOFS
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべての
1 = セット	0 = クリア	リセット時の値

ビット 7 **T1OSCR:** Timer1 オシレータ レディ ビット
Timer1 オシレータ が有効 (T1OSCEN = 1) の場合
1 = Timer1 オシレータは準備完了および切り替え可能
0 = Timer1 オシレータの準備は整っていない
Timer1 オシレータが無効 - クロック ソースが T1CKI の場合
1 = Timer1 オシレータは常に準備完了

ビット 6 **PLLR** 4x PLL レディ ビット
1 = 4x PLL は準備完了および切り替え可能
0 = 4x PLL オシレータの準備は整っていない

ビット 5 **OSTS:** オシレータ スタートアップ タイムアウト ステータス ビット
1 = CONFIG1 レジスタ の FOSC<3:0> で定義したクロックを使用してデバイスが動作している
0 = 内部オシレータ (HFINTOSC、MFINTOSC、LFINTOSC) でデバイスが動作している

ビット 4 **HFIOFR:** 高周波数内部オシレータ レディ ビット
1 = 16 MHz の内部オシレータ (HFINTOSC) は準備完了および切り替え可能
0 = 16 MHz の内部オシレータ (HFINTOSC) の準備は整っていない

ビット 3 **HFIOFL:** 高周波数内部オシレータ ステータス ロック ビット (2% 安定)
1 = 16 MHz の内部オシレータ (HFINTOSC) はロックされている
0 = 16 MHz の内部オシレータ (HFINTOSC) は、まだロックされていない

ビット 2 **MFIOFR:** 中周波数内部オシレータ (500 kHz HFINTOSC 出力) レディ ビット
1 = 500 kHz の内部オシレータ (MFINTOSC) は準備完了および切り替え可能
0 = 500 kHz の内部オシレータ (MFINTOSC) の準備は整っていない

ビット 1 **LFIOFR:** 低周波数内部オシレータ レディ ビット
1 = 31 kHz の内部オシレータ (LFINTOSC) は準備完了および切り替え可能
0 = 31 kHz の内部オシレータ (LFINTOSC) の準備は整っていない

ビット 0 **HFIOFS:** 高周波数内部オシレータ ステーブル ビット (0.5% 安定)
1 = 16 MHz の内部オシレータ (HFINTOSC) は、最終値の 0.5% 以内で安定動作している
0 = 16 MHz の内部オシレータ (HFINTOSC) は、まだ安定していない

8.5.6 OSCTUNE レジスタ

HFINTOSC および MFINTOSC は工場で校正されていますが、OSCTUNE レジスタへの書き込みによって、ソフトウェアでも調整できます (レジスタ 8-3)。

OSCTUNE レジスタのデフォルト値は「0」です。値は 5 ビットの 2 の補数です。

OSCTUNE レジスタを変更すると、オシレータ の周波数は設定した値への移行を開始します。この移行中も、コード実行は継続します。周波数が変化したことを知らせる手段は備えられていません。

OSCTUNE レジスタの変更により、HFINTOSC と MFINTOSC に対して同時に更正が適用されます。

OSCTUNE レジスタの設定は、LFINTOSC の周波数には影響しません。OSCTUNE レジスタで周波数を変更しても、パワーアップ タイマ (PWRT)、ウォッチドッグ タイマ (WDT)、フェイルセーフ クロック モニタ (FSCM)、周辺機能など、LFINTOSC クロック ソースの周波数に依存する機能の動作には影響しません。

レジスタ 8-3: OSCTUNE: オシレータ調整レジスタ

U-0	U-0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
—	—	TUN5	TUN4	TUN3	TUN2	TUN1	TUN0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-6 **未実装 :**「0」として読み出し

ビット 5-0 **TUN<4:0>:** 周波数調整ビット
011111 = 最大周波数
011110 =
•
•
•
000001 =
000000 = オシレータ モジュールは工場で校正済みの周波数で動作
111111 =
•
•
•
100000 = 最小周波数

 © 2009 Microchip Technology Inc.

8.5.7 周波数選択ビット (IRCF)

16 MHz HFINTOSC と 31 kHz LFINTOSC の出力は、ポストスケーラとマルチプレクサに接続されています (図 8-1 参照)。OSCCON レジスタの内部オシレータ周波数選択ビット IRCF<2:0> で、内部オシレータの周波数出力を選択します。周波数は、ソフトウェアで次の 8 つのいずれかに選択できます。

- 16 MHz
- 8 MHz
- 4 MHz
- 2 MHz
- 1 MHz
- 500 kHz (リセット直後のデフォルト)
- 250 kHz
- 125 kHz
- 31 kHz (LFINTOSC)

注 : 何らかのリセットが発生すると、OSCCON レジスタの IRCF<2:0> ビットが「110」にセットされ、周波数は 4 MHz が選択されます。IRCF ビットを変更することで、別の周波数を選択できます。

8.5.8 内部オシレータのクロック切り替えタイミング

HFINTOSC、MFINTOSC および LFINTOSC 間で切り替えする際、切り替え先のオシレータが省電力目的でシャットダウンされている場合があります (図 8-6 参照)。これは、OSCCON レジスタの IRCF<3:0> ビットを変更してから実際に周波数が切り替わるまでに遅延が生じているためです。OSCSTAT レジスタによって、HFINTOSC、MFINTOSC および LFINTOSC オシレータが現在アクティブであるか示されます。周波数選択のシーケンスは次のとおりです。

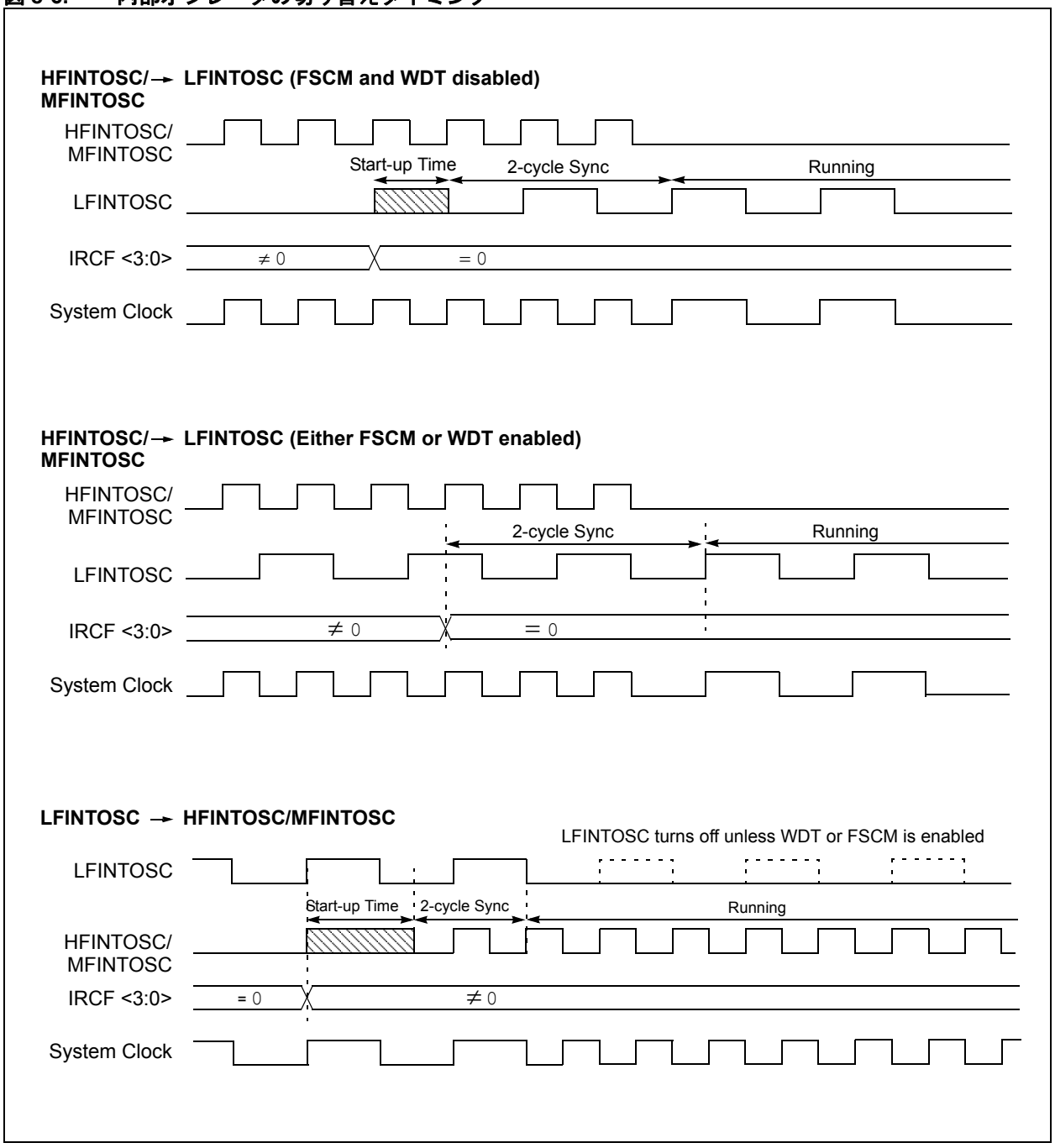
1. OSCCON レジスタの IRCF<3:0> ビットが変更される。
2. 切り替え先のクロックがシャットダウンされている場合は、クロック スタートアップ遅延が開始される。
3. クロック切り替え回路が、現在のクロックの立ち下がりエッジを待機する。
4. 現在のクロックが Low に保持され、クロック切り替え回路が新しいクロックの立ち上がりエッジを待機する。
5. 新しいクロックがアクティブになる。
6. 必要に応じて OSCSTAT レジスタが変更される。
7. クロックの切り替え完了。

詳細は、図 8-6 を参照してください。

同じクロック ソースの 2 種類の内部オシレータ周波数を切り替える場合は、スタートアップ遅延なしで新しい周波数に切り替わります。表 8-1 に、クロック切り替え時に発生する遅延を示します。

スタートアップ遅延の詳細は、**28.0 項「電気的仕様」**のオシレータ表を参照してください。

図 8-6:　内部オシレータの切り替えタイミング



© 2009 Microchip Technology Inc.

8.6 クロック切り替え

システム クロック ソースとして外部クロック ソースと内部クロック ソースのどちらを使用するかは、OSCCON レジスタのシステム クロック選択 (SCS) ビットを使用して、ソフトウェアで切り替えできます。

8.6.1 システム クロック選択 (SCS) ビット

OSCCON レジスタのシステム クロック選択 (SCS) ビットで、CPU および周辺機能に使用するシステム クロック ソースを選択します。

- OSCCON レジスタの SCS ビット = 00 の場合、システム クロック ソースはコンフィギュレーション ワード レジスタ 1 (CONFIG1) の FOSC<2:0> ビットの設定によって決定します。
- OSCCON レジスタの SCS ビット = 01 の場合、システム クロック ソースは Timer1 オシレータになります。
- OSCCON レジスタの SCS ビット = 1x の場合、システム クロック ソースには、OSCCON レジスタの IRCF<3:0> ビットで選択した内部オシレータ周波数が使用されます。リセット後、OSCCON レジスタの SCS ビットは常にクリアされます。

注 : 2 段速スタートアップまたはフェイルセーフ クロック モニタにおいて自動的にクロックが切り替わった場合、OSCCON レジスタの SCS ビットは変更されません。この場合、OSCSTAT レジスタの OSTS ビットを参照することで、現在のシステム クロック ソースを確認できます。

8.6.2 オシレータ スタートアップ タイム アウト ステータス (OSTS) ビット

OSCSTAT レジスタのオシレータ スタートアップ タイムアウト ステータス (OSTS) ビットには、現在のシステム クロックがコンフィギュレーション ワード レジスタ 1 (CONFIG1) の FOSC<2:0> ビットで定義された外部クロック ソース、または内部クロック ソースのどちらで動作しているかが示されます。特に LP、XT、あるいは HS モードでは、OSTS ビットを参照することでオシレータ スタートアップ タイマ (OST) がタイムアウトになったかどうかが確認できます。

8.6.3 TIMER1 オシレータ レディ (T1OSCR) ビット

OSCSTAT レジスタの Timer1 オシレータ レディ (T1OSCR) ビットは、Timer1 オシレータが使用可能な状態であるかを示します。T1OSCR ビットがセットされた後、SCS ビットを設定して Timer1 オシレータを選択できます。

8.7 2 段速クロック スタートアップ モード

2 段速スタートアップ モードは、外部オシレータのスタートアップからコード実行までの遅延を最小限に抑えることによって、省電力性を更に高める働きをします。2 段速スタートアップ モードは復帰に掛かる時間から外部オシレータのスタートアップ時間を除外することができるため、特にスリープ モードを多用するアプリケーションにおいてデバイスの全体的な消費電力を削減できます。

アプリケーションでこのモードを使用すると、スリープからウェイクアップし、クロック ソースに INTOSC を使用して少数の命令を実行してからすぐにスリープに戻ることができるため、外部オシレータが安定するまで待機する必要がありません。

注 : SLEEP 命令を実行するとオシレータのスタートアップ時間は終了となり、OSCSTAT レジスタの OSTS ビットはクリアされたままとなります。

オシレータ モジュールが LP、XT、または HS モードに設定されている場合、オシレータ スタートアップ タイマ (OST) は有効になります (**8.4.1 項「オシレータ スタートアップ タイマ (OST)」**参照)。OST は、1024 回の発振がカウントされるまでプログラム実行を一時停止します。2 段速スタートアップ モードの場合、OST のカウント中は内部オシレータで動作するため、コード実行までの遅延が最小限に抑えられます。OSCSTAT レジスタの OSTS ビットがセットされている場合、OST のカウント回数が 1024 に達すると、プログラムの実行は外部オシレータに切り替わります。

8.7.1 2 段速スタートアップ モードの設定

2 段速スタートアップ モードを有効にするには、次のように設定します。

- コンフィギュレーション ワード レジスタ 1 の IESO (内部 / 外部スイッチオーバ) ビット = 1 に設定して、2 段速スタートアップ モードを有効にする。
- OSCCON レジスタの SCS ビット= 00 に設定する。
- コンフィギュレーション ワード レジスタ 1 (CONFIG1) の FOSC<2:0> ビットを LP、XT、HS のいずれかのモードに設定する。

これにより、次のいずれかの場合に 2 段速スタートアップ モードに入ります。

- パワーオン リセット (POR) 後。ただしパワーアップ タイマ (PWRT) が有効な場合は、PWRT のタイムアウト後。
- スリープからのウェイクアップ後。

外部クロック オシレータが LP、XT、HS 以外のモードに設定されている場合、2 段速スタートアップは無効となります。これは外部クロック オシレータが、POR 後またはスリープからのウェイクアップ後は、安定化時間を必要としないためです。

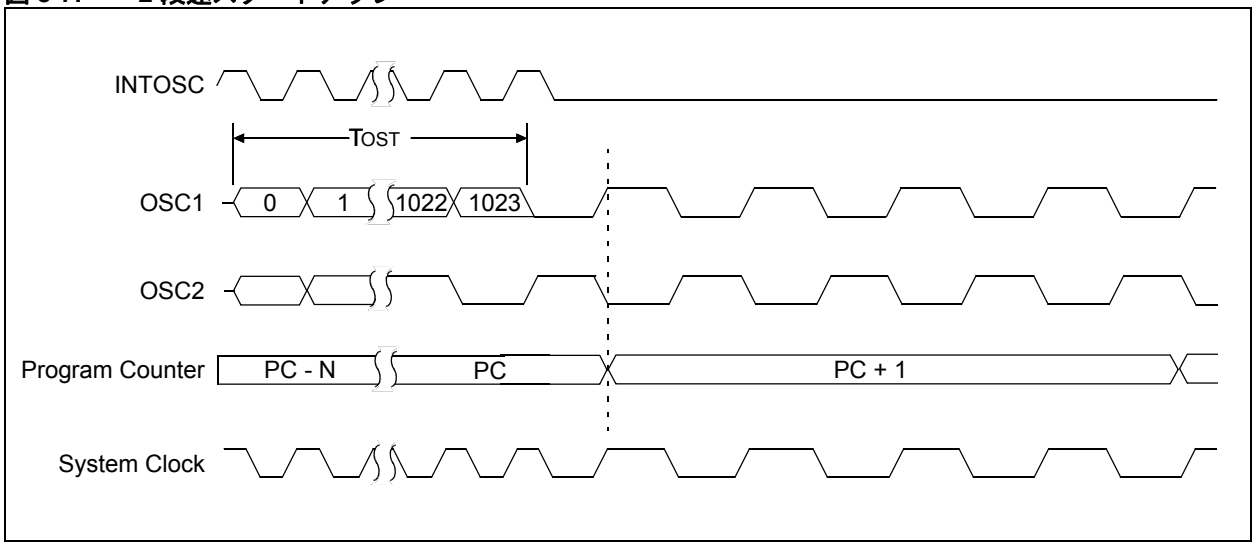
8.7.2 2 段速スタートアップのシーケンス

1. パワーオン リセットまたはスリープからウェイアップする。
2. OSCCON レジスタの IRCF<3:0> ビットで設定した周波数の内部オシレータで、命令が実行される。
3. OST が有効になり、1024 クロック サイクルをカウントする。
4. OST がタイムアウトとなり、内部オシレータの立ち下がりエッジを待機する。
5. OSTS がセットされる。
6. 新しいクロックの次の立ち下がりエッジまで、システム クロックが Low に保持される (LP、XT、または HS モードの場合)。
7. システム クロックが外部クロック ソースに切り替わる。

8.7.3 2 段速クロック ステータスの確認

OSCSTAT レジスタの OSTS ビットの状態を参照すると、マイクロコントローラがコンフィギュレーション ワード レジスタ 1 (CONFIG1) の FOSC<2:0> ビットで定義した外部クロック ソースで動作、または内部オシレータで動作しているのかを確認できます。

図 8-7: 2 段速スタートアップ

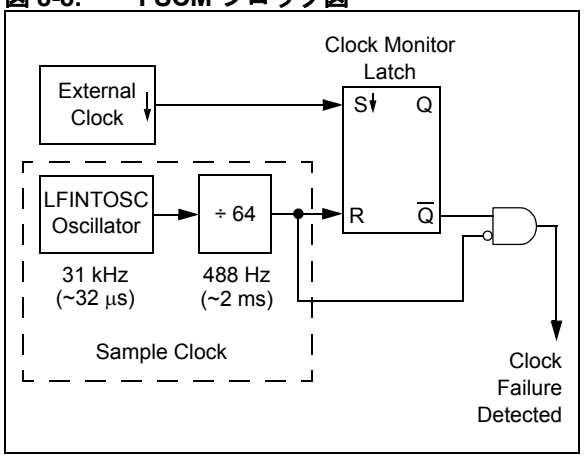


 © 2009 Microchip Technology Inc.

8.8 フェイルセーフ クロック モニタ

フェイルセーフ クロック モニタ (FSCM) により、外部オシレータにエラーが発生してもデバイスは動作を継続できます。オシレータ スタートアップ タイマ (OST) のタイムアウト後であれば、FSCM は随時オシレータのエラーを検出できます。FSCM を有効にするには、コンフィギュレーション ワード レジスタ 1 (CONFIG1) の FCMEN ビットをセットします。FSCM はすべての外部オシレータ モード (LP、XT、HS、EC、Timer1 オシレータ、RC) に適用できます。

図 8-8: FSCM ブロック図



8.8.1 フェイルセーフの検出

FSCM モジュールは、外部オシレータと FSCM サンプル クロックを比較することで、オシレータのエラーを検出します。サンプル クロックは LFINTOSC を 64 分周して生成します (図 8-8 参照)。フェイル検知器ブロックの内部はラッチとなっています。外部クロックの立ち下がりエッジごとに、ラッチがセットされます。そして、サンプル クロックの立ち上がりエッジごとに、ラッチがクリアされます。サンプル クロックが 1/2 サイクル経過しても外部クロックが Low にならない場合は、エラーとして検出されます。

8.8.2 フェイルセーフの動作

外部クロックにエラーが発生すると、FSCM によってデバイス クロックが内部クロック ソースに切り替えられ、PIR2 レジスタの OSFIF フラグ ビットがセットされます。PIE2 レジスタの OSFIE ビットもセットされている場合に OSFIF フラグがセットされると、割り込みが発生します。この時点で、デバイスのファームウェアが、エラー クロックによる影響を緩和するステップを開始します。デバイス ファームウェアが外部オシレータを正常に再起動し、再び外部クロック動作に切り替えるまでの間、システムは内部クロック ソースで動作を継続します。

FSCM によって選択される内部クロック ソースは、OSCCON レジスタの IRCF<3:0> ビットで決定します。このため、エラー発生前に内部オシレータが設定できます。

8.8.3 フェイルセーフ状態の解消

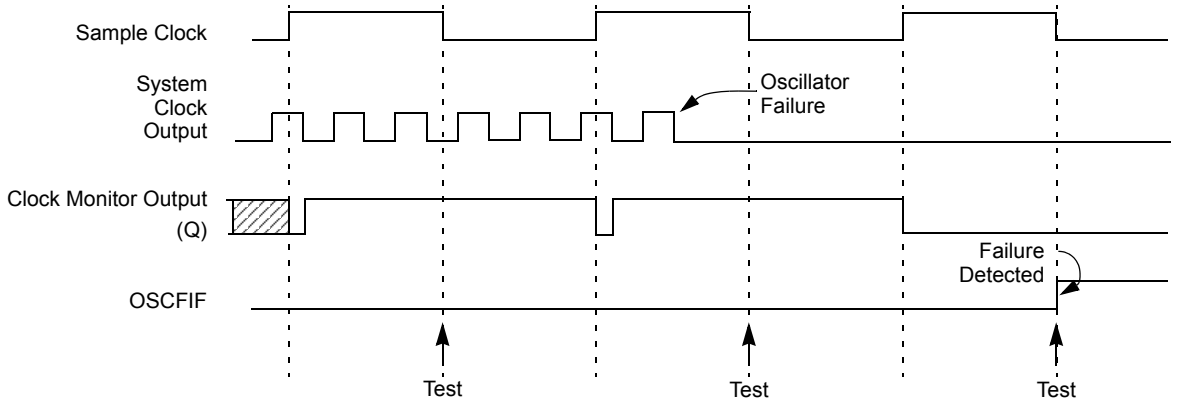
フェイルセーフ状態は、リセット、SLEEP 命令の実行、OSCCON レジスタの SCS ビットの変更のいずれかで解消されます。SCS ビットが変更されると OST が再開します。OST 実行中、デバイスは OSCCON レジスタで選択した INTOSC で動作を継続します。OST がタイムアウトになると、フェイルセーフ状態が解消され、デバイスは外部クロック ソースで動作します。フェイルセーフ状態は、OSFIF フラグをクリアする前に解消される必要があります。

8.8.4 リセットまたはスリープからのウェイクアップ

FSCM は、オシレータ スタートアップ タイマ (OST) のタイムアウト後にオシレータのエラーを検出できるように設計されています。スリープからのウェイクアップ後、またはすべてのタイプのリセット後に、OST が実行されます。EC または RC クロック モードの場合、OST は実行されないため、リセット後またはウェイアップ完了後すぐに FSCM がアクティブになります。FSCM が有効になると、2 段速スタートアップも有効になります。このため、デバイスは OST 動作中でも常にコードを実行できます。

> **注 :** オシレータによってスタートアップ時間が大きく異なるため、オシレータがスタートアップ中は (リセットまたはスリープからのウェイクアップ後)、フェイルセーフ回路はアクティブになりません。一定時間経過後、OSCSTAT レジスタのステータス ビットを参照してオシレータ スタートアップの状態を確認し、システム クロックのスイッチオーバが正常終了したかどうか確認してください。

図 8-9: FSCM のタイミング図



注 : 通常、システム クロックはサンプル クロックよりもはるかに高周波数です。この図では、2 つの周波数の相対関係を示しています。

表 8-2: クロック ソース関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
CONFIG1(2)	$\overline{CPD}$	$\overline{CP}$	MCLRE	$\overline{PWRTE}$	WDTE	FOSC2	FOSC1	FOSC0	126
OSCCON	SPLLEN	IRCF3	IRCF2	IRCF1	IRCF0	—	SCS1	SCS0	108
OSCSTAT	T1OSCR	PLLR	OSTS	HFIOFR	HFIOFL	MFIOFR	LFIOFR	HFIOFS	113
OSCTUNE	—	—	TUN5	TUN4	TUN3	TUN2	TUN1	TUN0	114
PIE2	OSFIE	C2IE	C1IE	EEIE	BCLIE	LCDIE	—	CCP2IE	75
PIR2	OSFIF	C2IF	C1IF	EEIF	BCLIF	LCDIF	—	CCP2IF	78
T1CON	TMR1CS1	TMR1CS0	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	—	TMR1ON	169

記号の説明 : x = 不明、u = 不変、－ = 未実装、「0」として読み出し。網掛けのビットはオシレータでは使用しません。

注 1: パワーアップ以外のリセットには、$\overline{MCLR}$ リセット、および通常動作時のウォッチドッグ タイマ リセットがあります。

2: レジスタの全ビットの機能についてはコンフィギュレーション ワード レジスタ 1 (レジスタ 10-1) を参照してください。

 © 2009 Microchip Technology Inc.

9.0 SR ラッチ

SR ラッチ モジュールには SR ラッチが 1 つ含まれており、複数のセット入力とリセット入力および独立したラッチ出力があります。SR ラッチ モジュールには、次の機能があります。

- プログラム可能な入力選択
- SR ラッチ出力を内部 / 外部で利用可能
- 独立した Q および $\overline{Q}$ 出力
- ファームウェアによるセットおよびリセット

9.1 ラッチの動作

このラッチは、クロック ソースに依存しないセット / リセット ラッチです。セット入力とリセット入力はどちらもアクティブ High です。CxOUT、SRI ピン、または多様なクロックを使用してセット / リセットできます。また、SRCON0 レジスタの SRPS および SRPR ビットを使用して SR ラッチをセット / リセットできます。ラッチはリセットを優先するため、セット入力とリセット入力が同時に High になる場合、ラッチはリセット ステートになります。SRPS ビットと SRPR ビットはどちらも自己リセット型であるため、これらビットのいずれかに 1 回書き込みを実行するだけでラッチのセットまたはリセットが完了します。

9.2 ラッチ出力

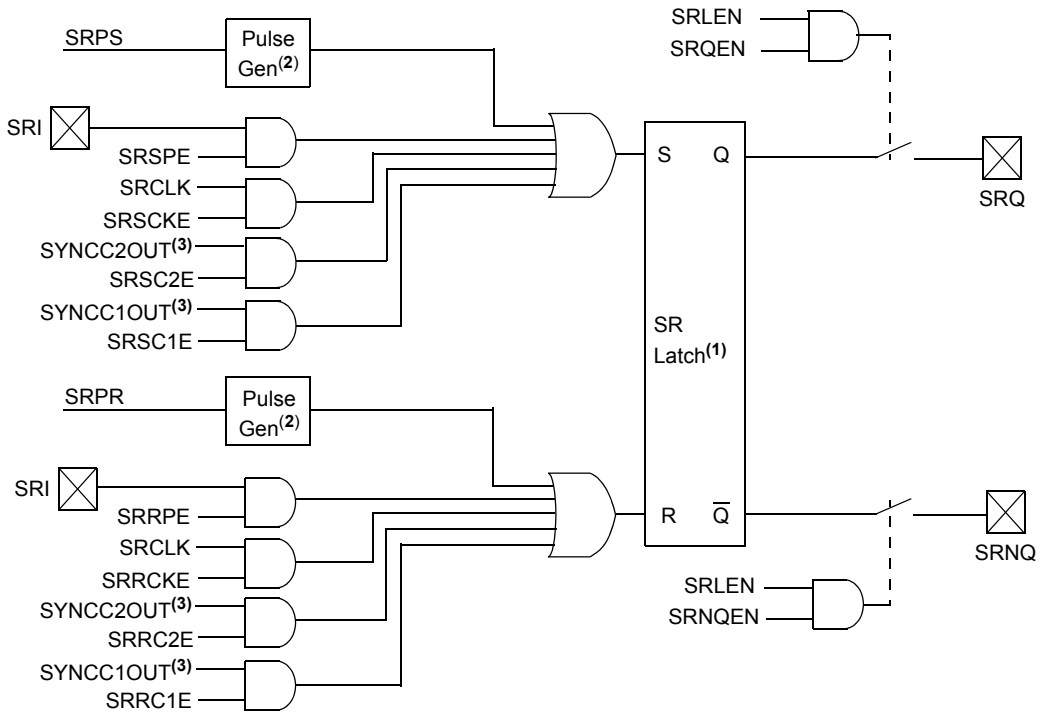
SRCON0 レジスタの SRQEN と SRNQEN が Q および $\overline{Q}$ ラッチ出力を制御します。これらの SR ラッチ出力は、同時に I/O ピンへ直接出力します。

対応するポートの TRIS ビットをクリアして、ポート ピンの出力ドライバを有効にしておく必要があります。

9.3 リセットの影響

デバイスのリセット時に SR ラッチは初期化されません。このため、出力ピンを駆動する前にユーザーのファームウェアがラッチ出力を初期化する必要があります。

図 9-1: SR ラッチの概略ブロック図



注 1: R = 1 かつ S = 1 の場合、Q = 0、$\overline{Q}$ = 1
2: パルス生成器は、1 Q-state のパルス幅を生成します。
3: 名前がコンパレータ出力の接続ポイントを示しています。

表 9-1: SRCLK の周波数表

SRCLK	Divider	Fosc = 32 MHz	Fosc = 20 MHz	Fosc = 16 MHz	Fosc = 4 MHz	Fosc = 1 MHz
111	512	62.5 kHz	39.0 kHz	31.3 kHz	7.81 kHz	1.95 kHz
110	256	125 kHz	78.1 kHz	62.5 kHz	15.6 kHz	3.90 kHz
101	128	250 kHz	156 kHz	125 kHz	31.25 kHz	7.81 kHz
100	64	500 kHz	313 kHz	250 kHz	62.5 kHz	15.6 kHz
011	32	1 MHz	625 kHz	500 kHz	125 kHz	31.3 kHz
010	16	2 MHz	1.25 MHz	1 MHz	250 kHz	62.5 kHz
001	8	4 MHz	2.5 MHz	2 MHz	500 kHz	125 kHz
000	4	8 MHz	5 MHz	4 MHz	1 MHz	250 kHz

レジスタ 9-1: SRCON0: SR ラッチ制御 0 レジスタ

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/S-0/0	R/S-0/0
SRLEN	SRCLK2	SRCLK1	SRCLK0	SRQEN	SRNQEN	SRPS	SRPR
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	S = 常にセット

ビット 7 **SRLEN:** SR ラッチ イネーブル ビット
1 = SR ラッチは有効
0 = SR ラッチは無効

ビット 6-4 **SRCLK<2:0>:** SR ラッチ クロック分周ビット
000 = 1 Fosc 幅のパルスを 4 Fosc サイクル クロックごとに生成する
001 = 1 Fosc 幅のパルスを 8 Fosc サイクル クロックごとに生成する
010 = 1 Fosc 幅のパルスを 16 Fosc サイクル クロックごとに生成する
011 = 1 Fosc 幅のパルスを 32 Fosc サイクル クロックごとに生成する
100 = 1 Fosc 幅のパルスを 64 Fosc サイクル クロックごとに生成する
101 = 1 Fosc 幅のパルスを 128 Fosc サイクル クロックごとに生成する
110 = 1 Fosc 幅のパルスを 256 Fosc サイクル クロックごとに生成する
111 = 1 Fosc 幅のパルスを 512 Fosc サイクル クロックごとに生成する

ビット 3 **SRQEN:** SR ラッチ Q 出力イネーブル ビット
SRLEN = 1 の場合 :
1 = Q が SRQ ピンに現れる
0 = Q は内部専用
SRLEN = 0 の場合 :
SR ラッチは無効

ビット 2 **SRNQEN:** SR ラッチ $\overline{Q}$ 出力イネーブル ビット
SRLEN = 1 の場合 :
1 = $\overline{Q}$ が SRnQ ピンに現れる
0 = $\overline{Q}$ は内部専用
SRLEN = 0 の場合 :
SR ラッチは無効

ビット 1 **SRPS:** SR ラッチ ビットのセット入力にパルスを生成
1 = 1 Q-clock サイクル間、入力にパルスを生成
0 = パルスを生成しない 常に「0」が読み出される

ビット 0 **SRPR:** SR ラッチ ビットのリセット入力にパルス生成
1 = 1 Q-clock サイクル間、入力にパルスを生成
0 = パルスを生成しない 常に「0」が読み出される

 © 2009 Microchip Technology Inc.

レジスタ 9-2: SRCON1: SR ラッチ制御 1 レジスタ

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
SRSPE	SRSCKE	SRSC2E	SRSC1E	SRRPE	SRRCKE	SRRC2E	SRRC1E
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **SRSPE:** SR ラッチ ペリフェラル セット イネーブル ビット
1 = SRI ピンのステータスが SR ラッチをセットする
0 = SRI ピンのステータスは SR ラッチに影響しない

ビット 6 **SRSCKE:** SR ラッチ セット クロック イネーブル ビット
1 = SR ラッチのセット入力が SRCLK とパルス同期する
0 = SR ラッチのセット入力が SRCLK とパルス同期しない

ビット 5 **SRSC2E:** SR ラッチ C2 セット イネーブル ビット
1 = C2 コンパレータ出力が SR ラッチをセット
0 = C2 コンパレータ出力は SR ラッチに影響しない

ビット 4 **SRSC1E:** SR ラッチ C1 セット イネーブル ビット
1 = C1 コンパレータ出力が SR ラッチをセット
0 = C1 コンパレータ出力は SR ラッチに影響しない

ビット 3 **SRRPE:** SR ラッチ ペリフェラル リセット イネーブル ビット
1 = SRI ピンが SR ラッチをリセットする
0 = SRI ピンは SR ラッチに影響しない

ビット 2 **SRRCKE:** SR ラッチ リセット クロック イネーブル ビット
1 = SR ラッチのリセット入力が SRCLK とパルス同期する
0 = SR ラッチのリセット入力は SRCLK とパルス同期しない

ビット 1 **SRRC2E:** SR ラッチ C2 リセット イネーブル ビット
1 = C2 コンパレータ出力が SR ラッチをリセット
0 = C2 コンパレータ出力は SR ラッチに影響しない

ビット 0 **SRRC1E:** SR ラッチ C1 リセット イネーブル ビット
1 = C1 コンパレータ出力が SR ラッチをリセット
0 = C1 コンパレータ出力は SR ラッチに影響しない

ノート：

 © 2009 Microchip Technology Inc.

10.0 デバイス コンフィギュレーション

デバイス コンフィギュレーションには、コンフィギュレーション ワード 1 レジスタ、コンフィギュレーション ワード 2 レジスタ、コード プロテクション、およびデバイス ID があります。

10.1 コンフィギュレーション ワード

さまざまなコンフィギュレーション ワード ビットによって、異なるオシレータの選択やメモリ プロテクション オプションの使用が可能になります。これらは、コンフィギュレーション ワード 1 レジスタ (8007h) およびコンフィギュレーション ワード 2 レジスタ (8008h) としてインプリメントされています。

レジスタ 10-1: コンフィギュレーション ワード 1

R/P-1/1	R/P-1/1	R/P-1/1	R/P-1/1	R/P-1/1	R/P-1/1	R/P-1/1
FCMEN	IESO	$\overline{\text{CLKOUTEN}}$	BOREN1	BOREN0	$\overline{\text{CPD}}$	$\overline{\text{CP}}$
bit 13						bit 7

R/P-1/1	R/P-1/1	R/P-1/1	R/P-1/1	R/P-1/1	R/P-1/1	R/P-1/1
MCLRE	$\overline{\text{PWRTE}}$	WDTE1	WDTE0	FOSC2	FOSC1	FOSC0
bit 6						bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 13 **FCMEN:** フェイルセーフ クロック モニタ イネーブル ビット
1 =フェイルセーフ クロック モニタは有効
0 =フェイルセーフ クロック モニタは無効

ビット 12 **IESO:** 内部 / 外部スイッチオーバ ビット
1 = 内部 / 外部スイッチオーバ モードが有効
0 = 内部 / 外部スイッチオーバ モードは無効

ビット 11 **$\overline{\text{CLKOUTEN}}$:** クロック出力イネーブル ビット
1 = CLKOUT 機能は無効。I/O または RA6/CLKOUT のオシレータ機能
0 = CLKOUT 機能が RA6/CLKOUT で有効

ビット 10-9 **BOREN<1:0>:** ブラウンアウト リセット イネーブル ビット (1)
11 = BOR は有効
10 = BOR は、動作時に有効となりスリープ時は無効となる
01 = PCON レジスタの SBOREN ビットで BOR を制御
00 = BOR は無効

ビット 8 **$\overline{\text{CPD}}$:** データ コード プロテクション ビット (2)
1 = データ メモリのコード プロテクションは無効
0 = データ メモリのコード プロテクションは有効

ビット 7 **$\overline{\text{CP}}$:** コード プロテクション ビット (3)
1 = プログラム メモリのコード プロテクションは無効
0 = プログラム メモリのコード プロテクションは有効

ビット 6 **MCLRE:** RE3/$\overline{\text{MCLR}}$/V_{PP} ピン機能選択ビット
LVP ビット = 1 の場合 :
このビットは無視される
LVP ビット = 0 の場合 :
1 = RE3/$\overline{\text{MCLR}}$/V_{PP} ピンの機能は、$\overline{\text{MCLR}}$。弱プルアップが有効
0 = RE3/$\overline{\text{MCLR}}$/V_{PP} ピンの機能はデジタル入力。$\overline{\text{MCLR}}$ は内部で無効。弱プルアップは WPUE3 ビットで制御される

ビット 5 **$\overline{\text{PWRTE}}$:** パワーアップ タイマ イネーブル ビット (1)
1 = PWRT は無効
0 = PWRT は有効

ビット 4-3 **WDTE<1:0>:** ウォッチドッグ タイマ イネーブル ビット
11 = WDT は有効
10 = WDT は、動作時に有効となり、スリープ時に無効となる
01 = WDT は、WDTCON レジスタの SWDTEN ビットで制御される
00 = WDT は無効

注 1: ブラウンアウト リセットを有効にしても、パワーアップ タイマは自動的には有効になりません。
2: 消去中にコード プロテクションをオフにすると、データ EEPROM 全体が消去されます。
3: コード プロテクションをオフにすると、プログラム メモリ全体が消去されます。

 © 2009 Microchip Technology Inc.

レジスタ 10-1: コンフィギュレーション ワード 1 (続き)

ビット 2-0 **FOSC<2:0>:** オシレータ選択ビット
111 = ECH: 外部クロック、高電力モード : RA7/OSC1/CLKIN に CLKIN
110 = ECM: 外部クロック、中電力モード : RA7/OSC1/CLKIN に CLKIN
101 = ECL: 外部クロック、低電力モード : RA7/OSC1/CLKIN に CLKIN
100 = INTOSC オシレータ : RA7/OSC1/CLKIN に I/O 機能
011 = EXTRC オシレータ : RA7/OSC1/CLKIN に RC 機能
010 = HS オシレータ : RA6/OSC2/CLKOUT ピンおよび RA7/OSC1/CLKIN に高速水晶 / 振動子
001 = XT オシレータ : RA6/OSC2/CLKOUT ピンおよび RA7/OSC1/CLKIN に水晶 / 振動子
000 = LP オシレータ : RA6/OSC2/CLKOUT ピンおよび RA7/OSC1/CLKIN に低電力水晶 / 振動子

注 1: ブラウンアウト リセットを有効にしても、パワーアップ タイマは自動的には有効になりません。
2: 消去中にコード プロテクションをオフにすると、データ EEPROM 全体が消去されます。
3: コード プロテクションをオフにすると、プログラム メモリ全体が消去されます。

レジスタ 10-2: コンフィギュレーション ワード 2

R/P-1/1	R/P-1/1	U-1	R/P-1/1	R/P-1/1	R/P-1/1	U-1
LVP	$\overline{\text{DEBUG}}$	—	BORV	STVREN	PLLEN	—
bit 13						bit 7

U-1	R/P-1/1	R/P-1/1	U-1	U-1	R/P-1/1	R/P-1/1
—	VCAPEN1	VCAPEN0	—	—	WRT1	WRT0
bit 6						bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 13 **LVP:** 低電圧プログラミング イネーブル ビット **(1)**
1 = 低電圧プログラミングが有効
0 = $\overline{\text{MCLR}}$/VPP で高電圧を使用してプログラミング

ビット 12 **$\overline{\text{DEBUG}}$:** インサーキット デバッガ モード イネーブル
1 = インサーキット デバッガは無効。RB6/ICSPCLK および RB7/ICSPDAT は汎用 I/O ピン
0 = インサーキット デバッガは有効。RB6/ICSPCLK および RB7/ICSPDAT はデバッガ専用。

ビット 11 **未実装 :**「1」として読み出し

ビット 10 **BORV:** ブラウンアウト リセット電圧選択ビット
1 = ブラウンアウト リセット電圧は 1.9V
0 = ブラウンアウト リセット電圧は 2.7V

ビット 9 **STVREN:** スタック オーバーフロー / アンダーフロー リセット イネーブル ビット
1 = スタックのオーバーフローまたはアンダーフローはリセットを発生する
0 = スタックのオーバーフローまたはアンダーフローはリセットを発生しない

ビット 8 **PLLEN:** PLL イネーブル ビット
1 = 4xPLL は有効
0 = 4xPLL は無効

ビット 7-6 **未実装 :**「1」として読み出し

ビット 5-4 **VCAPEN<1:0>:** 電圧レギュレータ キャパシタ イネーブル ビット **(2)**
00 = VCAP は RA0 で有効
01 = VCAP は RA5 で有効
10 = VCAP は RA6 で有効
11 = VCAP ピンにキャパシタはない

ビット 3-2 **未実装 :**「1」として読み出し

ビット 1-0 **WRT<1:0>:** フラッシュ メモリ セルフライト プロテクション ビット
4 kW のフラッシュ メモリ (PIC16F1933/PIC16LF1933 および PIC16F1934/PIC16LF1934 のみ):
11 = 書き込みプロテクションはオフ
10 = 000h - 1FFh は書き込み保護状態、200h - FFFh は EECON 制御によって変更可能
01 = 000h - 7FFh は書き込み保護状態、800h - FFFh は EECON 制御によって変更可能
00 = 000h - FFFh は書き込み保護状態、EECON 制御によって変更可能なアドレスはなし
8 kW のフラッシュ メモリ (PIC16F1936/PIC16LF1936 および PIC16F1937/PIC16LF1937 のみ):
11 = 書き込みプロテクションはオフ
10 = 000h - 1FFh は書き込み保護状態、200h - 1FFFh は EECON 制御によって変更可能
01 = 000h - FFFh は書き込み保護状態、1000h - 1FFFh は EECON 制御によって変更可能
00 = 000h - 1FFFh は書き込み保護状態、EECON 制御によって変更可能なアドレスはなし
16 kW のフラッシュ メモリ (PIC16F1938/PIC16LF1938 および PIC16F1939/PIC16LF1939 のみ):
11 = 書き込みプロテクションはオフ
10 = 000h - 1FFh は書き込み保護状態、200h - 3FFFh は EECON 制御によって変更可能
01 = 000h - 1FFFh は書き込み保護状態、2000h - 3FFFh は EECON 制御によって変更可能
00 = 000h - 3FFFh は書き込み保護状態、EECON 制御によって変更可能なアドレスはなし

注 1: LVP を使用してプログラミング モードに入る場合、LVP ビットを「0」にプログラムできません。
2: PIC16LF193X では「11」として読み出されます。

 © 2009 Microchip Technology Inc.

10.2 コード プロテクション

コード プロテクションは、コンフィギュレーション ワード 1 の $\overline{CP}$ ビットを使用して制御します。コード プロテクションが有効の場合、すべてのプログラム ロケーション (0000h ～ 7FFFh) の読み出しは「0」となり、その後のプログラム メモリ (0000h ～ 7FFFh) への書き込みは無効です。

データ メモリは、メモリ内にあるコード プロテクト ビット ($\overline{CPD}$) を使用して保護されます。データ コード プロテクションが有効 ($\overline{CPD}$ = 0) の場合、すべてのデータ メモリ ロケーションの読み出しは「0」となり、その後のデータ メモリへの書き込みは無効です。プログラム実行中は、データ メモリへのプログラミングおよび読み出し動作が可能です。

ユーザー ID ロケーションおよびコンフィギュレーション ワードは、プロテクション設定に関わらずプログラムおよび読み出し可能です。

10.3 ユーザー ID

ユーザーがチェックサムまたはその他のコード識別番号を格納できる ID ロケーションとして、4 つのメモリ ロケーション (8000h ～ 8003h) が指定されています。これらのロケーションは通常動作中にアクセスできませんが、プログラム / 検証中には読み出しおよび書き込みが可能です。MPLAB® IDE を使用する場合は、ID ロケーションのうち LSB の 7 ビットのみレポートされます。詳細は、『PIC16193X/PIC16LF193X Memory Programming Specification』(DS41360A) を参照してください。

ノート：

 © 2009 Microchip Technology Inc.

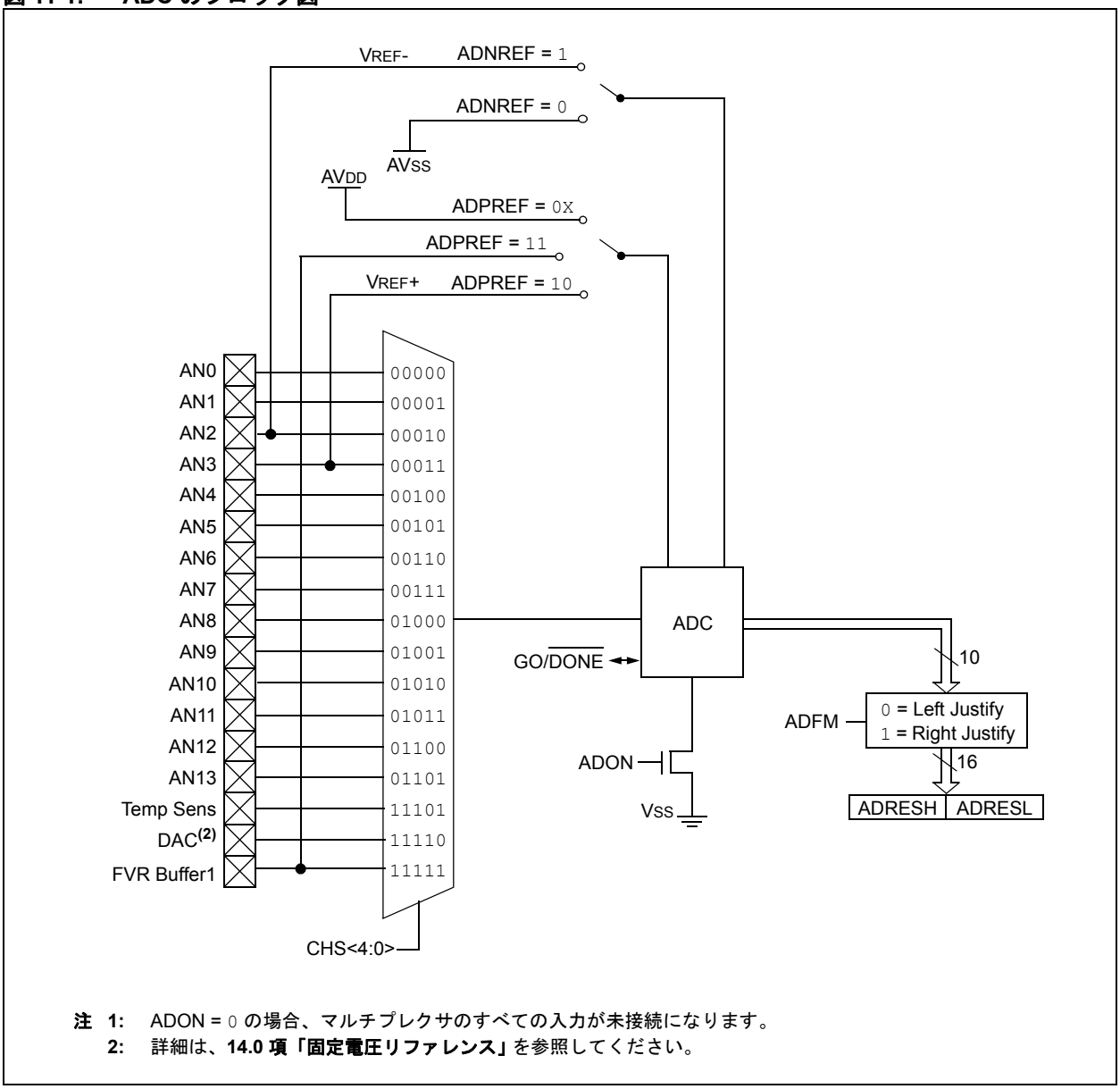
11.0 A/D 変換 (ADC) モジュール

A/D 変換 (ADC) は、アナログ入力信号を 10 ビットのバイナリ表現に変換します。このデバイスでは、1 つのサンプル ホールド回路に多重化されたアナログ入力を使用します。サンプル ホールド回路の出力が A/D 変換の入力に接続されます。A/D 変換は逐次比較方式により 10 ビットのバイナリ値を生成し、この変換結果を ADC の結果レジスタ (ADRES) に格納します。図 11-1 に、ADC のブロック図を示します。

ADC のリファレンス電圧はソフトウェアで選択可能であり、内部で生成または外部から供給のいずれの方法でも可能です。

ADC は、変換完了時に割り込みを生成できます。この割り込みによってデバイスをスリープ モードからウェイクアップできます。

図 11-1: ADC のブロック図



注 1: ADON = 0 の場合、マルチプレクサのすべての入力が未接続になります。
2: 詳細は、**14.0 項「固定電圧リファレンス」**を参照してください。

11.1 ADC の設定

ADC を設定および使用する際は、次の機能を考慮してください。

- ポート設定
- チャネル選択
- ADC 電圧リファレンスの選択
- ADC 変換のクロック ソース
- 割り込み制御
- 結果のフォーマット

11.1.1 ポート設定

ADC は、アナログおよびデジタル信号のいずれの変換にも使用できます。アナログ信号を変換する場合は、該当する TRIS ビットと ANSEL ビットをセットして I/O ピンをアナログに設定する必要があります。詳細は、**6.0 項「I/O ポート」**を参照してください。

注 : デジタル入力として定義されたピンにアナログ電圧を加えると入力バッファに過大な電流が流れることがあります。

11.1.2 チャネル選択

サンプル/ホールド回路にどのチャネルを接続するかを、ADCON0 レジスタの CHS ビットで設定します。

チャネルを変更する際は、次に変換を始める前に遅延が必要です。詳細は、**11.2 項「ADC の動作」**を参照してください。

11.1.3 ADC の電圧リファレンス

ADCON1 レジスタの ADPREF ビットでポジティブ電圧リファレンスを設定します。ポジティブ電圧リファレンスには、次のものがあります。

- VREF+
- AVDD
- FVR (固定電圧リファレンス)

ADCON1 レジスタの ADNREF ビットでネガティブ電圧リファレンスを設定します。ネガティブ電圧参リファレンスには、次のものがあります。

- VREF-
- AVSS

固定電圧リファレンスの詳細は、**14.0 項「固定電圧リファレンス」**を参照してください。

11.1.4 変換クロック

変換クロックのソースは、ADCON1 レジスタの ADCS ビットを使用してソフトウェアで選択できます。クロックは次の 7 種類から選択できます。

- FOSC/2
- FOSC/4
- FOSC/8
- FOSC/16
- FOSC/32
- FOSC/64
- FRC (専用の内部オシレータ)

1 ビットの変換に必要な時間は TAD と定義されます。図 11-2 に示すように、10 ビット全体の変換には 11.5 TAD の時間が必要です 。

変換を正しく実行するには、適切な TAD の仕様を満たす必要があります。詳細は、**28.0 項「電気的仕様」**の「A/D 変換の要件」を参照してください。表 11-1 では、適切な ADC クロック選択の例を示します。

注 : FRC を使用しない場合、システム クロック周波数を変更すると ADC クロック周波数も変化するため、ADC の結果に悪影響を与えることがあります。

 © 2009 Microchip Technology Inc.

表 11-1: ADC のクロック周期 (TAD) とデバイスの動作周波数

ADC Clock Period (TAD)		Device Frequency (FOSC) Device Frequency (FOSC)					
ADC Clock Source	ADCS<2:0>	32 MHz	20 MHz	16 MHz	8 MHz	4 MHz	1 MHz
Fosc/2	000	62.5ns(2)	100 ns(2)	125 ns(2)	250 ns(2)	500 ns(2)	2.0 µs
Fosc/4	100	125 ns(2)	200 ns(2)	250 ns(2)	500 ns(2)	1.0 µs	4.0 µs
Fosc/8	001	0.5 µs(2)	400 ns(2)	0.5 µs(2)	1.0 µs	2.0 µs	8.0 µs(3)
Fosc/16	101	800 ns	800 ns	1.0 µs	2.0 µs	4.0 µs	16.0 µs(3)
Fosc/32	010	1.0 µs	1.6 µs	2.0 µs	4.0 µs	8.0 µs(3)	32.0 µs(3)
Fosc/64	110	2.0 µs	3.2 µs	4.0 µs	8.0 µs(3)	16.0 µs(3)	64.0 µs(3)
FRC	x11	1.0-6.0 µs(1,4)	1.0-6.0 µs(1,4)	1.0-6.0 µs(1,4)	1.0-6.0 µs(1,4)	1.0-6.0 µs(1,4)	1.0-6.0 µs(1,4)

記号の説明： 網掛けの値は推奨範囲外です。

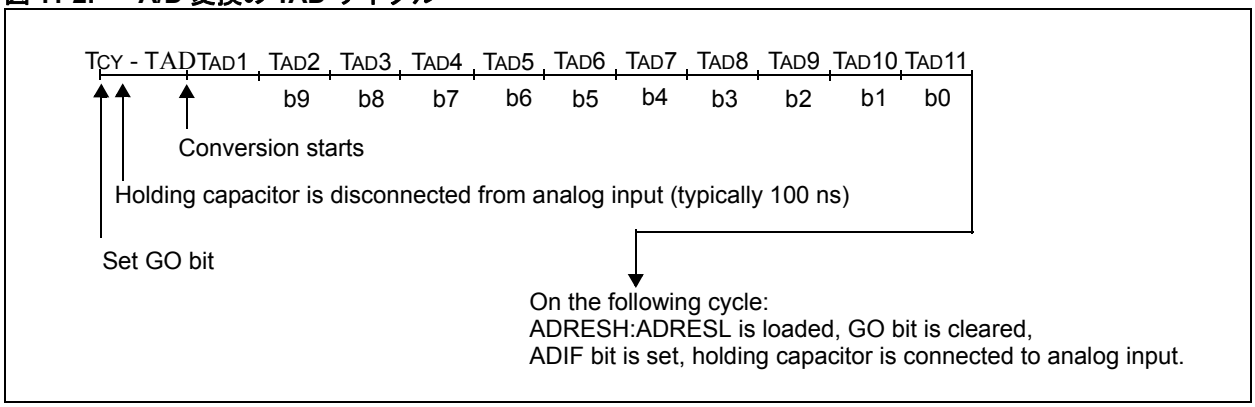
注 1: VDD 3.0V の場合、FRC ソースの TAD 時間は 1.6 µs (標準) です。

2: これらの値は TAD 時間の最小要件を満たしていません。

3: より高速に変換を行うには、別のクロック ソースを選択することを推奨します。

4: デバイスの周波数が 1 MHz より高い場合は、FRC クロック ソースはスリープ時に変換を行う必要がある場合のみ使用を推奨します。

図 11-2: A/D 変換の TAD サイクル



11.1.5 割り込み

ADC モジュールは、A/D 変換完了時に割り込みを生成できます。PIR1 レジスタの ADIF ビットが ADC 割り込みフラグ ビットです。PIE1 レジスタの ADIE ビットが ADC 割り込みイネーブル ビットです。ADIF ビットはソフトウェアでクリアする必要があります。

注 1: ADC 割り込みイネーブルの状態にかかわらず、変換完了時には必ず ADIF ビットがセットされます。

2: FRC オシレータが選択されている場合、ADC はスリープ モード時のみ動作します。

この割り込みは、デバイスの動作中およびスリープ時のいずれでも生成できます。デバイスがスリープ モードの場合、割り込みによってデバイスがウェイクアップします。スリープ モードからウェイクアップすると、SLEEP 命令の次の命令が必ず実行されます。スリープ モードからウェイクアップ後、インライン コード実行を再開させる場合は、INTCON レジスタの GIE および PEIE ビットを無効にしておく必要があります。INTCON レジスタの GIE および PEIE ビットが有効になっていると、実行により割り込みサービス ルーチンに切り替わります。

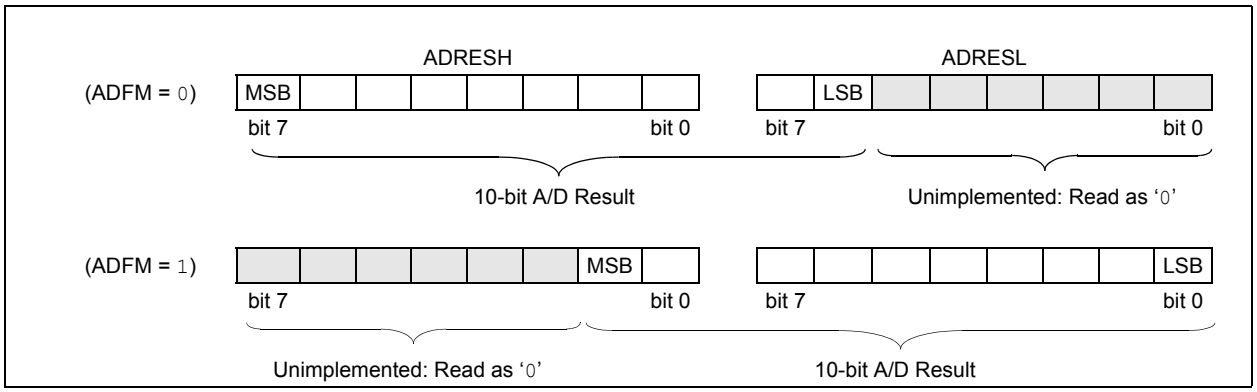
詳細は、**11.1.5 項「割り込み」**を参照してください。

11.1.6 結果のフォーマット

10 ビットの A/D 変換の結果は、右詰めまたは左詰めのいずれかのフォーマットで出力できます。出力フォーマットは、ADCON1 レジスタの ADFM で設定します。

図 11-3 に、2 つの出力フォーマットを示します。

図 11-3: 10 ビット A/D 変換結果のフォーマット



 © 2009 Microchip Technology Inc.

11.2 ADC の動作

11.2.1 変換の開始

ADC モジュールを有効にするには、ADCON0 レジスタの ADON ビットを「1」にセットする必要があります。ADCON0 レジスタの GO/$\overline{\text{DONE}}$ ビットを「1」にセットすると A/D 変換が開始します。

注 : ADC をオンにする命令と同じ命令で GO/$\overline{\text{DONE}}$ ビットをセットしないようにしてください。詳細は **11.2.6 項「AD 変換の手順」**を参照してください。

11.2.2 変換の完了

変換が完了すると、ADC モジュールは次の動作を行います。

- GO/$\overline{\text{DONE}}$ ビットをクリアする
- ADIF 割り込みフラグ ビットをセットする
- ADRESH:ADRESL レジスタに新しい変換結果を書き込む

11.2.3 変換の中止

変換が完了する前に中止する場合は、GO/$\overline{\text{DONE}}$ ビットをソフトウェアでクリアします。ADRESH および ADRESL レジスタは、途中まで完了した A/D 変換サンプルで更新されます。未完了ビットは、変換された最後のビットに一致します。

注 : デバイスをリセットすると、すべてのレジスタが強制的にリセット状態に戻ります。このため、ADC モジュールはオフになり、以後の変換はすべて中止されます。

11.2.4 スリープ時の ADC の動作

ADC モジュールはスリープ時にも動作できます。スリープ時に動作させるには、ADC クロック ソースに FRC を設定する必要があります。クロック ソースに FRC を選択した場合、ADC 変換の開始前に 1 命令余分に待機時間が必要です。ここで SLEEP 命令を実行すると、変換時のシステム ノイズを抑えることができます。ADC 割り込みが有効の場合、A/D 変換が完了するとデバイスがスリープ モードからウェイクアップします。ADC 割り込みが無効の場合は、A/D 変換完了後に ADC モジュールがオフになります (ADON ビットはセットされたまま)。

ADC クロック ソースが FRC 以外の場合は、SLEEP 命令によって現在の変換が中断され、ADC モジュールがオフになります (ADON ビットはセットされたまま)。

11.2.5 特殊イベント トリガ

CCP5 モジュールの特殊イベント トリガによって、ソフトウェアで操作せずに ADC を定期的に実行できます。このトリガが発生すると、GO/$\overline{\text{DONE}}$ ビットがハードウェアによってセットされ、Timer1 カウンタが 0 にリセットされます。

特殊イベント トリガを使用した場合、A/D 変換が適切なタイミングで実行されるかどうかは保証されません。このため、ユーザーは ADC のタイミング条件が満たされているかどうか確認する必要があります。

詳細は、**19.0 項「キャプチャ / コンペア /PWM モジュール (ECCP1、ECCP2、ECCP3、CCP4、CCP5)」**を参照してください。

11.2.6 AD 変換の手順

ADC を使用して A/D 変換を行う手順の例を次に示します。

1. ポートを設定する
   - ピン出力ドライバを無効にする (TRIS レジスタ参照)
   - ピンをアナログとして設定する (ANSEL レジスタを参照)
2. ADC モジュールの設定する
   - ADC 変換クロックを選択する
   - 電圧リファレンスを設定する
   - ADC 入力チャネルを選択する
   - ADC モジュールをオンにする
3. ADC 割り込みを設定する (オプション)
   - ADC 割り込みフラグをクリアする
   - ADC 割り込みを有効にする
   - 周辺割り込みを有効にする
   - グローバル割り込みを有効にする (1)
4. 必要なアクイジション時間の経過を待つ (2)
5. GO/$\overline{\text{DONE}}$ ビットをセットして変換を開始する
6. 次のいずれかにより、ADC 変換完了まで待機する
   - GO/$\overline{\text{DONE}}$ ビットをポーリングする
   - ADC 割り込みを待機する (割り込みが有効の場合)
7. ADC の結果を読み出す
8. ADC 割り込みフラグをクリアする (割り込みが有効の場合は必須)

注 1: スリープモードからウェイクアップ後、インライン コード実行を再開する場合は、グローバル割り込みを無効にできます。

2: 詳細は **11.3 項「AD アクイジションの要件」**を参照してください。

例 11-1: AD 変換

```
;This code block configures the ADC
;for polling, Vdd reference, Frc clock
;and AN0 input.
;
;Conversion start & polling for completion
; are included.
;
BANKSEL   ADCON1       ;
MOVLW     B'01110000'  ;ADC Frc clock
MOVWF     ADCON1       ;
BANKSEL   TRISA        ;
BSF       TRISA,0      ;Set RA0 to input
BANKSEL   ANSEL        ;
BSF       ANSEL,0      ;Set RA0 to analog
BANKSEL   ADCON0       ;
MOVLW     B'10000001'  ;Right justify,
MOVWF     ADCON0       ;Vdd Vref, AN0, On
CALL      SampleTime   ;Acquisiton delay
BSF       ADCON0,GO    ;Start conversion
BTFSC     ADCON0,GO    ;Is conversion done?
GOTO      $-1          ;No, test again
BANKSEL   ADRESH       ;
MOVF      ADRESH,W     ;Read upper 2 bits
MOVWF     RESULTHI     ;store in GPR space
BANKSEL   ADRESL       ;
MOVF      ADRESL,W     ;Read lower 8 bits
MOVWF     RESULTLO     ;Store in GPR space
```


© 2009 Microchip Technology Inc.

11.2.7 ADC 関連レジスタの定義

ADC の動作設定には次のレジスタを使用します。

レジスタ 11-1: ADCON0: A/D 制御レジスタ 0

U-0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
—	CHS4	CHS3	CHS2	CHS1	CHS0	GO/$\overline{\text{DONE}}$	ADON
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **未実装 :**「0」として読み出し

ビット 6-2 **CHS<4:0>:** アナログ チャネル選択ビット
00000 =AN0
00001 =AN1
00010 =AN2
00011 =AN3
00100 =AN4
00101 =AN5
00110 =AN6
00111 =AN7
01000 =AN8
01001 =AN9
01010 =AN10
01011 =AN11
01100 =AN12
01101 =AN13
01110 =予約、チャネル接続なし
.
.
.
11100 =予約、チャネル接続なし
11101 =バンドギャップ電圧を使用する温度リファレンス
11110 =DAC 出力 (別名 : CV_{REF} 出力)
11111 =固定電圧参照 (FVR) バッファ 1 出力

ビット 1 **GO/$\overline{\text{DONE}}$:** A/D 変換のステータス ビット
1 = A/D 変換サイクルが進行中。このビットをセットすると、A/D 変換サイクルが開始します。
このビットは、A/D 変換が完了するとハードウェアによって自動的にクリアされます。
0 = A/D 変換完了 (進行中ではない)

ビット 0 **ADON:** ADC イネーブル ビット
1 = ADC が有効
0 = ADC は無効となり、動作電流を消費しない

注 1: 詳細は、**14.0 項「固定電圧リファレンス」**を参照してください。

レジスタ 11-2: ADCON1: A/D 制御レジスタ 1

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	U-0	R/W-0/0	R/W-0/0	R/W-0/0
ADFM	ADCS2	ADCS1	ADCS0	—	ADNREF	ADPREF1	ADPREF0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **ADFM:** A/D 変換結果フォーマット選択ビット
1 = 右詰め。変換結果がロードされる場合、ADRESH の 6 ビット MSB は「0」にセットされる
0 = 左詰め。変換結果がロードされる場合、ADRESL の 6 ビット LSB は「0」にセットされる

ビット 6-4 **ADCS<2:0>:** A/D 変換クロック選択ビット
000 =FOSC/2
001 =FOSC/8
010 =FOSC/32
011 =FRC (専用の RC オシレータから供給されるクロック)
100 =FOSC/4
101 =FOSC/16
110 =FOSC/64
111 =FRC (専用の RC オシレータから供給されるクロック)

ビット 3 **未実装 :**「0」として読み出し

ビット 2 **ADNREF:** A/D ネガティブ電圧リファレンスのコンフィギュレーション ビット
0 = VREF- は AVSS へ接続される
1 = VREF- は外部の VREF- へ接続される

ビット 1-0 **ADPREF<1:0>:** A/D ポジティブ電圧リファレンスのコンフィギュレーション ビット
00 = VREF+ は AVDD へ接続される
01 = 予約
10 = VREF+ は外部の VREF+ へ接続される
11 = VREF+ は内部の固定電圧リファレンスへ接続される

レジスタ 11-3: ADRESH: ADC の結果レジスタの上位 (HIGH) ビット (ADRESH) ADFM = 0

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
ADRES9	ADRES8	ADRES7	ADRES6	ADRES5	ADRES4	ADRES3	ADRES2
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **ADRES<9:2>**: ADC 結果レジスタ ビット
10 ビットの変換結果の上位 8 ビット

 © 2009 Microchip Technology Inc.

レジスタ 11-4: ADRESL: ADC 結果レジスタの下位 (LOW) ビット (ADRESL) ADFM = 0

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
ADRES1	ADRES0	—	—	—	—	—	—
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-6 **ADRES<1:0>**: ADC 結果レジスタ ビット
10 ビット変換結果の下位 2 ビット

ビット 5-0 **予約** : 使用不可

レジスタ 11-5: ADRESH: ADC の結果レジスタの上位 (HIGH) ビット (ADRESH) ADFM = 1

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
—	—	—	—	—	—	ADRES9	ADRES8
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-2 **予約** : 使用不可

ビット 1-0 **ADRES<9:8>**: ADC 結果レジスタ ビット
10 ビット変換結果の上位 2 ビット

レジスタ 11-6: ADRESL: ADC 結果レジスタの下位 (LOW) ビット (ADRESL) ADFM = 1

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
ADRES7	ADRES6	ADRES5	ADRES4	ADRES3	ADRES2	ADRES1	ADRES0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **ADRES<7:0>**: ADC 結果レジスタ ビット
10 ビット変換結果の下位 8 ビット

11.3 AD アクイジションの要件

ADC が仕様どおりの精度を実現するには、電荷ホールド キャパシタ (CHOLD) を入力チャネルの電圧レベルまで完全に充電する必要があります。図 11-4 にアナログ入力モデルを示します。ソース インピーダンス (RS) および内部サンプリング スイッチ (RSS) インピーダンスはキャパシタ CHOLD の充電時間に直接影響します。サンプリング スイッチ (RSS) インピーダンスは、デバイス電圧 (VDD) により変化します (図 11-4 参照)。**アナログ ソースの推奨最大インピーダンスは、10kΩ です。**ソース インピーダンスが低下すると、それに伴ってアクイジション時間が短くなります。アナログ入力チャネルの選択後 (または変更後) には、変換を開始する前に AD アクイジションを実行する必要があります。最小アクイジション時間の計算には式 11-1 を使用できます。この式では、1/2 LSb エラー誤差の適用を前提としています (ADC は 256 ステップ)。1/2 LSb 誤差は、仕様どおりの分解能を ADC で実現する場合の最大許容誤差です。

式 11-1: アクイジション時間の例

Assumptions: Temperature = 50°C and external impedance of 10kΩ 5.0V VDD

$$\begin{aligned} T_{ACQ} &= \text{Amplifier Settling Time} + \text{Hold Capacitor Charging Time} + \text{Temperature Coefficient} \\ &= T_{AMP} + T_C + T_{COFF} \\ &= 2\mu s + T_C + [(\text{Temperature} - 25°C)(0.05\mu s/°C)] \end{aligned}$$

The value for TC can be approximated with the following equations:

$$V_{APPLIED}\left(1 - \frac{1}{(2^{n+1}) - 1}\right) = V_{CHOLD} \quad ;[1]\ V_{CHOLD}\ \text{charged to within 1/2 lsb}$$

$$V_{APPLIED}\left(1 - e^{\frac{-T_C}{RC}}\right) = V_{CHOLD} \quad ;[2]\ V_{CHOLD}\ \text{charge response to}\ V_{APPLIED}$$

$$V_{APPLIED}\left(1 - e^{\frac{-T_C}{RC}}\right) = V_{APPLIED}\left(1 - \frac{1}{(2^{n+1}) - 1}\right) \quad ;\text{combining [1] and [2]}$$

注 : *n* = ADC のビット数を表しています。

Solving for TC:

$$\begin{aligned} T_C &= -C_{HOLD}(R_{IC} + R_{SS} + R_S)\ ln(1/511) \\ &= -10pF(1k\Omega + 7k\Omega + 10k\Omega)\ ln(0.001957) \\ &= 1.12\mu s \end{aligned}$$

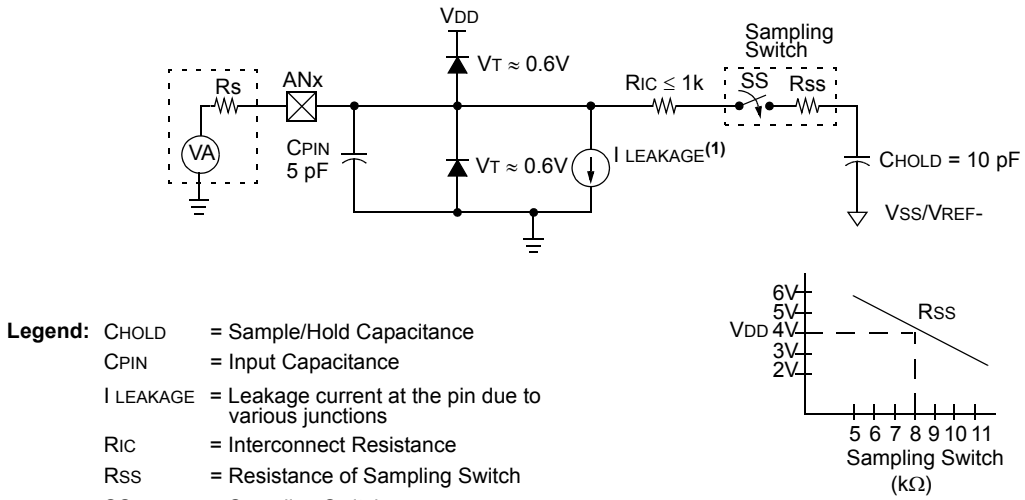
Therefore:

$$\begin{aligned} T_{ACQ} &= 2MS + 1.12MS + [(50°C - 25°C)(0.05MS/°C)] \\ &= 4.42MS \end{aligned}$$

注 1: リファレンス電圧 (VREF) は自己相殺されるため、上式には影響しません。
2: 変換完了のたびに電荷ホールド キャパシタ (CHOLD) を放電する仕組みではありません。
3: アナログ ソースの推奨最大インピーダンスは、10 kΩ です。この値はピンのリーク電流仕様を満たすために必要です。

 © 2009 Microchip Technology Inc.

図 11-4:　アナログ入力モデル



Legend:

CHOLD	= Sample/Hold Capacitance
CPIN	= Input Capacitance
I LEAKAGE	= Leakage current at the pin due to various junctions
RIC	= Interconnect Resistance
RSS	= Resistance of Sampling Switch
SS	= Sampling Switch
VT	= Threshold Voltage

注 1:　28.0 項「電気的仕様」を参照してください。

図 11-5:　ADC の伝達関数

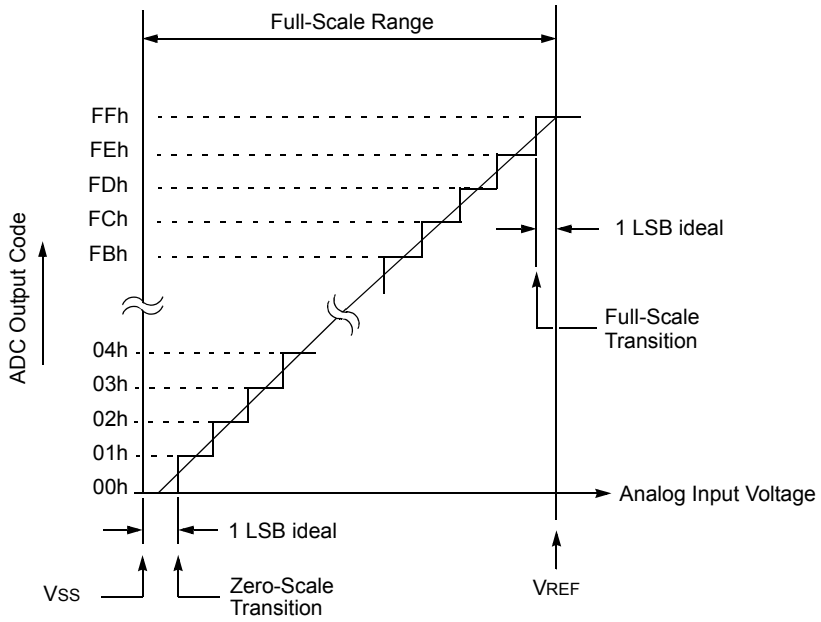


表 11-2: ADC 関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
ADCON0	—	CHS4	CHS3	CHS2	CHS1	CHS0	GO/$\overline{\text{DONE}}$	ADON	137
ADCON1	ADFM	ADCS2	ADCS1	ADCS0	—	ADNREF	ADPREF1	ADPREF0	138
ADRESH	A/D Result Register High								138
ADRESL	A/D Result Register Low								139
ANSELA	—	—	ANSA5	ANSA4	ANSA3	ANSA2	ANSA1	ANSA0	86
ANSELB	—	—	ANSB5	ANSB4	ANSB3	ANSB2	ANSB1	ANSB0	91
ANSELE	—	—	—	—	—	ANSE2	ANSE1	ANSE0	101
CCP2CON	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	184
INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	86
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	91
TRISE	—	—	—	—	TRISE3	TRISE2	TRISE1	TRISE0	101
FVRCON	FVREN	FVRRDY	TSEN	TSRNG	CDAFVR1	CDAFVR0	ADFVR1	ADFVR0	156
DACCON0	DACEN	DACLPS	DACOE	---	DACPSS1	DACPSS0	---	DACNSS	153
DACCON1	---	---	---	DACR4	DACR3	DACR2	DACR1	DACR0	153

記号の説明： x = 不明。u = 不変。－ = 未実装、「0」として読み出し。q = 条件により変化する値。網掛けのビットは ADC モジュールでは使用しません。

 © 2009 Microchip Technology Inc.

12.0 コンパレータ モジュール

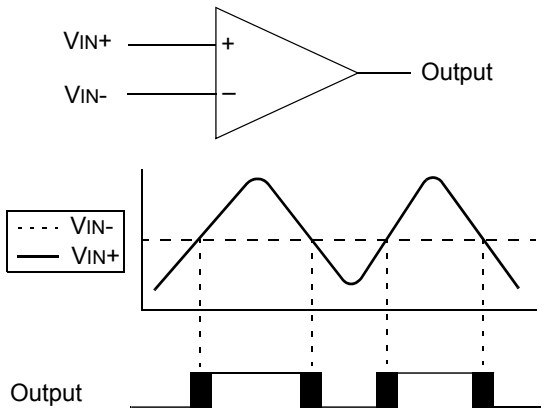
コンパレータは、2 つのアナログ電圧を比較し、その相対的な大きさをデジタル値で表すことでアナログ回路をデジタル回路に接続します。コンパレータはプログラム実行から独立したアナログ機能を提供するため、ミックスド シグナル (アナログ信号とデジタル信号の混在した環境) において、きわめて有用な構成要素となります。アナログ コンパレータ モジュールには、次の機能があります。

- 独立したコンパレータ制御
- プログラム可能な入力選択
- コンパレータ出力を内部 / 外部で利用可能
- プログラム可能な出力極性
- 状態変化割り込み
- スリープからのウェイクアップ
- プログラム可能なスピード / 電力の最適化
- PWM シャットダウン
- プログラム可能および固定の電圧リファレンス

12.1 コンパレータの概要

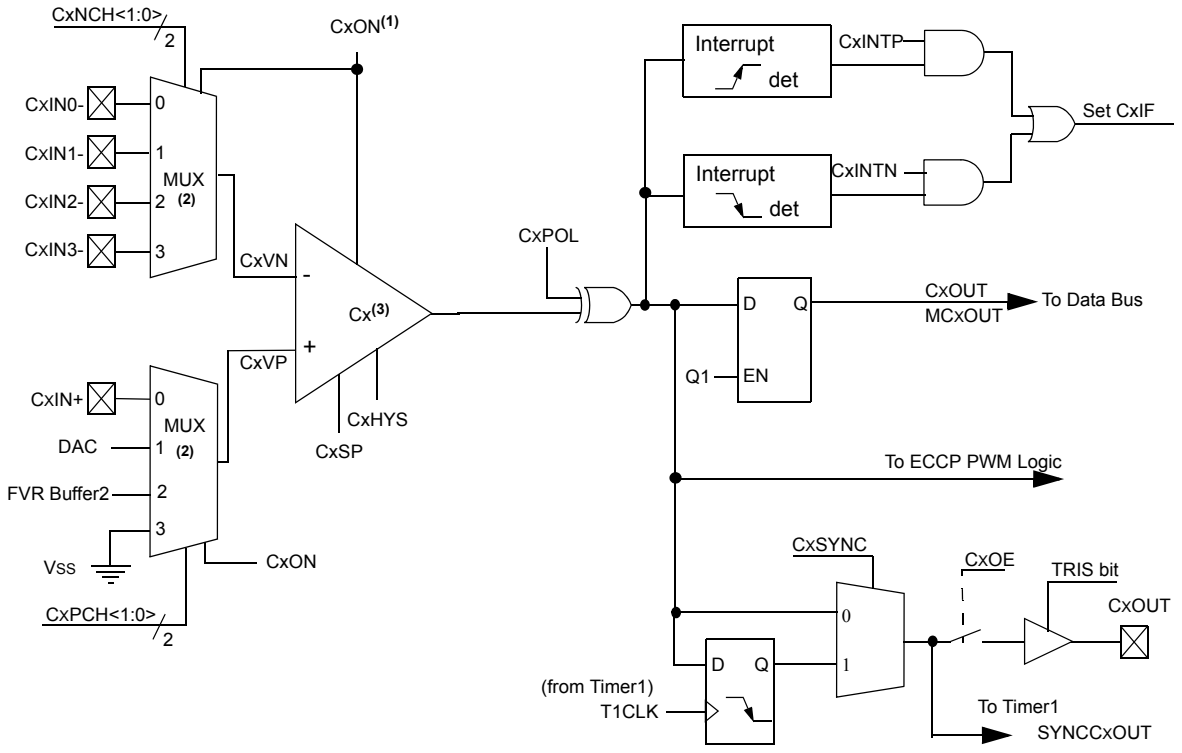
シングル コンパレータ、およびアナログ入力レベルとデジタル出力の関係を図 12-1 に示します。VIN+ のアナログ電圧が VIN- のアナログ電圧よりも低い場合、コンパレータ出力はデジタル Low レベルとなります。VIN+ のアナログ電圧が VIN- のアナログ電圧よりも高い場合、コンパレータ出力は High (デジタル) レベルとなります。

図 12-1: シングル コンパレータ



注 : コンパレータ出力の黒い部分は、入力オフセットやレスポンス タイムによって変動する範囲を表しています。

図 12-2: コンパレータ モジュールの概略ブロック図



注 1: CxON = 0 の場合、コンパレータは出力として「0」を生成します。
2: CxON = 0 の場合、マルチプレクサのすべての入力が未接続になります。
3: デバッグ中、コンパレータの出力は停止できます。

 © 2009 Microchip Technology Inc.

12.2 コンパレータの制御

各コンパレータには、2 つの制御レジスタ (CMxCON0 および CMxCON1) があります。

CMxCON0 レジスタ (レジスタ 12-1 参照) には、次に示す制御ビットおよびステータス ビットがあります。

- イネーブル
- 出力選択
- 出力極性
- スピード / 電力の選択
- ヒステリシス イネーブル
- 出力同期

CMxCON1 レジスタ (レジスタ 12-2 参照) には、次に示す制御ビットがあります。

- 割り込みイネーブル
- 割り込みエッジ極性
- ポジティブ入力チャネル選択
- ネガティブ入力チャネル選択

12.2.1 コンパレータ イネーブル

CMxCON0 レジスタの CxON ビットをセットするとコンパレータの動作が可能になります。CxON ビットをクリアするとコンパレータ動作を無効にして消費電力を最小限に抑えることができます。

12.2.2 コンパレータ出力選択

コンパレータの出力は、CMxCON0 レジスタの CxOUT ビット、または CMOUT レジスタの MCxOUT ビットを読み出すことでモニタできます。出力を外部接続で利用するには、次の条件を満たす必要があります。

- CMxCON0 レジスタの CxOE ビットがセットされていること
- 対応する TRIS ビットがクリアされていること
- CMxCON0 レジスタの CxON ビットがセットされていること

注 1: CxOE ビットは PORT データ ラッチを上書き変更します。CxON をセットしてもポートの変更には影響しません。

2: コンパレータの内部出力は各命令サイクルに合わせてラッチします。特に指定のない限り、外部出力はラッチしません。

12.2.3 コンパレータ出力極性

コンパレータの出力を反転することは、コンパレータの入力を入れ替えることと機能的に等価です。コンパレータ出力の極性は、CMxCON0 レジスタの CxPOL ビットをセットすることで反転できます。CxPOL ビットをクリアすると非反転出力となります。

各入力状態と極性設定の組み合わせにおける出力ステートの一覧を表 12-1 に示します。

表 12-1: コンパレータの各入力状態に対する出力ステート

Input Condition	CxPOL	CxOUT
CxVN > CxVP	0	0
CxVN < CxVP	0	1
CxVN > CxVP	1	0
CxVN < CxVP	1	1

12.2.4 コンパレータのスピード / 電力の選択

CxSP ビットを使用すると、プログラム実行中にスピードと電力のトレードオフが最適化されます。このビットのデフォルトは、標準スピード モードの「1」です。CxSP ビットを「0」にクリアしてコンパレータの伝播遅延を低速化することによって、デバイスの消費電力が最適化されます。

12.3 コンパレータのヒステリシス

各コンパレータの入力ピンに選択可能な分離電圧の大きさを加算することによって、全体動作にヒステリシス機能を提供します。

これらのヒステリシス レベルは、コンパレータのスピード / 電力のモード選択によって異なります。

表 12-2 にヒステリシス レベルを示します。

表 12-2: ヒステリシス レベル

CxSP	CxHYS Enabled	CxHYS Disabled
0	± 3 mV	<< ± 1 mV
1	± 20 mV	± 3 mV

これらのレベルはおよその値です。

詳細は、**28.0 項「電気的仕様」**を参照してください。

12.4 Timer1 のゲート動作

Timer1 のゲート制御ソースとしてコンパレータ動作の結果出力を使用できます。詳細は、**16.6 項「Timer1 ゲート」**を参照してください。この機能は、アナログ イベントの継続期間やインターバルのタイミング調整に有効です。

したがって、コンパレータの出力を Timer1 に同期させることを推奨します。これにより、コンパレータで変更が生じた場合に Timer1 はインクリメントしません。

12.4.1 コンパレータ出力の同期化

コンパレータ C1 または C2 のいずれかの出力を Timer1 と同期化する場合、CMxCON0 レジスタの CxSYNC ビットを設定します。

同期が有効になると、出力が Timer1 ソース クロックの立ち下がりエッジでラッチされます。Timer1 にプリスケーラを使用している場合は、プリスケール機能の後にコンパレータ出力がラッチされます。競合条件を回避するために、コンパレータ出力は Timer1 クロック ソースの立ち下がりエッジでラッチされ、Timer1 はクロック ソースの立ち上がりエッジでインクリメントします。詳細は、コンパレータのブロック図 (図 12-2) および Timer1 のブロック図 (図 16-1) を参照してください。

12.5 コンパレータの割り込み

各コンパレータに立ち上がりエッジ検知器および立ち下がりエッジ検知器があるため、コンパレータの出力値が変更されると割り込みが生成されます。

いずれかのエッジ検知器がトリガされ、各イネーブル ビット (CMxCON1 レジスタの CxINTP および CxINTN のいずれかまたは両方) がセットされると、対応する割り込みフラグ ビット (PIR2 レジスタの CxIF ビット) がセットされます。

割り込みが有効になるには、次のビットがセットされる必要があります。

- CMxCON0 レジスタの CxON、CxPOL および CxSP ビット
- PIE2 レジスタの CxIE ビット
- CMxCON1 レジスタの CxINTP ビット (立ち上がりエッジ検知)
- CMxCON1 レジスタの CxINTN ビット (立ち下がりエッジ検知)
- INTCON レジスタの PEIE および GIE ビット

関連する割り込みフラグ ビット (PIR2 レジスタの CxIF ビット) は、ソフトウェアでクリアされる必要があります。このフラグがクリアされている間に次のエッジが検知された場合、クリア シーケンス後のフラグはセットされた状態になります。

> **注 :** コンパレータが無効の場合でも、CMxCON0 レジスタの CxPOL ビットを使用して出力極性を変更、または CMxCON0 レジスタの CxON ビットを使用してコンパレータをオン / オフ切り替えすると割り込みが生成されます。

12.6 コンパレータのポジティブ入力選択

CMxCON1 レジスタの CxPCH<1:0> ビットを使用して、内部電圧リファレンスまたはアナログ入力ピンのいずれかをコンパレータの非反転入力へ接続します。

- CxIN+ アナログ ピン
- DAC
- FVR (固定電圧リファレンス)
- AVSS (アナログ グランド)

固定電圧リファレンスモジュールの詳細は、**14.0 項「固定電圧リファレンス」**を参照してください。

CVDAC 入力信号の詳細は、**11.0 項「A/D 変換 (ADC) モジュール」**を参照してください。

コンパレータが無効 (CxON = 0) に設定されている場合は、常にすべてのコンパレータ入力が無効となります。

12.7 コンパレータ ネガティブ入力選択

CMxCON0 レジスタの CxNCH<1:0> ビットを使用して、4 つのアナログ ピンのいずれかをコンパレータ反転入力へ接続します。

> **注 :** CxIN+ ピンと CxINx- ピンをアナログ入力として使用するには、ANSEL レジスタの該当するビットをセットするとともに、対応する TRIS ビットもセットして出力ドライバを無効にする必要があります。

 © 2009 Microchip Technology Inc.

12.8 コンパレータのレスポンス タイム

入力ソースの変更後や新しいリファレンス電圧の選択後に、コンパレータの出力が不定となる時間があります。この時間のことを、レスポンス タイムと呼びます。コンパレータのレスポンス タイムは、電圧リファレンスのセトリング時間とは異なります。したがって、コンパレータの入力の変化に対する総レスポンス タイムを決定する際は、コンパレータのレスポンス タイムと電圧リファレンスのセトリング時間の両方を考慮する必要があります。詳細は、**28.0 項「電気的仕様」**のコンパレータと電圧リファレンスの仕様を参照してください。

12.9 ECCP ロジックとの相互関係

C1 および C2 コンパレータは、汎用コンパレータとして使用できます。これらの出力は、C1OUT ピンおよび C2OUT ピンを使用します。ただし、ECCP 自動シャットダウン機能が有効の場合は、これらのコンパレータのいずれかまたは両方を使用します。自動再開機能も有効の場合、コンパレータを ECCP へのクローズド ループ アナログ フィードバックとして設定できるため、アナログ制御の PWM を作成できます。

12.10 アナログ入力の接続に関する注意点

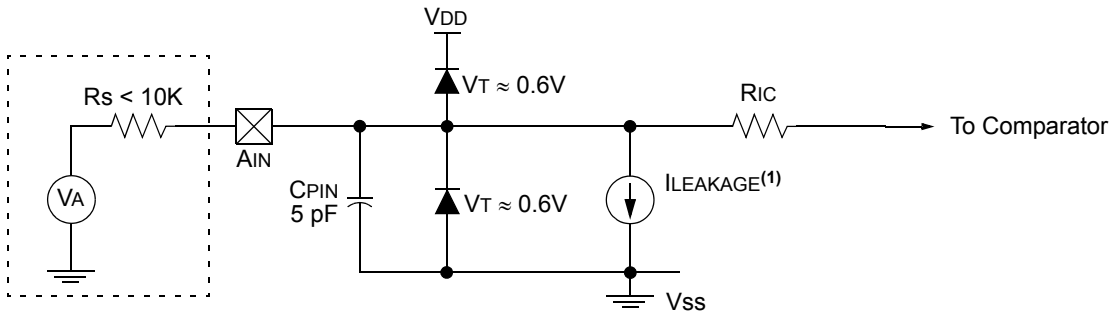
図 12-3 に、アナログ入力の簡単な回路を示します。アナログ入力ピンはデジタル入力と接続を共有しているため、VDD と VSS には、逆バイアスの静電気放電 (ESD) 保護ダイオードが接続されています。このため、アナログ入力は VSS と VDD の間に位置する必要があります。入力電圧がこれらの値を 0.6V 以上に上回るまたは下回ると、片方のダイオードに順バイアスがかかり、ラッチアップが発生する場合があります。

アナログ ソースのソース インピーダンスは、最大 10 kΩ を推奨します。また、コンデンサやツェナー ダイオードなど、アナログ入力ピンに外付け製品を接続する際は、リーク電流が可能な限り最小のものを使用し、精度の低下を最小限にしてください。

注 1: PORT レジスタを読み出す際、アナログ入力として設定されたピンはすべて「0」として読み出されます。デジタル入力として設定されたピンは、入力仕様に基づいてアナログ入力に変換されます。

2: デジタル入力として定義されたピンにアナログ電圧を加えると、入力バッファに仕様を超える電流が流れる場合があります。

図 12-3: アナログ入力モデル



Legend: CPIN = Input Capacitance
ILEAKAGE = Leakage Current at the pin due to various junctions
RIC = Interconnect Resistance
RS = Source Impedance
VA = Analog Voltage
VT = Threshold Voltage

注 1: 28.0 項「電気的仕様」参照

レジスタ 12-1: CMxCON0: コンパレータ X の制御レジスタ 0

R/W-0/0	R-0/0	R/W-0/0	R/W-0/0	U-0	R/W-1/1	R/W-0/0	R/W-0/0
CxON	CxOUT	CxOE	CxPOL	—	CxSP	CxHYS	CxSYNC
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **CxON:** コンパレータ イネーブル ビット
1 = コンパレータが有効で実効電力の消費はない
0 = コンパレータは無効

ビット 6 **CxOUT:** コンパレータ出力ビット
CxPOL = 1 (極性反転) の場合 :
1 = CxVP < CxVN
0 = CxVP > CxVN
CxPOL = 0 (極性非反転) の場合 :
1 = CxVP > CxVN
0 = CxVP < CxVN

ビット 5 **CxOE:** コンパレータ出力イネーブル ビット
1 = CxOUT が CxOUT ピンに現れる。実際にピンを駆動するためには、関連する TRIS ビットをクリアする必要がある。CxON の影響は受けない
0 = CxOUT は内部専用

ビット 4 **CxPOL:** コンパレータ出力極性選択ビット
1 = コンパレータ出力は反転
0 = コンパレータ出力は非反転

ビット 3 **未実装 :**「0」として読み出し

ビット 2 **CxSP:** コンパレータ スピード / 電力の選択ビット
1 = コンパレータは、標準電力の高速モードで動作する
0 = コンパレータは、低電力の低速モードで動作する

ビット 1 **CxHYS:** コンパレータ ヒステリシス イネーブル ビット
1 = コンパレータのヒステリシス機能は有効
0 = コンパレータのヒステリシス機能は無効

ビット 0 **CxSYNC:** コンパレータ出力の同期モードビット
1 = Timer1 および I/O ピンに対するコンパレータ出力は、tmr1_clk の変化に同期する。出力は tmr1_clk の立ち下がりエッジでアップデートされる。
0 = Timer1 および I/O ピンに対してコンパレータ出力は非同期
詳細は図 12-2 を参照してください。

 © 2009 Microchip Technology Inc.

レジスタ 12-2: CMxCON1: コンパレータ CX 制御レジスタ 1

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	U-0	U-0	R/W-0/0	R/W-0/0
CxINTP	CxINTN	CxPCH1	CxPCH0	—	—	CxNCH1	CxNCH0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **CxINTP:** ポジティブ エッジでのコンパレータ割り込みイネーブル ビット
1 = CxOUT ビットのポジティブ エッジで CxIF 割り込みフラグがセットされる
0 = CxOUT ビットのポジティブ エッジでフラグはセットされない

ビット 6 **CxINTN:** ネガティブ エッジでのコンパレータ割り込みイネーブル ビット
1 = CxOUT ビットのネガティブ エッジで CxIF 割り込みフラグがセットされる
0 = CxOUT ビットのネガティブ エッジでフラグはセットされない

ビット 5-4 **CxPCH<1:0>:** コンパレータ ポジティブ入力チャネル選択ビット
00 = CxVP は CxIN+ ピンへ接続
01 = CxVP は CVDAC へ接続
10 = CxVP は FVR 電圧リファレンスへ接続
11 = CxVP は AVSS へ接続

ビット 3-2 **未実装 :**「0」として読み出し

ビット 1-0 **CxNCH<1:0>:** コンパレータ ネガティブ入力チャネル選択ビット
00 = CxVN は CxIN0- ピンへ接続
01 = CxVN は CxIN1- ピンへ接続
10 = CxVN は CxIN2- ピンへ接続
11 = CxVN は CxIN3- ピンへ接続

注 1: コンパレータ出力には、C2OE = 1、C2ON = 1、および対応するポートの TRIS ビット = 0 の 3 つの条件を満たすことが必要です。

レジスタ 12-3: CMOUT: コンパレータ出力レジスタ

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0/0	R/W-0/0
—	—	—	—	—	—	MC2OUT	MC1OUT
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-2 **未実装 :**「0」として読み出し

ビット 1 **MC2OUT:** C2OUT ビットのミラー コピー

ビット 0 **MC1OUT:** C1OUT ビットのミラー コピー

表 12-3:　コンパレータ モジュール関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
CM1CON0	C1ON	C1OUT	C1OE	C1POL	---	C1SP	C1HYS	C1SYNC	148
CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2SP	C2HYS	C2SYNC	148
CM1CON1	C1NTP	C1INTN	C1PCH1	C1PCH0	—	—	C1NCH1	C1NCH0	149
CM2CON1	C2NTP	C2INTN	C2PCH1	C2PCH0	—	—	C2NCH1	C2NCH0	149
CMOUT	—	—	—	—	—	—	MC2OUT	MC1OUT	149
FVRCON	FVREN	FVRRDY	TSEN	TSRNG	CDAFVR1	CDAFVR0	ADFVR1	ADFVR0	156
DACCON0	DACEN	DACLPS	DACOE	—	DACPSS1	DACPSS0	—	DACNSS	153
DACCON1	—	—	—	DACR4	DACR3	DACR2	DACR1	DACR0	153
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PIR2	OSFIF	C2IF	C1IF	EEIF	BCLIF	LCDIF	—	CCP2IF	78
PIE2	OSFIE	C2IE	C1IE	EEIE	BCLIE	LCDIE	—	CCP2IE	75
PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	93
LATC	LATC7	LATC6	LATC5	LATC4	LATC3	LATC2	LATC1	LATC0	93
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94
ANSELA	—	—	ANSA5	ANSA4	ANSA3	ANSA2	ANSA1	ANSA0	86
ANSELB	—	—	ANSB5	ANSB4	ANSB3	ANSB2	ANSB1	ANSB0	91

記号の説明：　－ = 未実装、「0」として読み出し。網掛けのビットはコンパレータ モジュールでは使用しません。

© 2009 Microchip Technology Inc.

13.0 デジタル アナログ変換 (DAC) モジュール

DAC は、選択可能な 32 出力レベルに応じて VDD に比例したさまざまな電圧リファレンスを提供します。DAC 出力を設定して、次のピンへ電圧リファレンスを供給できます。

- コンパレータ ポジティブ入力
- ADC 入力チャネル
- DACOUT デバイス ピン

デジタル アナログ変換 (ADC) を有効化するには、DACCON0 レジスタの DACEN ビットを設定します。

13.1 出力電圧の選択

DAC には 32 の電圧レベルがあります。32 のレベルは、DACCON1 レジスタの DACR<4:0> ビットで設定します。

DAC 出力電圧は次の式で求められます。

式 13-1:

$$V_{OUT} = \left((V_{SOURCE+} - V_{SOURCE-}) \times \frac{DACR<4:0>}{2 \wedge 5} \right) + V_{SOURCE-}$$

$$V_{SOURCE+} = V_{DD}, V_{REF+} \text{ or } FVR1$$

$$V_{SOURCE+} = V_{SS} \text{ or } V_{REF-}$$

13.2 Vss にクランプされた出力

DACCON0 レジスタの DACEN ビットを「0」に設定することによって、DAC 出力電圧は電力を消費しない Vss に接続できます。これにより、DAC モジュールで余分な電流を消費することなく、コンパレータはゼロクロスを検出できます。

13.3 VDD に比例した電圧

DAC は VDD から派生するため、DAC 出力は VDD の変動に合わせて変化します。DAC の検証済み絶対精度については、**28.0 項「電気的仕様」**を参照してください。

13.4 電圧リファレンス出力

DACCON レジスタの DACOE ビットを「1」に設定すると、デバイスの DACOUT ピンが DAC の出力になります。DACOUT ピン出力の電圧リファレンスを選択すると、自動的にそのピンのデジタル出力バッファおよびデジタル入力スレッショルド検知機能が変更 (上書き) されます。電圧リファレンスを設定した DACOUT ピンの読み出しは、常に「0」となります。

電流駆動能力が制限されているため、DACOUT へ外部接続する電圧リファレンス出力にバッファを使用する必要があります。図 13-1 に、バッファリング方法の例を示します。

13.5 スリープ時の動作

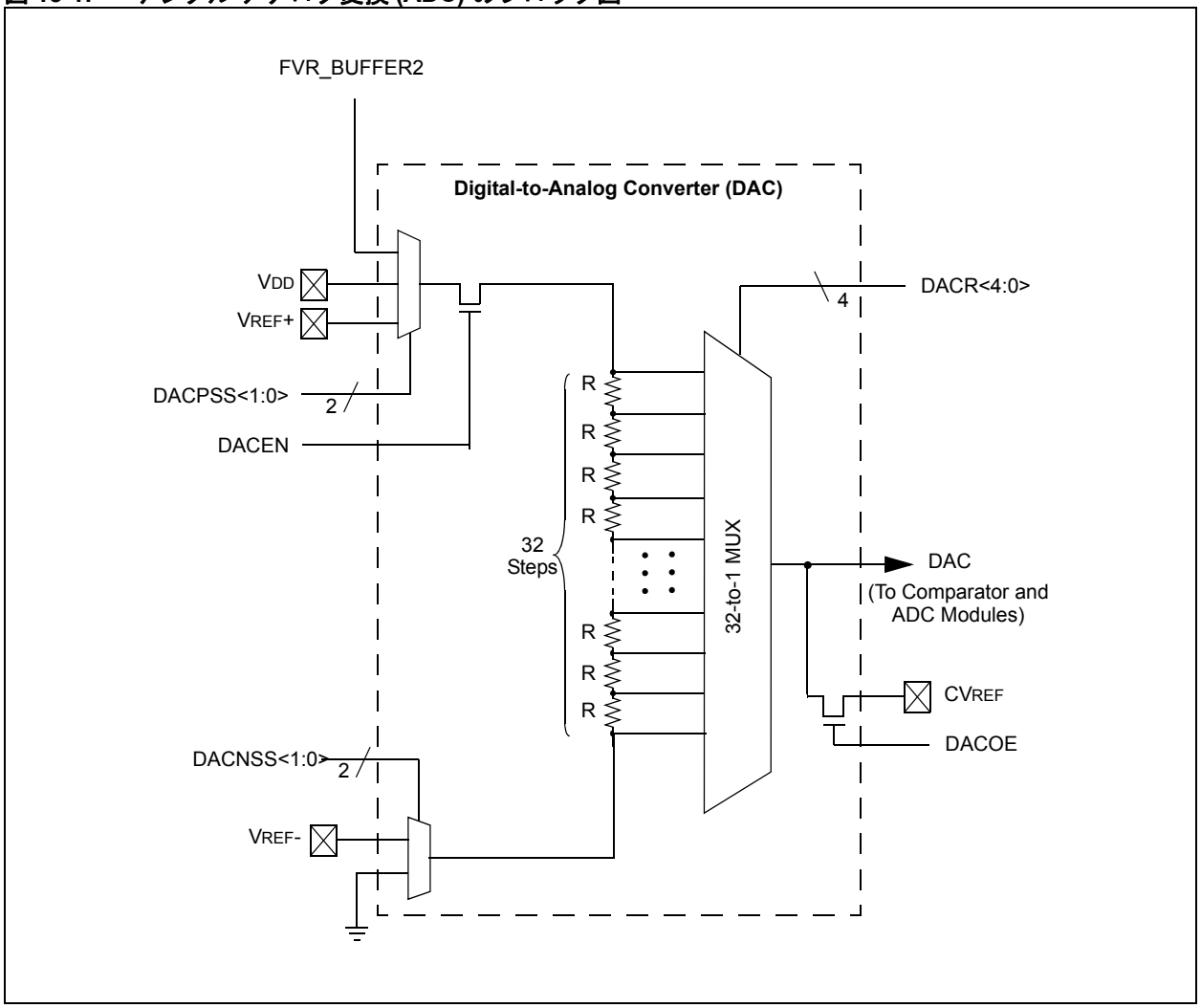
割り込みまたはウォッチドッグ タイマのタイムアウトによって、デバイスがスリープ状態からのウェイクアップする際、DACCON0 レジスタの内容は変更されません。スリープ モード時は、消費電流を最小限に抑えるために電圧リファレンスを無効にしてください。

13.6 リセットの影響

デバイスのリセットは次の影響を与えます。

- 電圧リファレンスが無効になる
- 固定電圧リファレンスが無効になる
- DACOUT ピンから DAC が分離される
- DACR<4:0> 範囲選択ビットがクリアされる

図 13-1:　デジタル アナログ変換 (ADC) のブロック図



© 2009 Microchip Technology Inc.

レジスタ 13-1: DACCON0: 電圧リファレンス制御レジスタ 0

R/W-0/0	R/W-0/0	R/W-0/0	U-0	R/W-0/0	R/W-0/0	U-0	R/W-0/0
DACEN	DACLPS	DACOE	---	DACPSS1	DACPSS0	---	DACNSS
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **DACEN:** DAC イネーブル ビット
0 = DAC は無効
1 = DAC は有効

ビット 6 **DACLPS:** DAC 低電力ステートの選択ビット
0 = V_{DAC} = DAC のネガティブ リファレンス ソースが選択される
1 = V_{DAC} = DAC のポジティブ リファレンス ソースが選択される

ビット 5 **DACOE:** DAC 電圧出力イネーブル ビット
1 = DAC 電圧レベルが DACOUT ピンの出力になる
0 = DAC 電圧レベルは DACOUT ピンから分離される

ビット 4 **未実装 :**「0」として読み出し

ビット 3-2 **DACPSS<1:0>:** DAC ポジティブ ソース選択ビット
00 = V_{DD}
01 = V_{REF+}
10 = FVR1 出力
11 = 予約。使用不可

ビット 1 **未実装 :**「0」として読み出し

ビット 0 **DACNSS:**DAC ネガティブ ソース選択ビット
0 = V_{SS}
1 = V_{REF-}

レジスタ 13-2: DACCON1: 電圧リファレンス制御レジスタ 1

U-0	U-0	U-0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
---	---	---	DACR4	DACR3	DACR2	DACR1	DACR0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-5 **未実装 :**「0」として読み出し

ビット 4-0 **DACR<4:0>:** DAC 電圧出力選択ビット
$V_{OUT} = ((V_{SOURCE+}) - (V_{SOURCE-}))*(DACR<4:0>/(2^5)) + V_{SOURCE-}$

注 1: レジスタ レイアウトを変更せずにいくつでもビットを使用できるようにするため、出力選択ビットは常に右詰めとなります。

表 13-1:　デジタル アナログ変換器関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on page
FVRCON	FVREN	FVRRDY	TSEN	TSRNG	CDAFVR1	CDAFVR0	ADFVR1	ADFVR0	156
DACCON0	DACEN	DACLPS	DACOE	---	DACPSS1	DACPSS0	---	DACNSS	153
DACCON1	---	---	---	DACR4	DACR3	DACR2	DACR1	DACR0	153

記号の説明：　網掛けのビットは DAC では使用しません。

© 2009 Microchip Technology Inc.

14.0 固定電圧リファレンス

固定電圧リファレンス (FVR) は、VDD とは無関係の安定した電圧リファレンスであり、出力レベルを 1.024V、2.048V または 4.096V から選択できます。FVR 出力を設定して、次のピンへリファレンス電圧を供給できます。

- ADC 入力チャネル
- ADC ポジティブ リファレンス
- コンパレータ ポジティブ入力
- プログラム可能な電圧リファレンス
- LCD バイアス ジェネレータ

FVRCON レジスタの FVREN ビットを設定すると FVR を有効にできます。

14.1 独立ゲイン アンプ

ADC モジュールやコンパレータ モジュールへ供給する FVR 出力は、2 つの独立したプログラマブル ゲイン アンプを介します。各アンプでは、リファレンス電圧を 1x 2x または 4x で増幅するように設定できます。

ADC モジュールへ供給するリファレンス電圧のゲイン アンプを有効化 / 設定するには、FVRCON レジスタの ADFVR<1:0> ビットを使用します。適切な入力チャネルの選択については、**11.0 項「A/D 変換 (ADC) モジュール」**を参照してください。

コンパレータ モジュールへ供給するリファレンス電圧のゲイン アンプを有効化および設定するには、FVRCON レジスタの CDAFVR<1:0> ビットを使用します。適切な入力チャネルの選択については、**12.0 項「コンパレータ モジュール」**を参照してください。

14.2 FVR が安定化するまでの期間

固定電圧リファレンス モジュールを有効にした場合、リファレンス回路およびアンプ回路が安定するまでである程度の時間が必要です。回路が安定して使用可能な状態になると、FVRCON レジスタの FVRRDY ビットがセットされます。最小遅延要件の詳細は、**28.0 項「電気的仕様」**を参照してください。

図 14-1: 電圧リファレンスのブロック図

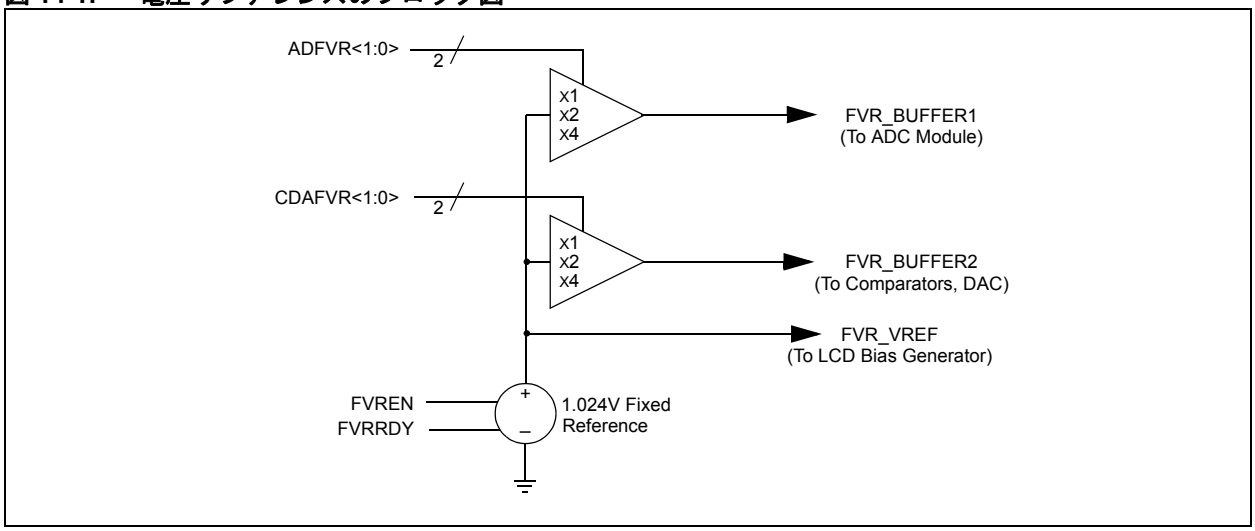
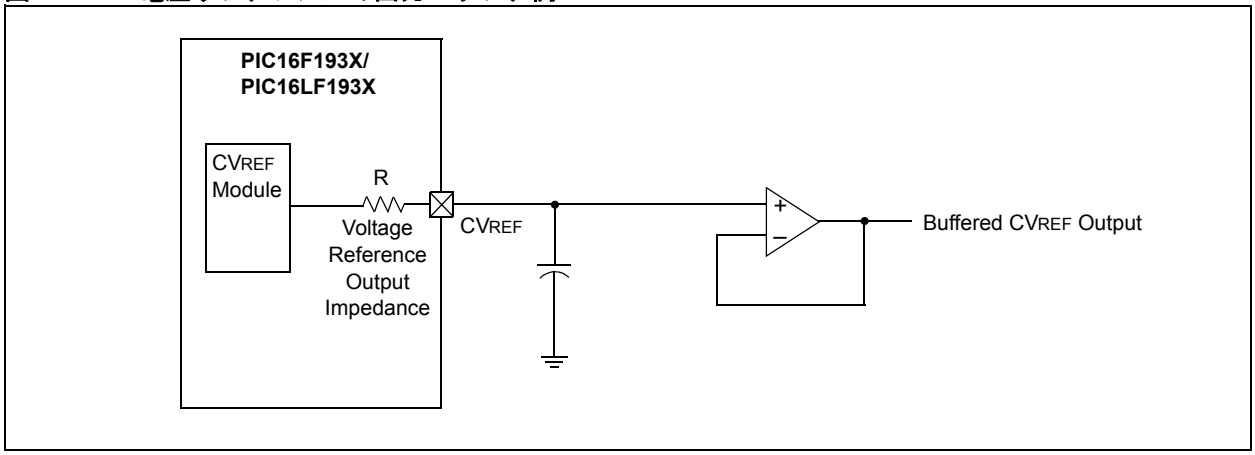


図 14-2: 電圧リファレンスの出力バッファ例



レジスタ 14-1: FVRCON: 固定電圧リファレンス制御レジスタ

R/W-0/0	R-q/q	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
FVREN	FVRRDY(1)	—	—	CDAFVR1	CDAFVR0	ADFVR1	ADFVR0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	q = 条件により異なる

ビット 7 **FVREN:** 固定電圧リファレンス イネーブル ビット
0 = 固定電圧リファレンスは無効
1 = 固定電圧リファレンスは有効

ビット 6 **FVRRDY:** 固定電圧リファレンス レディ フラグ ビット (1)
0 = 固定電圧リファレンス出力は使用不可 (安定していない)
1 = 固定電圧リファレンス出力は使用可能

ビット 5-4 **予約 :**「0」として読み出し。これらのビットは常にクリアされている

ビット 3-2 **CDAFVR<1:0>:** コンパレータおよび D/A コンバータの固定電圧リファレンス選択ビット
00 = コンパレータおよび D/A コンバータの固定電圧リファレンスの周辺モジュール出力はオフ
01 = コンパレータおよび D/A コンバータの固定電圧リファレンスの周辺モジュール出力は 1x (1.024V)
10 = コンパレータおよび D/A コンバータの固定電圧リファレンスの周辺モジュール出力は 2x (2.048V)(2)
11 = コンパレータおよび D/A コンバータの固定電圧リファレンスの周辺モジュール出力は 4x (4.096V)(2)

ビット 1-0 **ADFVR<1:0>:** A/D コンバータの固定電圧リファレンス選択ビット
00 = A/D コンバータの固定電圧リファレンスの周辺モジュール出力はオフ
01 = A/D コンバータの固定電圧リファレンスの周辺モジュール出力は 1x (1.024V)
10 = A/D コンバータの固定電圧リファレンスの周辺モジュール出力は 2x (2.048V)(2)
11 = A/D コンバータの固定電圧リファレンスの周辺モジュール出力は 4x (4.096V)(2)

注 1: 安定したデバイス (PIC16F193X) の場合、FVRRDY は常に「1」が読み出されます。
2: 固定電圧リファレンス出力は、VDD を超えることができません。

表 14-1: 電圧リファレンスに関連するレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on page
FVRCON	FVREN	FVRRDY	TSEN	TSRNG	CDAFVR1	CDAFVR0	ADFVR1	ADFVR0	156

記号の説明 : 網掛けのビットは電圧リファレンスでは使用しません。

© 2009 Microchip Technology Inc.

15.0 TIMER0 モジュール

Timer0 モジュールは 8 ビットのタイマ / カウンタで、次の機能を備えています。

- 8 ビット タイマ / カウンタ レジスタ (TMR0)
- 8 ビット プリスケーラ (ウォッチドッグ タイマから独立)
- プログラム可能な内部または外部クロック ソース
- プログラム可能な外部クロック エッジ選択
- オーバーフロー割り込み
- TMR0 は Timer1 のゲート制御に使用可能

図 15-1 に、Timer0 モジュールのブロック図を示します。

15.1 Timer0 の動作

Timer0 モジュールは、8 ビット タイマまたは 8 ビット カウンタのいずれかとして使用できます。

15.1.1 8 ビット タイマ モード

プリスケーラを使用しない場合、Timer0 モジュールは 1 命令サイクルごとにインクリメントします。8 ビットのタイマ モジュールを選択するには、OPTION レジスタの TMR0CS ビットをクリアします。

TMR0 に書き込みが実行されると、書き込み直後の 2 命令サイクル間はインクリメントが禁止されます。

注 : TMR0 への書き込み後の 2 命令サイクル間の遅延は、TMR0 レジスタに書き込む値を調整することで補正できます。

15.1.2 8 ビット カウンタ モード

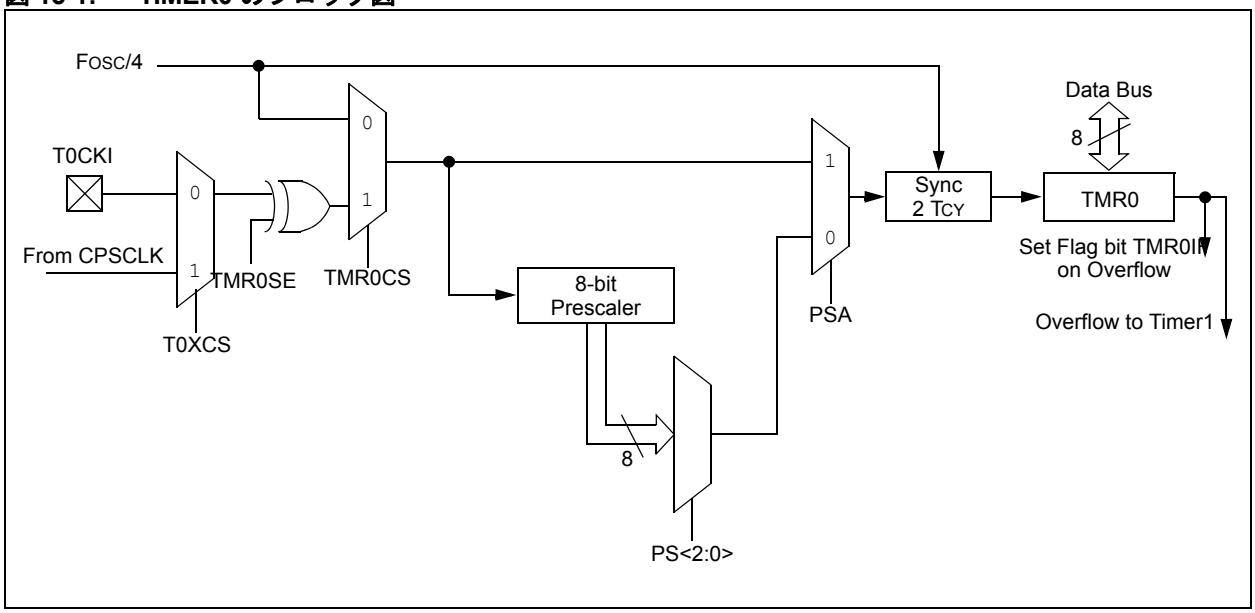
8 ビット カウンタ モードの場合、Timer0 モジュールは T0CKI ピンまたは CPSCLK (容量検知オシレータ) 信号の立ち上がりエッジまたは立ち下がりエッジでインクリメントします。

T0CKI ピンを使用する 8 ビット カウンタを選択する場合は、OPTION レジスタの TMR0CS ビットを「1」にセットし、CPSCON0 レジスタの T0XCS ビットを「0」にリセットしてください。

容量検知オシレータ (CPSCLK) 信号を使用する 8 ビット カウンタを選択する場合は、OPTION レジスタの TMR0CS ビットを「1」にセットし、CPSCON0 レジスタの T0XCS ビットを「1」にセットしてください。

立ち上がりエッジと立ち下がりエッジのいずれでインクリメントするかは、OPTION レジスタの TMR0SE ビットで選択されます。

図 15-1: TIMER0 のブロック図



15.1.3 ソフトウェアでプログラム可能なプリスケーラ

ソフトウェアでプログラム可能なプリスケーラは、Timer0 専用として使用できます。OPTION レジスタの PSA ビットをクリアすると、プリスケーラが有効になります。

注 : ウォッチドッグ タイマ (WDT) は、独自の単体プリスケーラを使用します。

Timer0 モジュールのプリスケーラは、1:2 から 1:256 までの 8 種類の設定が可能であり、プリスケール値は、OPTION レジスタの PS<2:0> ビットで選択します。Timer0 モジュールにプリスケーラ値を 1:1 として設定するには、OPTION レジスタの PSA ビットをセットしてプリスケーラを無効にする必要があります。

プリスケーラ値の読み出し/書き込みはできません。TMR0 レジスタに対するすべての書き込み命令は、プリスケーラをクリアします。

15.1.4 TIMER0 の割り込み

TMR0 レジスタが FFh から 00h にオーバーフローすると、Timer0 は割り込みを発生します。Timer0 の割り込みの許可 / 未許可に関わらず、TMR0 レジスタがオーバーフローするたびに、INTCON レジスタの TMR0IF 割り込みフラグ ビットがセットされます。TMR0IF ビットは、ソフトウェアでのみクリアできます。Timer0 の割り込みを許可するには、INTCON レジスタの TMR0IE ビットをセットします。

注 : スリープ時はタイマが停止しているため、Timer0 の割り込みでプロセッサをスリープからウェイクアップはできません。

15.1.5 8 ビット カウンタ モードの同期化

8 ビット カウンタ モードの場合、インクリメントする T0CKI ピンのクロック エッジが命令クロックに同期している必要があります。同期化は、命令クロックの Q2 および Q4 サイクルでプリスケーラ出力をサンプリングすることによって完了します。したがって、外部クロック ソースの High と Low の周期がタイミング要件を満たす必要があります (**28.0 項「電気的仕様」**を参照)。

15.1.6 スリープ時の動作

プロセッサがスリープ モードの場合、Timer0 は動作できません。この間、TMR0 レジスタの内容は変更されません。

 © 2009 Microchip Technology Inc.

レジスタ 15-1: OPTION_REG: OPTION レジスタ

R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1
$\overline{\text{WPUEN}}$	INTEDG	TMR0CS	TMR0SE	PSA	PS2	PS1	PS0
bit 7							bit 0

記号の説明：		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **$\overline{\text{WPUEN}}$:** 弱プルアップ イネーブル ビット
1 = すべての弱プルアップを無効にする ($\overline{\text{MCLR}}$ が有効の場合、MCLR は例外)
0 = 各 WPUx ラッチの値で弱プルアップを有効にする

ビット 6 **INTEDG:** 割り込みエッジ選択ビット
1 = RB0/INT ピンの立ち上がりエッジで割り込み
0 = RB0/INT ピンの立ち下がりエッジで割り込み

ビット 5 **TMR0CS:** Timer0 のクロック ソース選択ビット
1 = RA4/T0CKI ピンの遷移
0 = 内部命令サイクル クロック (FOSC/4)

ビット 4 **TMR0SE:** Timer0 ソース エッジ選択ビット
1 = RA4/T0CKI ピンの High から Low への遷移でインクリメント
0 = RA4/T0CKI ピンの Low から High への遷移でインクリメント

ビット 3 **PSA:** プリスケーラ割り当てビット
1 = プリスケーラを WDT に割り当て
0 = プリスケーラを Timer0 モジュールに割り当て

ビット 2-0 **PS<2:0>:** プリスケーラ レート選択ビット

Bit Value	Timer0 Rate
000	1 : 2
001	1 : 4
010	1 : 8
011	1 : 16
100	1 : 32
101	1 : 64
110	1 : 128
111	1 : 256

表 15-1: TIMER0 関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
CPSCON0	CPSON	—	—	—	CPSRNG1	CPSRNG0	CPSOUT	T0XCS	180
INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	73
OPTION_REG	$\overline{\text{WPUEN}}$	INTEDG	TMR0CS	TMR0SE	PSA	PS2	PS1	PS0	51
TMR0	Timer0 Module Register								157*
TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	86

記号の説明： ― = 未実装、「0」として読み出し。u = 不変。x = 不明。網掛けのビットは Timer0 モジュールでは使用しません。
* このページにはレジスタ情報が記載されています。

ノート：

 © 2009 Microchip Technology Inc.

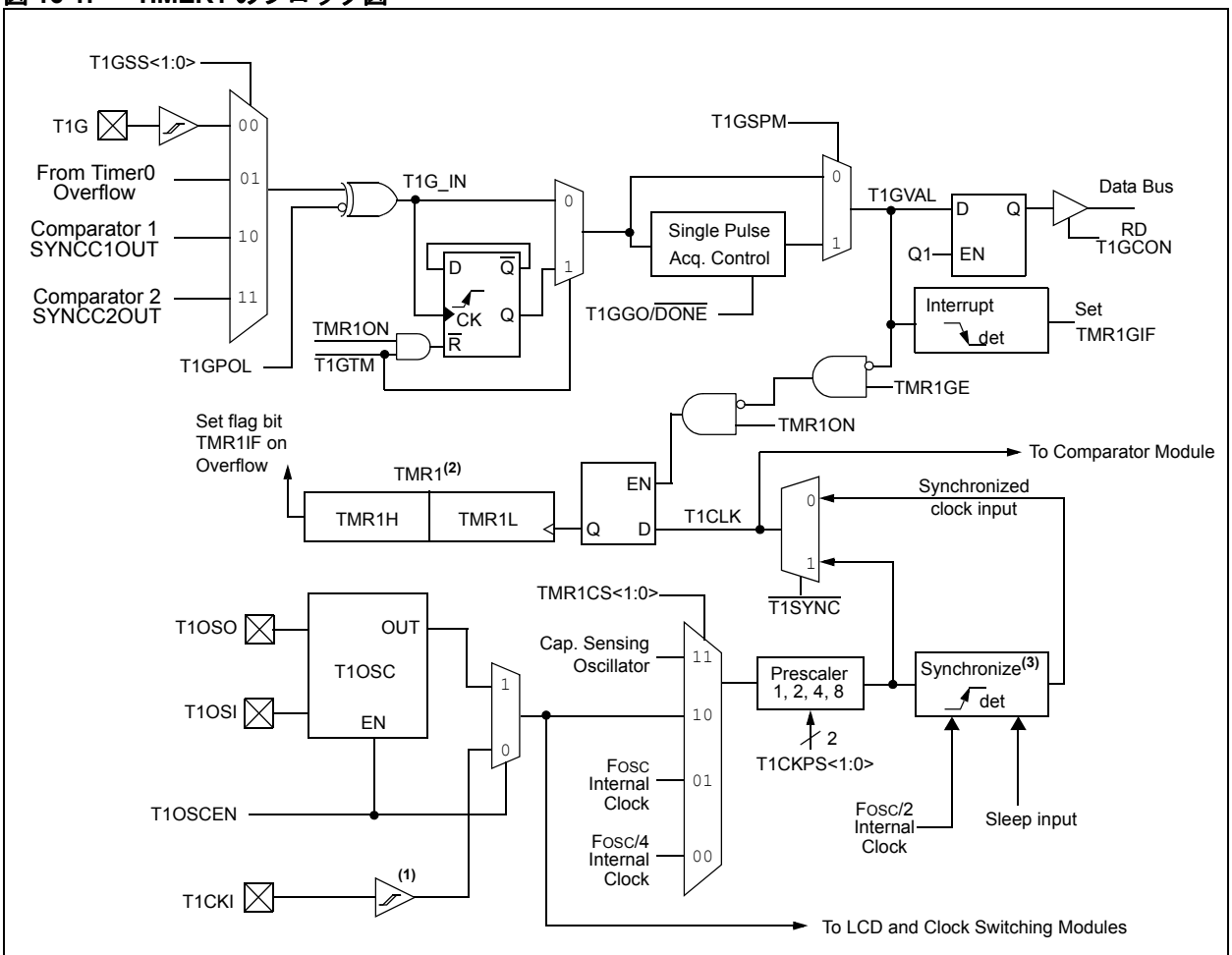
16.0 TIMER1 モジュール (ゲート制御対応)

Timer1 モジュールは 16 ビットのタイマ / カウンタで、次の機能を備えています。

- 16 ビットのタイマ / カウンタ レジスタ ペア (TMR1H:TMR1L)
- プログラム可能な内部または外部クロック ソース
- 3 ビット プリスケーラ
- 専用の LP オシレータ回路
- 同期化したコンパレータ出力 (オプション)
- 複数の Timer1 ゲート (カウント イネーブル) ソース
- オーバーフロー割り込み
- オーバーフローによるウェイクアップ (外部クロック、非同期モードのみ)
- キャプチャ / コンペア機能のタイム ベース
- 特殊イベント トリガ (CCP 機能付き)
- 選択可能なゲート ソース極性
- ゲート トグル モード
- ゲート シングル パルス モード
- ゲート値のステータス
- ゲート イベントによる割り込み

図 16-1 に、Timer1 モジュールのブロック図を示します。

図 16-1: TIMER1 のブロック図



注 1: T1CKI を使用した場合、ST バッファは高速タイプになります。
2: Timer1 のレジスタは、立ち上がりエッジでインクリメントします。
3: スリープ時には、同期しません。

16.1 Timer1 の動作

Timer1 モジュールは 16 ビットのインクリメント カウンタで、レジスタ ペア TMR1H:TMR1L を使用してアクセスします。TMR1H または TMR1L に書き込むと、カウンタ値を直接更新できます。

内部クロック ソースを使用すると、このモジュールはタイマとなり、1 命令サイクルごとにインクリメントします。外部クロック ソースを使用すると、このモジュールはタイマまたはカウンタとなり、外部クロック ソースの指定した エッジでインクリメントします。

Timer1 を有効にするには、T1CON および T1GCON レジスタの TMR1ON および TMR1GE ビットをそれぞれ設定します。表 16-1 に、Timer1 が有効な場合の設定を示します。

表 16-1: TIMER1 が有効になる設定

TMR1ON	TMR1GE	Timer1 Operation
0	0	Off
0	1	Off
1	0	Always On
1	1	Count Enabled

16.2 クロック ソースの選択

T1CON レジスタの TMR1CS<1:0> および T1OSCEN ビットを使用して、Timer1 のクロック ソースを選択します。表 16-2 に、クロック ソースの選択を示します。

16.2.1 内部クロック ソース

内部クロック ソースを選択した場合、レジスタ ペア TMR1H:TMR1L は、Timer1 プリスケーラで決定される FOSC の倍数単位でインクリメントします。

16.2.2 外部クロック ソース

外部クロック ソースを選択した場合、Timer1 モジュールはタイマまたはカウンタとして使用できます。

カウント可能な場合、Timer1 は外部クロック入力 T1CKI または容量検知オシレータ信号の立ち上がりエッジでインクリメントします。これらの外部クロック ソースはマイクロコントローラのシステム クロックと同期または非同期で動作できます。

クロック オシレータを使用するタイマとして設定する場合、専用の内部オシレータ回路と併せて外部に 32.768 kHz 水晶振動子を使用できます。

注： カウンタ モードの場合、次のいずれかの状態が 1 つ以上発生後、カウンタが最初の立ち上がりエッジでインクリメントする前に、立ち下がりエッジを 1 回検知する必要があります。

- POR 後、Timer1 が有効
- TMR1H または TMR1L への書き込み
- Timer1 が無効
- T1CKI が High のとき Timer1 が無効 (TMR1ON = 0) で、その後 T1CKI が Low のとき Timer1 が有効 (TMR1ON=1) になる

表 16-2: クロック ソースの選択

TMR1CS1	TMR1CS0	T1OSCEN	Clock Source
0	1	x	System Clock (FOSC)
0	0	x	Instruction Clock (FOSC/4)
1	1	x	Capacitive Sensing Oscillator
1	0	0	External Clocking on T1CKI Pin
1	0	1	Osc.Circuit On T1OSI/T1OSO Pins

 © 2009 Microchip Technology Inc.

16.3 Timer1 プリスケーラ

Timer1 のプリスケーラは、クロック入力の 1/1、1/2、1/4、1/8 倍の 4 種類の設定が可能です。プリスケール カウンタは、T1CON レジスタの T1CKPS ビットで制御します。プリスケール カウンタは直接読み出しまたは書き込みできませんが、TMR1H または TMR1L への書き込み時にクリアされます。

16.4 Timer1 オシレータ

専用の 32.768 kHz 低消費電力オシレータ回路が T1OSI (入力) と T1OSO (アンプ出力) の間に内蔵されています。この内部回路は、外部の 32.768 kHz 水晶振動子と併せて使用されます。

このオシレータ回路は、T1CON レジスタの T1OSCEN 制御ビットをセットすると有効になります。このオシレータは、スリープ時にも動作を継続します。

注 :	オシレータ使用前には、スタートアップおよび安定化の時間が必要です。このため、Timer1 を有効にする前には、T1OSCEN をセットして最適な遅延を確保する必要があります。

16.5 非同期カウンタ モード時の Timer1 の動作

T1CON レジスタの $\overline{\text{T1SYNC}}$ 制御ビットをセットした場合、外部クロック入力は同期化されません。タイマは、内部位相クロックに対して非同期にインクリメントします。外部クロック ソースが選択されている場合、タイマはスリープ時にも動作を継続でき、オーバーフロー割り込みを生成し、プロセッサをウェイクアップできます。ただし、タイマの読み出し / 書き込みには、ソフトウェアに特別な注意を払う必要があります (**16.5.1項「非同期カウンタ モードにおける Timer1 の読み出し / 書き込み」**参照)。

注 :	動作を同期モードから非同期モードに切り替える際は、インクリメントをスキップできます。非同期モードから同期モードに切り替える際は、インクリメントを 1 回多く実行できます。

16.5.1 非同期カウンタ モードにおける TIMER1 の読み出し / 書き込み

タイマが外部の非同期クロックで動作している間は、TMR1H または TMR1L の正しい読み出し動作が (ハードウェアによって) 保証されます。ただし、16 ビット タイマを 2 つの 8 ビット値として読み出す場合、2 回の読み出しの間にタイマがオーバーフローする可能性があるため、注意が必要です。

書き込みの場合は、タイマを停止してから正しく値を書き込むことを推奨します。レジスタがインクリメントしている間にタイマ レジスタへ書き込むと、書き込みの競合が発生する場合があります。この場合、レジスタ ペア TMR1H:TMR1L が予期しない値となることがあります。

16.6 Timer1 ゲート

Timer1 は、自由なカウンタとして、または Timer1 ゲート回路を使用して有効 / 無効を切り替え可能なカウンタとして設定できます。また、Timer1 ゲート イネーブルとしても扱われます。

Timer1 ゲートも複数ソースで駆動できます。

16.6.1 TIMER1 ゲート イネーブル

Timer1 ゲート イネーブル モードを有効にするには、T1GCON レジスタの TMR1GE ビットをセットします。Timer1 ゲート イネーブル モードの極性は、T1GCON レジスタの T1GPOL ビットを使用して設定します。

Timer1 ゲート イネーブル モードが有効の場合、Timer1 は Timer1 クロック ソースの立ち上がりエッジでインクリメントします。Timer1 ゲート イネーブル モードが無効の場合、Timer1 はインクリメントせずに現在のカウント値を保持します。タイミングの詳細は、図 16-3 を参照してください。

表 16-3: TIMER1 ゲートが有効になる設定

T1CLK	T1GPOL	T1G	Timer1 Operation
↑	0	0	Counts
↑	0	1	Holds Count
↑	1	0	Holds Count
↑	1	1	Counts

16.6.2 TIMER1 ゲートのソース選択

Timer1 ゲートのソースは、4 種類の中から選択できます。ソース選択には、T1GCON レジスタの T1GSS ビットを使用します。有効な各ソースの極性も選択できます。極性選択には、T1GCON レジスタの T1GPOL ビットを使用します。

表 16-4: TIMER1 ゲートのソース

T1GSS	Timer1 Gate Source
00	Timer1 Gate Pin
01	Overflow of Timer0 (TMR0 increments from FFh to 00h)
10	Comparator 1 Output SYNCC1OUT (optionally synchronized out)
11	Comparator 2 Output SYNCC2OUT (optionally synchronized out)

16.6.2.1 T1G ピンのゲート動作

T1G ピンは、Timer1 のゲート制御用に使用されるソースの 1 つです。このピンを使用すると、Timer1 のゲート回路に外部ソースを提供できます。

16.6.2.2 Timer0 オーバーフロー ゲート動作

Timer0 が FFh から 00h へインクリメントすると、low-to-high パルスが自動的に生成されて Timer1 のゲート回路へ供給されます。

16.6.2.3 コンパレータ C1 のゲート動作

コンパレータ 1 の動作結果による出力を、Timer1 のゲート制御用ソースとして使用できます。コンパレータ 1 の出力 (SYNCC1OUT) は、Timer1 のクロックに同期化させることが可能であり、非同期のまま動作させることも可能です。詳細は、**12.4.1 項「コンパレータ出力の同期化」**を参照してください。

16.6.2.4 コンパレータ C2 のゲート動作

コンパレータ 2 の動作結果による出力を、Timer1 のゲート制御用ソースとして使用できます。コンパレータ 2 の出力 (SYNCC2OUT) は、Timer1 のクロックに同期化させることが可能であり、非同期のまま動作させることも可能です。詳細は、**12.4.1 項「コンパレータ出力の同期化」**を参照してください。

16.6.3 TIMER1 のゲート トグル モード

Timer1 のゲート トグル モードが有効の場合は、シングル レベル パルスの長さとは別に Timer1 ゲート信号のフルサイクルの長さを計測できます。

Timer1 ゲートのソースは、インクリメントする信号エッジがくるたびにステート変化するフリップフロップを介して接続されます。タイミングの詳細は、図 16-4 を参照してください。

Timer1 のゲート トグル モードを有効にするには、T1GCON レジスタの T1GTM ビットをセットします。T1GTM ビットがクリアされると、フリップフロップはクリアされてクリアの状態を保持します。これは、どのエッジを測定するかを制御するために必要です。

注 : ゲート極性の変更と同時にトグル モードを有効にすると、判断できない動作が生じる可能性があります。

16.6.4 TIMER1 ゲート シングル パルス モード

Timer1 ゲート シングル パルス モードを有効にすると、シングル パルス ゲート イベントをキャプチャできます。Timer1 ゲート シングル パルス モードを有効にするには、まず T1GCON レジスタの T1GSPM ビットをセットして有効にします。次に T1GCON レジスタの T1GGO/$\overline{\text{DONE}}$ ビットをセットする必要があります。Timer1 は、次のインクリメント エッジで完全に有効となります。その次のエッジでは、T1GGO/$\overline{\text{DONE}}$ ビットが自動的にクリアされます。ソフトウェアで T1GGO/$\overline{\text{DONE}}$ ビットを再度セットするまで、Timer1 をインクリメントするゲート イベントは有効になりません。

また、T1GCON レジスタの T1GSPM ビットをクリアした場合も、T1GGO/$\overline{\text{DONE}}$ ビットをクリアします。タイミングの詳細は、図 16-5 を参照してください。

トグル モードとシングル パルス モードを同時に有効にすると、両方の動作を許可できます。これにより、Timer1 ゲート ソースのサイクル時間を測定できるようになります。タイミングの詳細は、図 16-6 を参照してください。

16.6.5 TIMER1 ゲート値ステータス

Timer1 ゲート値ステータスを使用すると、ゲート制御値の最新のレベルを読み出すことが可能になります。値は、T1GCON レジスタの T1GVAL ビットに格納されています。Timer1 ゲートが有効ではない (TMR1GE ビットがクリアされている) 場合でも T1GCON ビットは有効です。

16.6.6 TIMER1 ゲート イベント割り込み

Timer1 ゲート イベント割り込みが有効の場合、ゲート イベント完了時に割り込みを生成できます。T1GVAL の立ち下がりエッジで、PIR1 レジスタの TMR1GIF フラグ ビットがセットされます。PIE1 レジスタの TMR1GIE ビットがセットされると、割り込みが生成されたと認識されます。

Timer1 ゲートが有効ではない (TMR1GE ビットがクリアされている) 場合でも TMR1GIF フラグ ビットは動作します。

 © 2009 Microchip Technology Inc.

16.7 Timer1 割り込み

Timer1 のレジスタ ペア (TMR1H:TMR1L) は、FFFFh までインクリメントすると、0000h にロールオーバします。Timer1 がロールオーバすると、PIR1 レジスタの Timer1 割り込みフラグ ビットがセットされます。ロールオーバ割り込みを有効にするには、次のビットをセットする必要があります。

- T1CON レジスタの TMR1ON ビット
- PIE1 レジスタの TMR1IE ビット
- INTCON レジスタの PEIE ビット
- INTCON レジスタの GIE ビット

割り込みサービス ルーチンで TMR1IF ビットをクリアすると、割り込みは解除されます。

注 : 割り込みを有効化する前に、レジスタ ペア (TMR1H:TMR1L) および TMR1IF ビットをクリアしてください。

16.8 スリープ時の Timer1 の動作

Timer1 は、非同期カウンタ モードに設定されている場合のみ、スリープ時にも動作します。このモードでは、外部水晶振動子またはクロック ソースを使用して、カウンタをインクリメントします。Timer1 でデバイスをウェイクアップするには、次の設定が必要です。

- T1CON レジスタの TMR1ON ビットをセット
- PIE1 レジスタの TMR1IE ビットをセット
- INTCON レジスタの PEIE ビットをセット
- T1CON レジスタの $\overline{\text{T1SYNC}}$ ビットをセット
- T1CON レジスタの TMR1CS ビットを設定
- T1CON レジスタの T1OSCEN ビットを設定

デバイスはオーバーフローによってウェイクアップし、次の命令を実行します。INTCON レジスタの GIE ビットがセットされている場合、デバイスは割り込みサービス ルーチン (0004h) を呼び出します。

Timer1 オシレータは、T1SYNC ビットの設定に関わらずスリープ時でも動作を継続します。

16.9 ECCP/CCP キャプチャ / コンペア タイム ベース

CCP モジュールがキャプチャまたはコンペア モードで動作している場合、レジスタ ペア TMR1H:TMR1L をタイム ベースとして使用します。

キャプチャ モードでは、あらかじめ設定されたイベントの発生時にレジスタ ペア TMR1H:TMR1L の値がレジスタ ペア CCPR1H:CCPR1L にコピーされます。

コンペア モードの場合、レジスタ ペア CCPR1H:CCPR1L の値とレジスタ ペア TMR1H:TMR1L の値が一致するとイベントがトリガされます。このイベントは、特殊イベント トリガとなります。

詳細は、**19.0 項「キャプチャ / コンペア /PWM モジュール (ECCP1、ECCP2、ECCP3、CCP4、CCP5)」**を参照してください。

16.10 ECCP/CCP 特殊イベント トリガ

CCP が特殊イベントをトリガするように設定されている場合、トリガ発生時にレジスタ ペア TMR1H:TMR1L がクリアされます。この特殊イベントでは、Timer1 割り込みは発生しません。CCP モジュールは CCP 割り込みを発生するようにも設定できます。

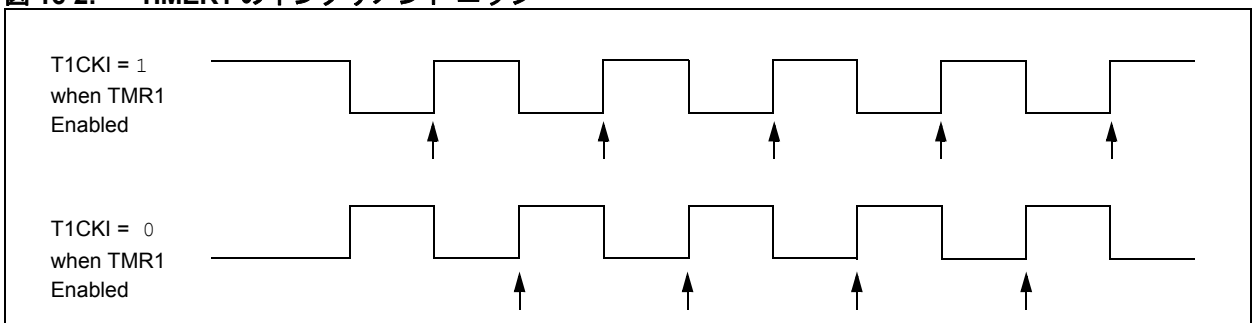
この動作モードの場合、レジスタ ペア CCPR1H:CCPR1L が Timer1 の周期レジスタとして機能します。

特殊イベント トリガを利用するには、Timer1 を Fosc/4 に同期させる必要があります。Timer1 を非同期モードで動作させると、特殊イベント トリガが正しく動作しません。

TMR1H または TMR1L への書き込みと CCP からの特殊イベント トリガが競合した場合は、書き込みが優先されます。

詳細は、**11.2.5 項「特殊イベント トリガ」**を参照してください。

図 16-2: TIMER1 のインクリメント エッジ



注 1: 矢印は、カウンタがインクリメントする位置を示しています。

2: カウンタ モードでは、カウンタがクロックの立ち下がりエッジを 1 回検出してから、立ち上がりエッジのインクリメントが開始します。

図 16-3:　TIMER1 ゲート イネーブル モード

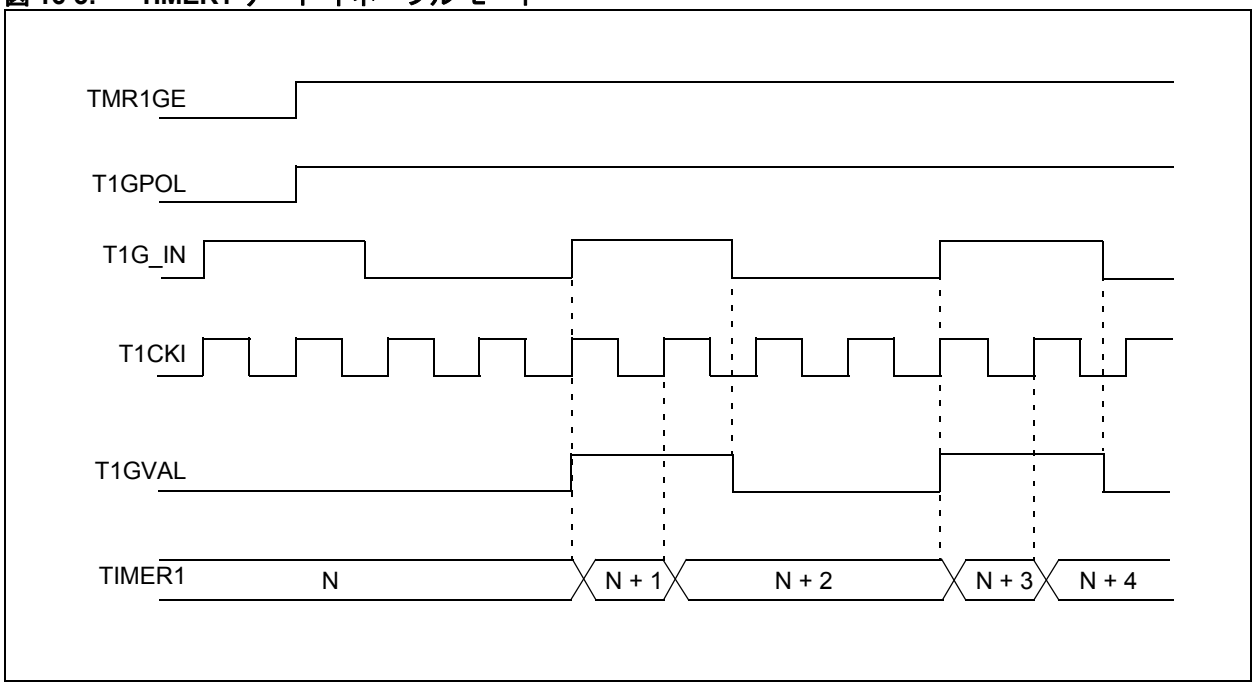
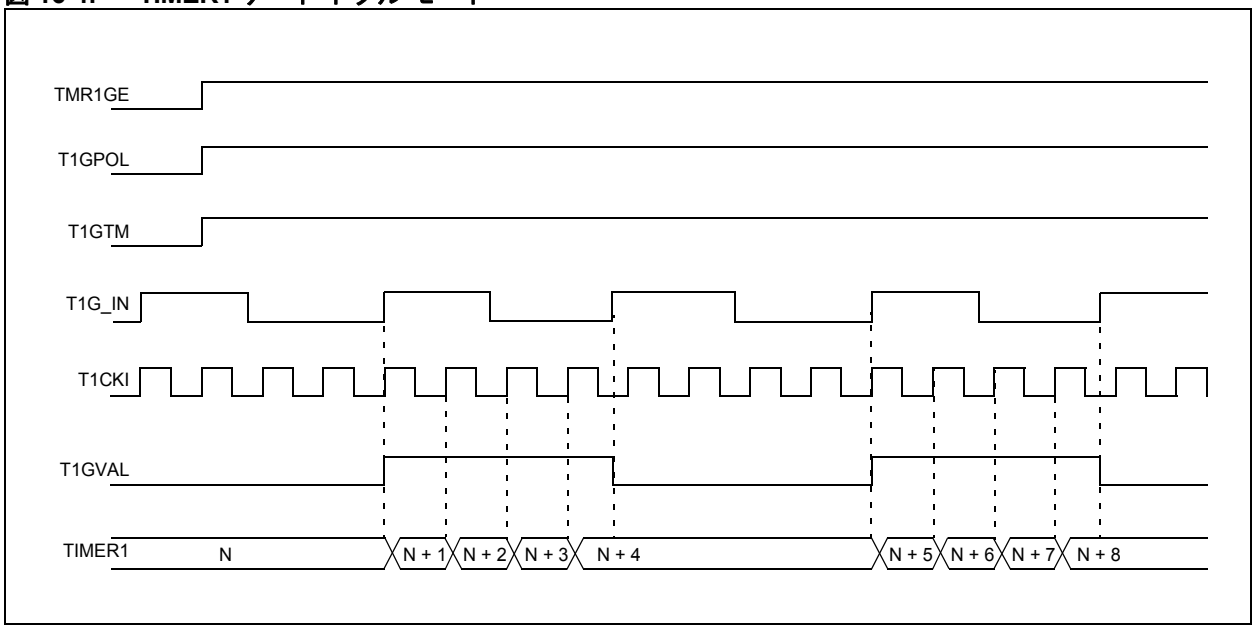


図 16-4:　TIMER1 ゲート トグル モード



© 2009 Microchip Technology Inc.

図 16-5: TIMER1 ゲート シングル パルス モード

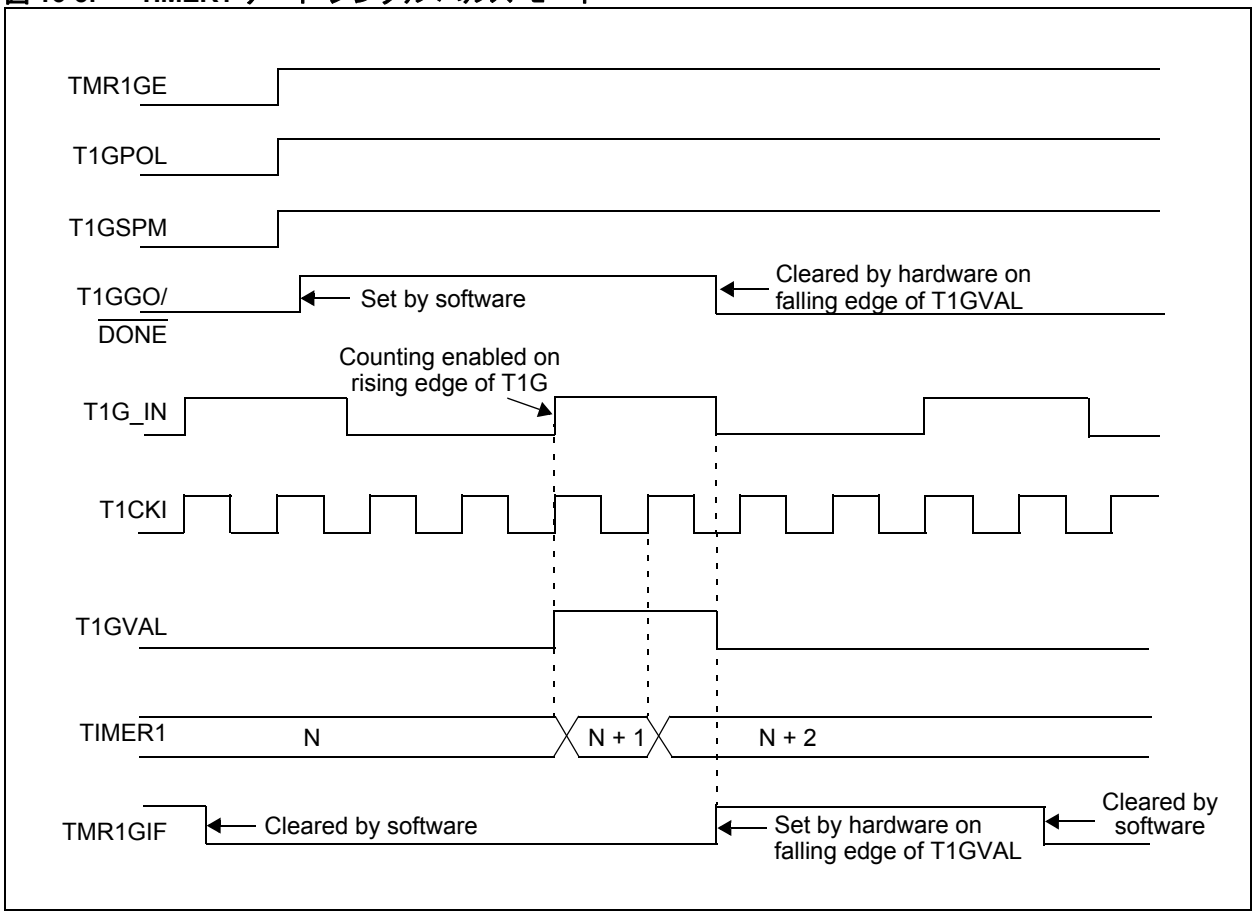
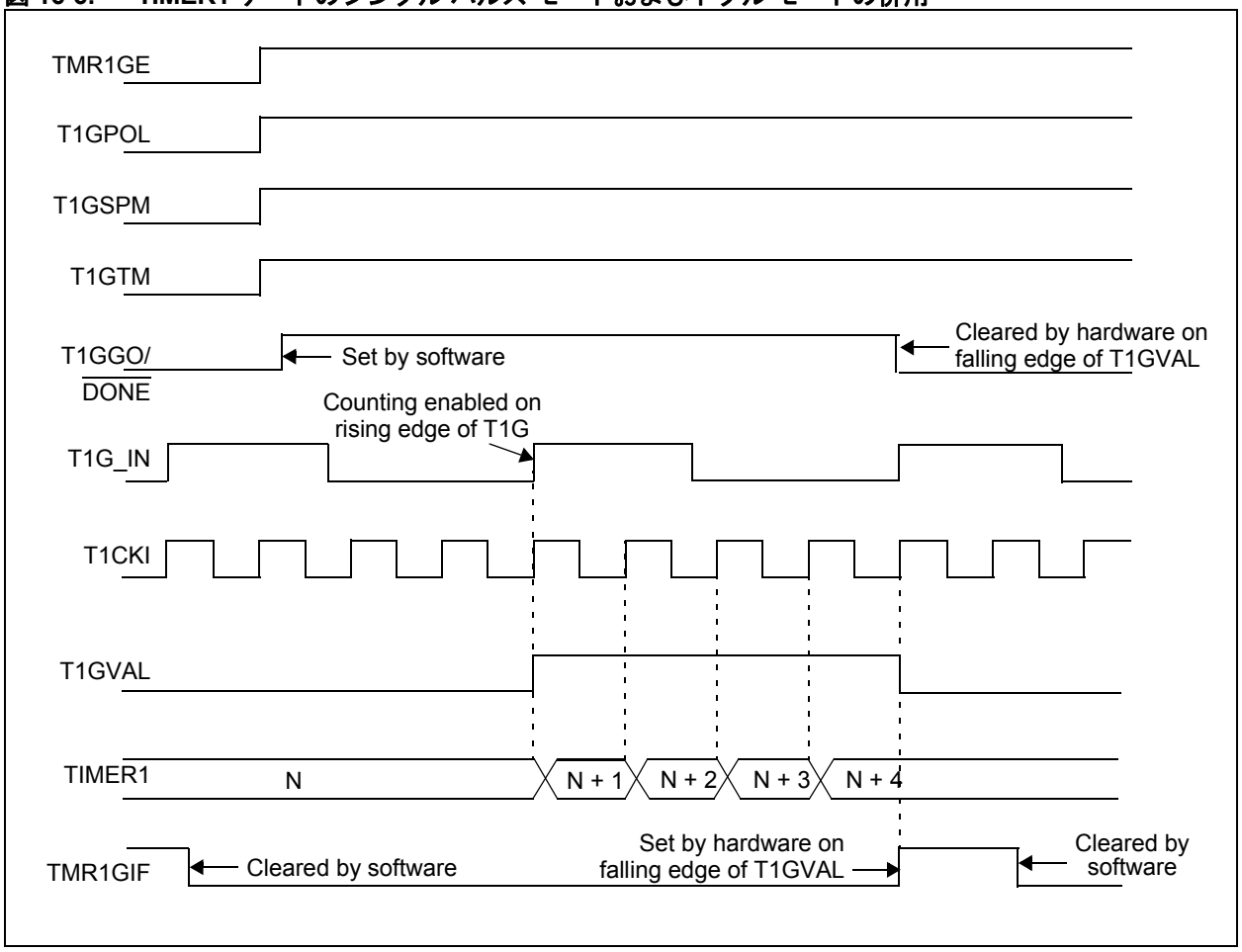


図 16-6:　TIMER1 ゲートのシングル パルス モードおよびトグル モードの併用



© 2009 Microchip Technology Inc.

16.11 Timer1 制御レジスタ

T1CON (Timer1 制御) レジスタ (レジスタ 16-1) は、Timer1 の制御および Timer1 モジュールのさまざまな機能の選択に使用します。

レジスタ 16-1: T1CON: TIMER1 制御レジスタ

R/W-0/u	R/W-0/u	R/W-0/u	R/W-0/u	R/W-0/u	R/W-0/u	U-0	R/W-0/u
TMR1CS1	TMR1CS0	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{\text{T1SYNC}}$	—	TMR1ON
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-6 **TMR1CS<1:0>:** Timer1 クロック ソース選択ビット
11 = Timer1 クロック ソースは容量検知オシレータ (CAPOSC)
10 = Timer1 クロック ソースはピンまたはオシレータ
T1OSCEN = 0 の場合 :
T1CKI ピンからの外部クロック (立ち上がりエッジ)
T1OSCEN = 1 の場合 :
T1OSI/T1OSO ピンの水晶発振器
01 = Timer1 クロック ソースにシステム クロックを選択 (FOSC)
00 = Timer1 クロック ソースに命令クロックを選択 (FOSC/4)

ビット 5-4 **T1CKPS<1:0>:** Timer1 入力クロック プリスケール選択ビット
11 = 1:8 プリスケール値
10 = 1:4 プリスケール値
01 = 1:2 プリスケール値
00 = 1:1 プリスケール値

ビット 3 **T1OSCEN:** LP オシレータ イネーブル制御ビット
1 = 専用の Timer1 オシレータ回路は有効
0 = 専用の Timer1 オシレータ回路は無効

ビット 2 $\overline{\text{T1SYNC}}$**:** Timer1 外部クロック入力同期制御ビット
TMR1CS<1:0> = 1X
1 = 外部クロック入力を同期しない
0 = 外部クロック入力はシステム クロック (FOSC) に同期する
TMR1CS<1:0> = 0X
このビットは無視される。TMR1CS<1:0> = 1X の場合、Timer1 は内部クロックを使用する

ビット 1 **未実装 :**「0」として読み出し

ビット 0 **T**MR1ON: Timer1 オン ビット
1 = Timer1 は有効
0 = Timer1 を停止
Timer1 ゲート フリップフロップをクリア

16.12 Timer1 制御レジスタ

レジスタ 16-2 に示す Timer1 ゲート制御レジスタ (T1GCON) は、Timer1 ゲートの制御に使用します。

レジスタ 16-2: T1GCON: TIMER1 ゲート制御レジスタ

R/W-0/u	R/W-0/u	R/W-0/u	R/W-0/u	R/W-0/u	R-x/x	R/W-0/u	R/W-0/u
TMR1GE	T1GPOL	T1GTM	T1GSPM	T1GGO/$\overline{\text{DONE}}$	T1GVAL	T1GSS1	T1GSS0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **TMR1GE:** Timer1 ゲート イネーブル ビット
TMR1ON = 0 の場合 :
このビットは無視
TMR1ON = 1 の場合 :
1 = Timer1 のカウントを Timer1 ゲート機能で制御
0 = Timer1 は、Timer1 ゲート機能とは無関係にカウントする

ビット 6 **T1GPOL:** Timer1 ゲート極性ビット
1 = Timer1 ゲートはアクティブ High (ゲートが High の時にカウント)
0 = Timer1 ゲートはアクティブ Low (ゲートが Low の時にカウント)

ビット 5 **T1GTM:** Timer1 ゲート トグル モード ビット
1 = Timer1 ゲート トグル モードは有効
0 = Timer1 ゲート トグル モードが無効となり、トグル フリップフロップはクリアされる
Timer1 ゲート フリップフロップは立ち上がりエッジでトグルする

ビット 4 **T1GSPM:** Timer1 ゲート シングル パルス モード ビット
1 = Timer1 ゲート シングル パルス モードが有効となり、Timer1 ゲートを制御する
0 = Timer1 ゲート シングル パルス モード ビットは無効

ビット 3 **T1GGO/$\overline{\text{DONE}}$:** Timer1 ゲート シングル パルス アクイジション ステータス ビット
1 = Timer1 ゲート シングル パルス アクイジションがアクティブ状態でありエッジを待機
0 = Timer1 ゲート シングル パルス アクイジション は完了済み、または開始していない
このビットは、T1GSPM がクリアされると自動的にクリアされる

ビット 2 **T1GVAL:** Timer1 ゲートの現在ステータス ビット
TMR1H:TMR1L へ提供される Timer1 ゲートの現在のステータスを示す。
Timer1 ゲートイネーブル (TMR1GE) の影響を受けない

ビット 1-0 **T1GSS<1:0>:** Timer1 ゲート ソース選択ビット
00 = Timer1 ゲート ピン
01 = Timer0 オーバーフロー出力
10 = オプションで同期化できるコンパレータ 1 出力 (SYNCC1OUT)
11 = オプションで同期化できるコンパレータ 2 出力 (SYNCC2OUT)

 © 2009 Microchip Technology Inc.

表 16-5: TIMER1 関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
ANSELB	—	—	ANSB5	ANSB4	ANSB3	ANSB2	ANSB1	ANSB0	91
CCP1CON	—	—	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	184
CCP2CON	—	—	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	184
INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	90
TMR1H	Holding Register for the Most Significant Byte of the 16-bit TMR1 Register								165*
TMR1L	Holding Register for the Least Significant Byte of the 16-bit TMR1 Register								165*
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	91
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94
T1CON	TMR1CS1	TMR1CS0	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{\text{T1SYNC}}$	—	TMR1ON	169
T1GCON	TMR1GE	T1GPOL	T1GTM	T1GSPM	T1GGO/$\overline{\text{DONE}}$	T1GVAL	T1GSS1	T1GSS0	170

記号の説明： x = 不明。u = 不変。— = 未実装、「0」として読み出し。網掛けのビットは Timer1 モジュールでは使用しません。

* このページにはレジスタ情報が記載されています。

ノート：

 © 2009 Microchip Technology Inc.

17.0 TIMER 2、4、6 モジュール

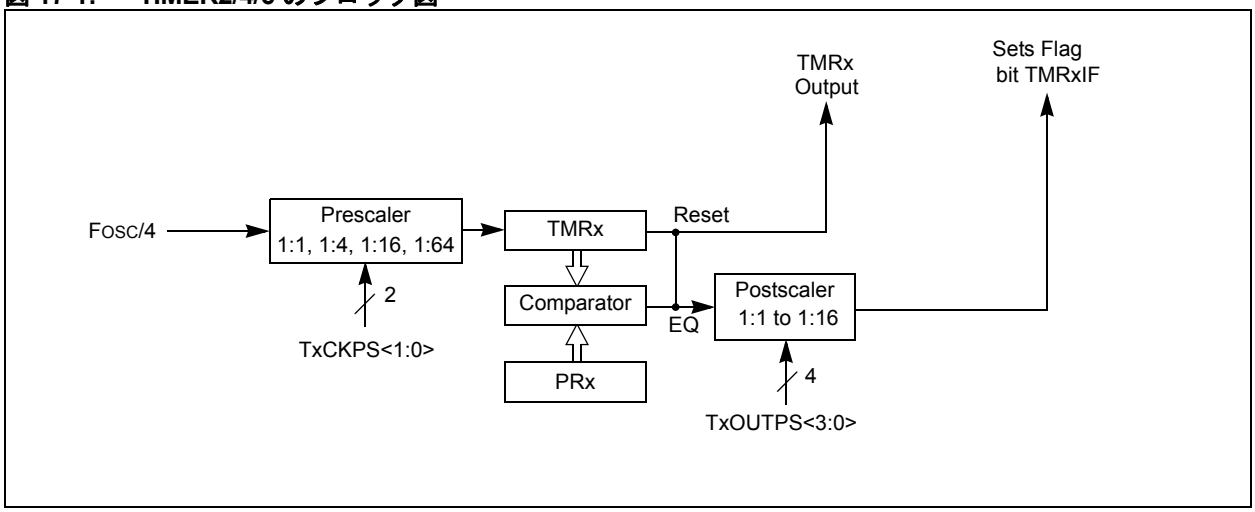
3 種類の類似した Timer2 型モジュールがあります。既存のネーミング規則に従って、これらのタイマは Timer2、Timer4、Timer6 (または Timer2/4/6) と呼びます。

Timer2/4/6 モジュールには次の機能があります。

- 8 ビットのタイマ レジスタ (TMRx) および周期レジスタ (PRx)
- 両レジスタの読み出し / 書き込みが可能
- ソフトウェアでプログラム可能なプリスケーラ (1:1、1:4、1:16、1:64)
- ソフトウェアでプログラム可能なポストスケーラ (1:1 ～ 1:16)
- PRx と TMRx の一致で割り込みが発生
- MSSPx モジュールのシフト クロックとしてオプション使用可能 (Timer2 のみ)

Timer2/4/6 のブロック図は、図 17-1 を参照してください。

図 17-1: TIMER2/4/6 のブロック図



17.1 Timer2/4/6 の動作

Timer2/4/6 モジュールへのクロック入力には、システム命令クロック (Fosc/4) を使用します。

TMRx は、各クロック エッジで 00h からインクリメントします。

クロック入力の 4 ビット カウンタ / プリスケーラでは、直接入力、4 分周、および 16 分周のプリスケーラ オプションを使用できます。これらのオプションは、プリスケーラ制御ビット (TxCON レジスタの TxCKPS<1:0>) で選択します。各クロック サイクルで TMRx の値が周期レジスタの値 (PRx) と比較されます。2 つの値が一致した場合、コンパレータはタイマ出力として一致信号を生成します。また、この信号は次のサイクルで TMRx の値を 00h にリセットして出力カウンタ / ポストスケーラを駆動します (**17.2 項「Timer2/4/6 の割り込み」**参照)。

TMRx レジスタと PRx レジスタはどちらも直接読み出しおよび書き込み可能です。TMRx レジスタは、すべてのデバイス リセットでクリアされて FFh に初期化されます。プリスケーラ カウンタとポストスケーラ カウンタは、次のイベントでクリアされます。

- TMRx レジスタへの書き込み
- TxCON レジスタへの書き込み
- パワーオン リセット (POR)
- ブラウンアウト リセット (BOR)
- $\overline{\text{MCLR}}$ リセット
- ウォッチドッグ タイマ (WDT) リセット
- スタック オーバーフロー リセット
- スタック アンダーフロー リセット
- RESET 命令

注 : TxCON に書き込みを実行しても TMRx はクリアされません。

17.2 Timer2/4/6 の割り込み

Timer2/4/6 もオプションで割り込みを生成できます。Timer2/4/6 の出力信号 (TMRx と PRx の一致) は、4 ビット カウンタ / ポストスケーラへ入力データを供給します。このカウンタが TMRx 一致割り込みフラグ (PIRx レジスタの TMRxIF でラッチされる) を生成します。割り込み機能を有効にするには、TMRx 一致割り込みイネーブル ビット (PIEx レジスタの TMRxIE ビット) をセットしてください。

16 ポストスケール オプション (1:1 ～ 1:16) の選択には、ポストスケーラ制御ビット (TxCON レジスタの TxOUTPS<3:0>) を使用します。

17.3 Timer2/4/6 の出力

TMRx のアンスケール出力は主として CCP モジュールで使用され、PWM モード時の動作のタイム ベースとして使用されます。

Timer2 は、オプションで SPI モードで動作する MSSPx モジュールのシフト クロック ソースとして使用できます。詳細は、**22.1項「マスター SSP (MSSP) モジュールの概要」**を参照してください。

17.4 スリープ時の Timer2/4/6 の動作

スリープ時、Timerx タイマは動作できません。この間、TMRx および PRx レジスタの内容は変更されません。

 © 2009 Microchip Technology Inc.

レジスタ 17-1: TXCON: TIMER2 タイプ タイマ制御レジスタ

U-0	R/W-0/u	R/W-0/u	R/W-0/u	R/W-0/u	R/W-0/u	R/W-0/u	R/W-0/u
—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMRxON	TxCKPS1	TxCKPS0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **未実装 :**「0」として読み出し

ビット 6-3 **TOUTPS<3:0>:** タイマ出力ポストスケーラ選択ビット
0000 = 1:1 ポストスケーラ
0001 = 1:2 ポストスケーラ
0010 = 1:3 ポストスケーラ
0011 = 1:4 ポストスケーラ
0100 = 1:5 ポストスケーラ
0101 = 1:6 ポストスケーラ
0110 = 1:7 ポストスケーラ
0111 = 1:8 ポストスケーラ
1000 = 1:9 ポストスケーラ
1001 = 1:10 ポストスケーラ
1010 = 1:11 ポストスケーラ
1011 = 1:12 ポストスケーラ
1100 = 1:13 ポストスケーラ
1101 = 1:14 ポストスケーラ
1110 = 1:15 ポストスケーラ
1111 = 1:16 ポストスケーラ

ビット 2 **TMRxON:** Timerx オン ビット
1 = Timerx は動作する
0 = Timerx は動作しない

ビット 1-0 **TxCKPS<1:0>:** Timer2 タイプ クロック プリスケール選択ビット
00 = プリスケーラは 1
01 = プリスケーラは 4
10 = プリスケーラは 16
11 = プリスケーラは 64

表 17-1: TIMER2/4/6 関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
CCP1CON	—	—	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	184
CCP2CON	—	—	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	184
INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
PIE3	—	CCP5IE	CCP4IE	CCP3IE	TMR6IE	—	TMR4IE	—	76
PIR3	—	CCP5IF	CCP4IF	CCP3IF	TMR6IF	—	TMR4IF	—	79
PR2	Timer2 Module Period Register								173*
TMR2	Holding Register for the 8-bit TMR2 Register								173*
T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	175

記号の説明： x = 不明。u = 不変。－未実装、「0」として読み出し。網掛けのビットは Timer2 モジュールでは使用しません。

* このページにはレジスタ情報が記載されています。

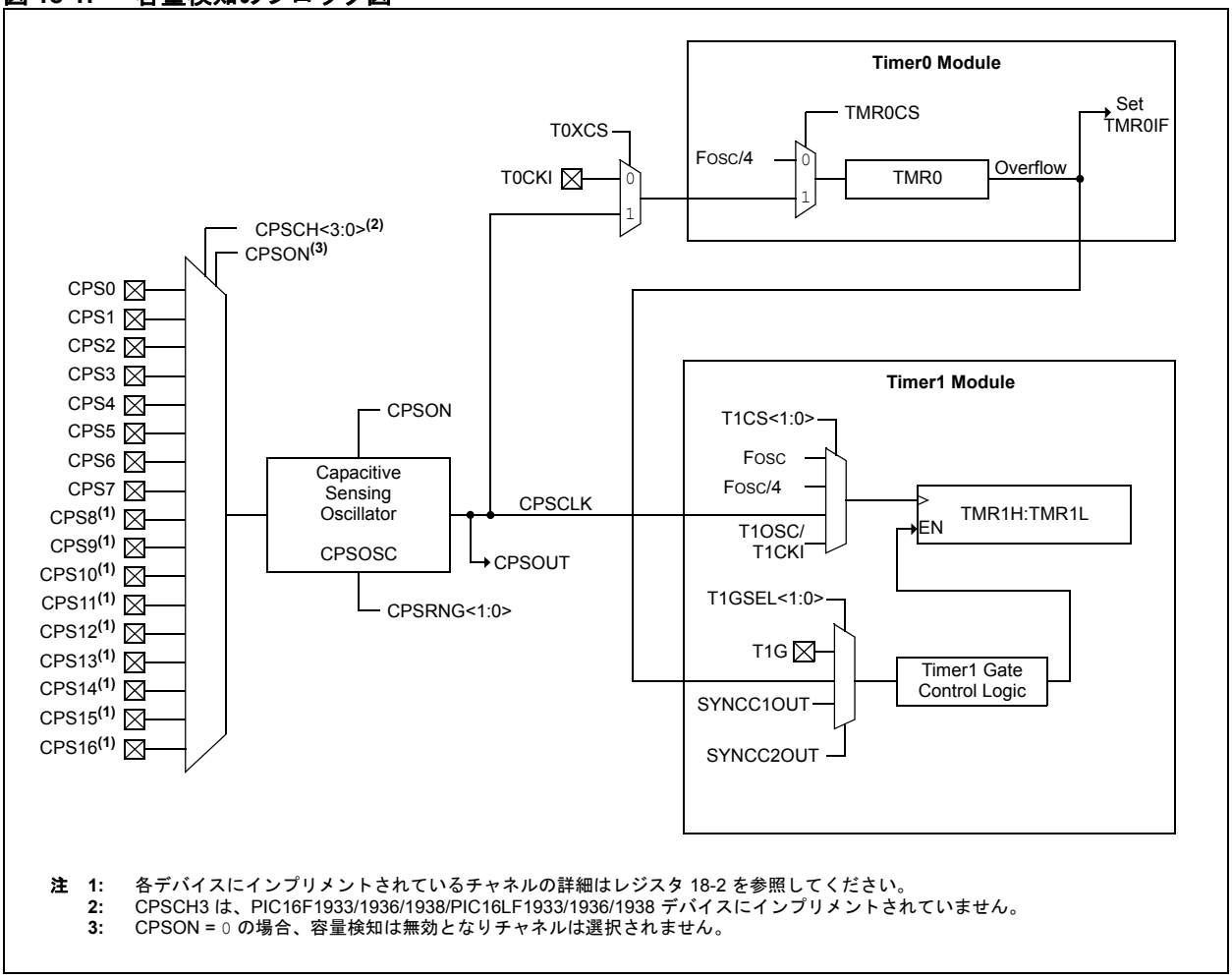
© 2009 Microchip Technology Inc.

18.0 容量検知モジュール

容量検知モジュールは、物理的なインターフェイスを使用せずにエンド ユーザーとのやりとりを可能にします。標準アプリケーションの場合、容量検知モジュールは PCB (プリント基板) 上のパッドに接続されており、エンドユーザーとは電気的に絶縁された状態です。エンド ユーザーが PCB パッドに指を置くと、容量性負荷が増加し容量検知モジュールで周波数シフトが生じます。容量検知モジュールには、ソフトウェアと周波数の変化を判断するためにタイマ リソースが最低 1 つ必要になります。このモジュールの主な機能は次のとおりです。

- 複数入力をモニタするアナログ MUX
- 容量検知オシレータ
- 複数のタイマ リソース
- ソフトウェア制御
- スリープ時の動作

図 18-1: 容量検知のブロック図



注 1: 各デバイスにインプリメントされているチャネルの詳細はレジスタ 18-2 を参照してください。
2: CPSCH3 は、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスにインプリメントされていません。
3: CPSON = 0 の場合、容量検知は無効となりチャネルは選択されません。

18.1 アナログ MUX

容量検知モジュールは、最大 16 入力までモニタリングできます。このモジュールの入力は CPS<15:0> として定義されています。周波数の変化が生じたかを判断するには、ユーザーが次を行う必要があります。

- CPSCON1 レジスタの CPSCH<3:0> ビットをセットして適切な CPS ピンを選択する
- 対応する ANSEL ビットをセットする
- 対応する TRIS ビットをセットする
- ソフトウェア アルゴリズムを実行する

容量検知モジュールが有効の場合、選択した CPSx ピンで容量検知オシレータが動作します。対応する ANSEL ビットおよび TRIS ビットを設定していないと、容量検知オシレータが停止して不正な周波数を読み出す可能性があります。

18.2 容量検知オシレータ

容量検知オシレータには定の電流ソースと定の電流シンクがあり、三角波形を生成します。CPSCON0 レジスタの CPSOUT ビットが容量検知オシレータのステータス (シンク電流またはソース電流) を示します。オシレータは、容量性負荷 (単一 PCB パッド) を駆動すると同時に Timer0 または Timer1 へのクロック ソースとしても使用されます。オシレータには 3 つの電流設定があり、CPSCON0 レジスタの CPSRNG<1:0> で定義されます。異なる電流を設定する目的は、次の 2 つです。

- 固定タイム ベースのタイマのカウント数を最大化する
- 周波数変化時の、タイマのカウント差を最大化する

18.3 タイマ リソース

容量検知オシレータ上で周波数の変化を測定するには、固定のタイム ベースが必要です。固定のタイム ベース周期中、容量検知オシレータは Timer0 または Timer1 へクロック供給します。容量検知オシレータの周波数は、タイマのカウント数を固定のタイム ベース周期で除算した値と同等です。

18.4 固定のタイム ベース

容量検知オシレータの周波数を測定するには、固定のタイム ベースが必要です。固定のタイム ベースを設定するには、タイマ リソースまたはソフトウェア ループを使用できます。どのような方法でタイム ベースを生成するかはエンド ユーザーが選択できます。

注 : ただし、容量検知オシレータがクロック供給しているタイマ リソースを使用して固定タイム ベースを生成することはできません。

18.4.1 TIMER0

Timer0 を容量検知モジュールのタイマ リソースとして選択する場合は、次の設定が必要です。

- CPSCON0 レジスタの T0XCS ビットをセットする
- OPTION レジスタの TMR0CS ビットをクリアする

Timer0 がタイマ リソースとして選択されると、容量検知オシレータが Timer0 のクロック ソースとなります。詳細は、**15.0 項「Timer0 モジュール」**を参照してください。

18.4.2 TIMER1

Timer1 を容量検知モジュールのタイマ リソースとして選択する場合は、T1CON レジスタの TMR1CS<1:0> ビットを「11」に設定します。Timer1 がタイマ リソースとして選択されると、容量検知オシレータが Timer1 のクロック ソースとなります。Timer1 モジュールにはゲート制御機能が付いているため、周波数測定用タイム ベースとしての使用は Timer0 のオーバーフロー フラグを使用して簡単に実行できます。

容量検知モジュールのソフトウェア部分で必要とされる固定タイム ベースを作成するには、Timer0 オーバーフロー フラグの使用と併せて Timer1 ゲートのトグル モードを使用することを推奨します。詳細は、**16.12 項「Timer1 制御レジスタ」**を参照してください。

表 18-1: TIMER1 イネーブル機能

TMR1ON	TMR1GE	Timer1 Operation
0	0	Off
0	1	Off
1	0	On
1	1	Count Enabled by input

 © 2009 Microchip Technology Inc.

18.5 ソフトウェア制御

容量検知オシレータ上の周波数の変化を決定するには、容量検知モジュール用のソフトウェアが必要です。次の処理を行ってください。

- Timer0 または Timer1 のカウント値を取得するため、固定のタイム ベースを設定する
- 容量検知オシレータの公称周波数を確立する
- 追加の容量性付加追加に伴う、容量検知オシレータの低減周波数を確立する
- 周波数しきい値を設定する

18.5.1 公称周波数 (容量性負荷なし)

容量検知オシレータの公称周波数を確立するには、次の手順が必要です。

- 選択した CPSx ピンの余分な容量性負荷を取り除く
- 固定タイム ベースの開始時、タイマ リソースをクリアする
- 固定タイム ベースの終了時、タイマ リソースの値を保存する

タイマ リソースの値は、与えられたタイム ベースに対する容量検知オシレータの発振回数となります。容量検知オシレータの周波数は、タイマの固定タイム ベースの周期で除算されたタイマのカウント数と同等です。

18.5.2 低減周波数 (容量性負荷の追加)

容量性負荷が追加されると、容量検知オシレータの周波数が減少します。容量検知オシレータの周波数低減を判断するには、次の手順が必要です。

- 選択した CPSx ピンに標準的な容量性負荷を追加する
- 公称周波数測定と同じ固定タイム ベースを使用する
- 固定タイム ベースの開始時、タイマ リソースをクリアする
- 固定タイム ベースの終了時、タイマ リソースの値を保存する

タイマ リソースの値は、容量性負荷の追加がある容量検知オシレータの発振回数となります。容量検知オシレータの周波数は、タイマの固定タイム ベースの周期で除算されたタイマのカウント数と同等です。この周波数は、公称周波数測定で取得した値より小さくなるはずです。

18.5.3 周波数しきい値

周波数しきい値は、容量検知オシレータの公称周波数値と低減周波数値の中間地点に配置されるべきです。容量検知モジュールで必要なソフトウェアの詳細は、アプリケーション ノート AN1103「Software Handling for Capacitive Sensing」(DS01103) を参照してください。

注 : 一般的な容量検知の説明は、次のアプリケーション ノートを参照してください。

- AN1101「Introduction to Capacitive Sensing」(DS01101)
- AN1102「Layout and Physical Design Guidelines for Capacitive Sensing」(DS01102)

18.6 スリープ時の動作

容量検知オシレータは、デバイスがスリープ時でもモジュールが有効である限り動作を継続します。周波数の変化が生じたかをソフトウェアが判断するには、デバイスがウェイクアップしている必要があります。ただし、タイマ リソースがカウントしている場合は、デバイスがウェイクアップする必要はありません。

注 : Timer0 はスリープ中に動作しないため、容量検知モジュールがスリープ モードの場合は使用できません。

レジスタ 18-1: CPSCON0: 容量検知の制御レジスタ 0

R/W-0/0	U-0	U-0	U-0	R/W-0/0	R/W-0/0	R-0/0	R/W-0/0
CPSON	—	—	—	CPSRNG1	CPSRNG0	CPSOUT	T0XCS
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **CPSON:** 容量検知モジュール イネーブル ビット
1 = 容量検知モジュールは動作中
0 = 容量検知モジュールはシャットオフされているため、動作電流を消費しない

ビット 6-4 **未実装 :**「0」として読み出し

ビット 3-2 **CPSRNG<1:0>:** 容量検知オシレータの範囲ビット
00 = オシレータはオフ
01 = オシレータは低範囲。チャージ / ディスチャージ電流は、0.1 µA (公称値)
10 = オシレータは中範囲。チャージ / ディスチャージ電流は、1.2 µA (公称値)
11 = オシレータは高範囲。チャージ / ディスチャージ電流は、18 µA (公称値)

ビット 1 **CPSOUT:** 容量検知オシレータのステータス ビット
1 = オシレータはソース電流 (ピンから出力する電流)
0 = オシレータはシンク電流 (ピンに吸い込む電流)

ビット 0 **T0XCS:** Timer0 外部クロック ソースの選択ビット
TMR0CS = 1 の場合
T0XCS ビットによって、コア /Timer0 モジュールの外部のどのクロックが Timer0 に供給されるか選択される
1 = Timer0 のクロック ソースは容量検知オシレータ
0 = Timer0 のクロック ソースは T0CKI ピン
TMR0CS = 0 の場合
Timer0 クロック ソースは、コア /Timer0 モジュールで制御されます。そしてそれは、FOSC/4 です。

 © 2009 Microchip Technology Inc.

レジスタ 18-2: CPSCON1: 容量検知の制御レジスタ 1

U-0	U-0	U-0	R/W-0/0(1, 2)	R/W-0/0(1)	R/W-0/0	R/W-0/0	R/W-0/0
—	—	—	CPSCH4	CPSCH3	CPSCH2	CPSCH1	CPSCH0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-4 **未実装 :**「0」として読み出し

ビット 3-0 **CPSCH<3:0>:** 容量検知のチャネル選択ビット

CPSON = 0 の場合 :

これらのビットは無視され、チャネルは選択されない

CPSON = 1 の場合 :

0000 = チャネル 0、(CPS0)
0001 = チャネル 1、(CPS1)
0010 = チャネル 2、(CPS2)
0011 = チャネル 3、(CPS3)
0100 = チャネル 4、(CPS4)
0101 = チャネル 5、(CPS5)
0110 = チャネル 6、(CPS6)
0111 = チャネル 7、(CPS7)
1000 = チャネル 8、(CPS8(1))
1001 = チャネル 9、(CPS9(1))
1010 = チャネル 10、(CPS10(1))
1011 = チャネル 11、(CPS11(1))
1100 = チャネル 12、(CPS12(1))
1101 = チャネル 13、(CPS13(1))
1110 = チャネル 14、(CPS14(1))
1111 = チャネル 15、(CPS15(1))

注 1: これらのチャネルは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスにインプリメントされていません。
2: このビットは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスにインプリメントされていないため、「0」として読み出されます。

表 18-2: 容量検知関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
ANSELA	—	—	ANSA5	ANSA4	ANSA3	ANSA2	ANSA1	ANSA0	86
ANSELB	—	—	ANSB5	ANSB4	ANSB3	ANSB2	ANSB1	ANSB0	91
ANSELD	ANSD7	ANSD6	ANSD5	ANSD4	ANSD3	ANSD2	ANSD1	ANSD0	97
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
OPTION_REG	$\overline{\text{WPUEN}}$	INTEDG	TMR0CS	TMR0SE	PSA	PS2	PS1	PS0	51
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
T1CON	TMR1CS1	TMR1CS0	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{\text{T1SYNC}}$	—	TMR1ON	169
TxCON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMRXON	TXCKPS1	TXCKPS0	175
TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	86
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	91
TRISD	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	97

記号の説明 : - = 未実装、「0」として読み出し。u = 不変。x = 不明。網掛けのビットは容量検知モジュールでは使用しません。

ノート：

 © 2009 Microchip Technology Inc.

19.0 キャプチャ / コンペア /PWM モジュール (ECCP1、ECCP2、ECCP3、CCP4、CCP5)

このデバイスには、3 つの拡張型キャプチャ / コンペア /PWM モジュール (ECCP1、ECCP2、ECCP3) と 2 つの標準型キャプチャ / コンペア /PWM モジュール (CCP4 および CCP5) があります。CCP4 モジュールと CCP5 モジュールの動作は類似しています。ECCP1、ECCP2 および ECCP3 モジュールは、CCP1、CCP2、CCP3 とも呼ばれます。

19.1 キャプチャ / コンペア /PWM

拡張型キャプチャ / コンペア /PWM モジュールは、さまざまなイベントのタイミングを制御するための周辺機能です。キャプチャ モードでは、イベントのタイミングをとることができます。コンペア モードでは、あらかじめ設定した時間が経過した時点で外部イベントをトリガできます。PWM モードでは、さまざまな周波数やデューティ サイクルのパルス幅変調 (PWM) 信号を生成できます。

表 19-1 に、CCP モジュールで必要なタイマ リソースを示します。

表 19-1: 必要なタイマ リソース

CCP Mode	Timer Resource
Capture	Timer1
Compare	Timer1
PWM	Timer2 or 4 or 6

レジスタ 19-1: CCPXCON: CCPX 制御レジスタ

R/W-00	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
PxM1(1)	PxM0(1)	DCxB1	DCxB0	CCPxM3	CCPxM2	CCPxM1	CCPxM0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-6 **PxM<1:0>:** 拡張型 PWM 出力のコンフィギュレーション ビット (1)

CCPxM<3:2> = 00、01、10 の場合 :

xx = PxA をキャプチャ / コンペア入力に割り当て、PxB、PxC、PxD をポートピンに割り当てる

CCPxM<3:2> = 11 の場合 :

00 = シングル出力。PxA が変調され、PxB、PxC、PxD をポートピンに割り当てる

01 = 順方向のフルブリッジ出力。P1D が変調され、P1A がアクティブ、P1B と P1C が非アクティブ

10 = ハーフブリッジ出力。P1A と P1B が変調され (デッドバンド制御あり)、P1C と P1D をポート ピンに割り当てる

11 = 逆方向フルブリッジ出力。P1B が変調され、P1C がアクティブ、P1A と P1D が非アクティブ

ビット 5-4 **DCxB<1:0>:** PWM デューティ サイクル LSB (最下位ビット)

キャプチャ モード :

未使用

コンペア モード :

未使用

PWM モード :

PWM デューティ サイクルの下位 2 ビット。上位 8 ビットは CCPRxL に割り当て。

ビット 3-0 **CCPxM<3:0>:** ECCPx モード選択ビット

0000 = キャプチャ / コンペア /PWM はオフ (ECCPx モジュールをリセット)

0001 = 予約

0010 = コンペア モード。一致時に出力をトグルする

0011 = キャプチャ モード

0100 = キャプチャ モード : すべての立ち下がりエッジ

0101 = キャプチャ モード : すべての立ち上がりエッジ

0110 = キャプチャ モード : 立ち上がりエッジ 4 回ごと

0111 = キャプチャ モード : 立ち上がりエッジ 16 回ごと

1000 = コンペア モード : ECCPx ピンを Low に初期化し、比較が一致 (CCPxIF をセット) すると出力をセットする

1001 = コンペア モード : ECCPx ピンを high に初期化し、比較が一致 (CCPxIF をセット) すると出力をクリアする

1010 = コンペア モード : ソフトウェア割り込みのみ生成し、ECCPx ピンは I/O ステートに戻る

1011 = コンペア モード : 特殊イベントをトリガする (ECCPx が TMR1 または TMR3 をリセット、CCPxIF ビットをセット、また A/D モジュールが有効の場合、ECCP2 トリガが A/D 変換を開始する)(1)

CCP<5:4> のみ :

11xx = PWM モード

ECCP<3:1> のみ :

1100 = PWM モード : PxA と PxC はアクティブ High、PxB と PxD はアクティブ High

1101 = PWM モード : PxA と PxC はアクティブ High 、PxB と PxD はアクティブ Low

1110 = PWM モード : PxA と PxC はアクティブ Low、PxB と PxD はアクティブ High

1111 = PWM モード : PxA と PxC はアクティブ Low、PxB と PxD はアクティブ Low

注 1: これらのビットは、CCP<5:4> にインプリメントされていません。

 © 2009 Microchip Technology Inc.

19.2 CCP クロック選択

PIC16F193X/LF193X では、CCP モジュールを制御するタイマ ソースの選択はモジュールごとに設定できます。つまり、各モジュールで個別選択できます。

PIC16F193X/LF193X の場合、16 ビット タイマ (Timer1) は 1 個しかないため、CCP モジュールのキャプチャおよびコンペア モードでは常に Timer1 を使用します。自動リロード機能付きの 8 ビット タイマは 3 つ (Timer2、Timer4、Timer6) あるため、CCP モジュールの PWM モードではこれらのタイマのいずれかを使用できます。

タイマの選択には、次のレジスタを使用します。

- CCP タイマ制御レジスタ 0 (CCPTMRS0)
- CCP タイマ制御レジスタ 1 (CCPTMRS1)

レジスタ 19-2: CCPTMRS0: CCP タイマ制御レジスタ 0

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
C4TSEL1	C4TSEL0	C3TSEL1	C3TSEL0	C2TSEL1	C2TSEL0	C1TSEL1	C1TSEL0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-6 **C4TSEL<1:0>:** CCP4 タイマ選択
00 = CCP4 は PWM モードで Timer2 を使用
01 = CCP4 は PWM モードで Timer4 を使用
10 = CCP4 は PWM モードで Timer6 を使用
11 = 予約

ビット 5-4 **C3TSEL<1:0>:** CCP3 タイマ選択
00 = CCP3 は PWM モードで Timer2 を使用
01 = CCP3 は PWM モードで Timer4 を使用
10 = CCP3 は PWM モードで Timer6 を使用
11 = 予約

ビット 3-2 **C2TSEL<1:0>:** CCP2 タイマ選択
00 = CCP2 は PWM モードで Timer2 を使用
01 = CCP2 は PWM モードで Timer4 を使用
10 = CCP2 は PWM モードで Timer6 を使用
11 = 予約

ビット 1-0 **C1TSEL<1:0>:** CCP1 タイマ選択
00 = CCP1 は PWM モードで Timer2 を使用
01 = CCP1 は PWM モードで Timer4 を使用
10 = CCP1 は PWM モードで Timer6 を使用
11 = 予約

レジスタ 19-3: CCPTMRS1: CCP タイマ制御レジスタ 1

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0/0	R/W-0/0
—	—	—	—	—	—	C5TSEL1	C5TSEL0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-2 **未実装 :**「0」として読み出し

ビット 1-0 **C5TSEL<1:0>:** CCP5 タイマ選択

00 = CCP5 は PWM モードの Timer2 を使用
01 = CCP5 は PWM モードの Timer4 を使用
10 = CCP5 は PWM モードの Timer6 を使用
11 = 予約

 © 2009 Microchip Technology Inc.

19.3 キャプチャ モード

キャプチャ モードでは、CCPx ピンにイベントが発生すると TMR1 レジスタの 16 ビット値が CCPRxH と CCPRxL レジスタ ペアにキャプチャされます。イベントの定義は次のいずれかであり、CCPxCON レジスタの CCPxM<3:0> ビットで設定します。

- すべての立ち下がりエッジ
- すべての立ち上がりエッジ
- 立ち上がりエッジ 4 回ごと
- 立ち上がりエッジ 16 回ごと

キャプチャが実行されると、PIRx レジスタの割り込み要求フラグ ビット CCPxIF がセットされます。この割り込みフラグはソフトウェアでクリアされる必要があります。CCPRxH と CCPRxL のレジスタ ペア値を読み出す前に再度キャプチャが実行されると、以前にキャプチャした値が新しいキャプチャ値で上書きされます (図 19-1 参照)。

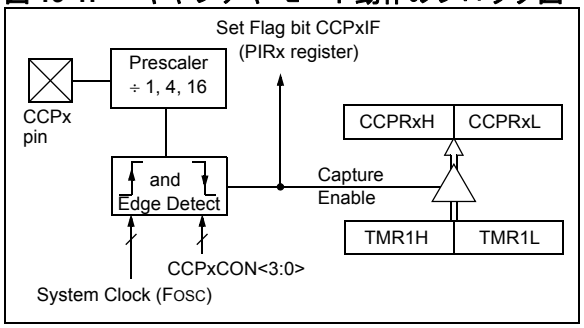
19.3.1 CCPX ピンのコンフィギュレーション

キャプチャ モードでは、関連する TRIS 制御ビットをセットして CCPx ピンを入力として設定してください。

また、APFCON レジスタを使用して CCPx ピンの機能を他のピンに移動することができます。詳細は、**6.1 項「代替ピン機能」**を参照してください。

注 : CCPx ピンを出力に設定した場合は、ポートに書き込み動作を実行するとキャプチャが発生します。

図 19-1: キャプチャ モード動作のブロック図



19.3.2 TIMER1 のモード選択

CCP モジュールのキャプチャ機能を利用するには、Timer1 の動作をタイマ モードまたは同期カウンタ モードに設定する必要があります。非同期カウンタ モードの場合、キャプチャ機能は利用できません。

19.3.3 ソフトウェア割り込みモード

キャプチャ モードを変更した場合、不正にキャプチャ割り込みが生成されることがあります。このような不正な割り込み動作を防ぐため、ユーザーが PIEx レジスタの CCPxIE 割り込みイネーブル ビットをクリア状態に保持する必要があります。また、動作モード変更後には、PIRx レジスタの CCPxIF 割り込みフラグ ビットをクリアしてください。

注 : キャプチャ モードの場合、システム クロック (FOSC) を使用して Timer1 へクロック供給してはいけません。キャプチャ モードで CCPx ピンのトリガ イベントを認識するには、Timer1 は命令クロック (FOSC/4) または外部クロック ソースを使用してください。

19.3.4 CCP プリスケーラ

プリスケーラの設定は 4 種類あり、CCPxCON レジスタの CCPxM<3:0> ビットで設定します。CCP モジュールをオフにした場合、または CCP モジュールがキャプチャ モード以外の場合は、プリスケーラ カウンタはクリアされます。何らかのリセットが発生してもプリスケーラ カウンタはクリアされます。

キャプチャ プリスケーラを切り替えてもプリスケーラはクリアされないので、不正割り込みが発生することがあります。このような予期しない動作を防ぐため、プリスケーラを変更する前に CCPxCON レジスタをクリアしてモジュールをオフにしてください (例 19-1 参照)。

例 19-1: キャプチャ プリスケーラの切り替え

```
BANKSEL CCP1CON     ;Set Bank bits to point
                    ;to CCP1CON
CLRF    CCP1CON     ;Turn CCP module off
MOVLW   NEW_CAPT_PS;Load the W reg with
                    ;the new prescaler
                    ;move value and CCP ON
MOVWF   CCP1CON     ;Load CCP1CON with this
                    ;value
```

19.3.5 スリープ時の動作

通常動作時のキャプチャ モードは、Timer1 モジュールに依存します。キャプチャ モードで Timer1 モジュールを駆動するには 2 つのクロック オプション (命令クロック (FOSC/4) または外部クロック ソース) があります。

FOSC/4 クロックを使用した場合、Timer1 はスリープ中にインクリメントしません。デバイスがウェイクアップするとき、Timer1 はスリープ直前の状態からインクリメントを再開します。

外部クロック ソースを使用した場合のキャプチャ モードの動作については **19.1 項「キャプチャ / コンペア /PWM」**で説明しています。

表 19-2: キャプチャ関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
CCPxCON	PxM1(1)	PxM0(1)	DCxB1	DCxB0	CCPxM3	CCPxM2	CCPxM1	CCPxM0	184
CCPRxL	Capture/Compare/PWM Register x Low Byte (LSB)								187
CCPRxH	Capture/Compare/PWM Register x High Byte (MSB)								187
CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1SP	C1HYS	C1SYNC	148
CM1CON1	C1INTP	C1INTN	C1PCH1	C1PCH0	—	—	C1NCH1	C1NCH0	149
CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2SP	C2HYS	C2SYNC	148
CM2CON1	C2INTP	C2INTN	C2PCH1	C2PCH0	—	—	C2NCH1	C2NCH0	149
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIE2	OSFIE	C2IE	C1IE	EEIE	BCLIE	LCDIE	—	CCP2IE	75
PIE3	—	CCP5IE	CCP4IE	CCP3IE	TMR6IE	—	TMR4IE	—	76
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
PIR2	OSFIF	C2IF	C1IF	EEIF	BCLIF	LCDIF	—	CCP2IF	78
PIR3	—	CCP5IF	CCP4IF	CCP3IF	TMR6IF	—	TMR4IF	—	79
T1CON	TMR1CS1	TMR1CS0	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{\text{T1SYNC}}$	—	TMR1ON	169
T1GCON	TMR1GE	T1GPOL	T1GTM	T1GSPM	T1GGO/DONE	T1GVAL	T1GSS1	T1GSS0	170
TMR1L	Holding Register for the Least Significant Byte of the 16-bit TMR1 Register								165
TMR1H	Holding Register for the Most Significant Byte of the 16-bit TMR1 Register								165
TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	86
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	91
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94
TRISD	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	97
TRISE	—	—	—	—	TRISE3	TRISE2(2)	TRISE1(2)	TRISE0(2)	101

記号の説明： － = 未実装、「0」として読み出し。u = 不変。x = 不明。網掛けのビットはキャプチャ/ コンペアでは使用しません。
注 1: ECCP モジュールにのみ適用されます。

© 2009 Microchip Technology Inc.

19.4 コンペア モード

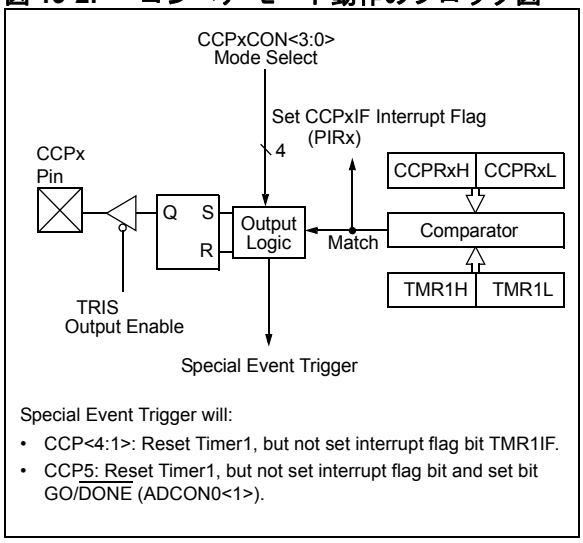
コンペア モードでは、CCPRx レジスタの 16 ビット値と TMR1 レジスタの値が常に比較されます。これらの値が一致すると、CCPx モジュールは次の動作を行うことが可能です。

- CCPx 出力をトグルする
- CCPx 出力をセットする
- CCPx 出力をクリアする
- 特殊イベント トリガを生成する
- ソフトウェア割り込みを生成する

ピンの動作は CCPxCON レジスタの CCPxM<3:0> 制御ビットの値によって決まります。同時に、割り込みフラグ CCPxIF ビットがセットされます。

すべてのコンペア モードで割り込みを生成することができます。

図 19-2: コンペア モード動作のブロック図



19.4.1 CCPX ピンのコンフィギュレーション

ユーザーが関連する TRIS ビットをクリアして CCP1 ピンを出力として設定する必要があります。

また、APFCON レジスタを使用して CCPx ピンの機能を他のピンに移動することができます。詳細は、**6.1 項「代替ピン機能」**を参照してください。

> **注 :** CCPxCON レジスタをクリアすると、CCPx コンペア出力ラッチは強制的にデフォルトの Low レベルになります。これは PORT I/O データ ラッチではありません。

19.4.2 TIMER1 のモード選択

コンペア モードでは、Timer1 はタイマ モードまたは同期カウンタ モードのいずれかで動作している必要があります。非同期カウンタ モードの場合、コンペア機能は利用できません。

> **注 :** キャプチャ モードの場合、Timer1 にはシステム クロック (FOSC) を使用できません。キャプチャ モードが CCPx ピンでトリガ イベントを認識するには、Timer1 は命令クロック (FOSC/4) または外部クロック ソースを使用する必要があります。

19.4.3 ソフトウェア割り込みモード

ソフトウェア割り込み生成モード (CCPxM<3:0> = 1010) を選択した場合、CCPx モジュールは CCPx ピンをアサートしません (CCP1CON レジスタ参照)。

19.4.4 特殊イベント トリガ

特殊イベント トリガ モード (CCPxM<3:0> = 1011) を選択した場合、CCPx モジュールは次の動作を行います。

- Timer1 をリセットする
- ADC が有効な場合、A/D 変換を開始する (CCP5 のみ)

このモードでは、CCPx モジュールは CCPx ピンの制御を行いません (CCPxCON レジスタ参照)。

CCP の特殊イベント トリガは、TMR1H と TMR1L のレジスタ ペアと CCPRxH と CCPRxL のレジスタ ペアが一致するとすぐに出力されます。TMR1H と TMR1L のレジスタ ペアは、Timer1 クロックの次の立ち上がりエッジまでリセットされません。A/D モジュールが有効な場合は、特殊イベント トリガ出力が A/D 変換を開始します。この機能は、CCP5 でのみ使用可能です。これにより、CCPRxH レジスタと CCPRxL のレジスタが効果的に Timer1 の 16 ビット プログラマブル周期レジスタを提供できます。

> **注 1:** CCP モジュールからの特殊イベント トリガは、PIR1 レジスタの割り込みフラグ ビット TMR1IF をセットしません。
>
> **2:** 特殊イベント トリガを生成するクロック エッジから Timer1 がリセットを生成するクロック エッジまでの間に、レジスタ ペア CCPRxH と CCPRxL の内容を変更して一致状態を解消すると、リセットは発生しません。

19.4.5 スリープ時のコンペア機能

通常動作時のコンペア モードは、システム クロック (FOSC) に依存します。FOSC はスリープ モードで停止するため、コンペア モードはスリープ中に機能しません。

表 19-3: コンペア関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
CCPxCON	PxM1(1)	PxM0(1)	DCxB1	DCxB0	CCPxM3	CCPxM2	CCPxM1	CCPxM0	184
CCPRxL	Capture/Compare/PWM Register x Low Byte (LSB)								187
CCPRxH	Capture/Compare/PWM Register x High Byte (MSB)								187
CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1SP	C1HYS	C1SYNC	148
CM1CON1	C1INTP	C1INTN	C1PCH1	C1PCH0	—	—	C1NCH1	C1NCH0	149
CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2SP	C2HYS	C2SYNC	148
CM2CON1	C2INTP	C2INTN	C2PCH1	C2PCH0	—	—	C2NCH1	C2NCH0	149
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIE2	OSFIE	C2IE	C1IE	EEIE	BCLIE	LCDIE	—	CCP2IE	75
PIE3	—	CCP5IE	CCP4IE	CCP3IE	TMR6IE	—	TMR4IE	—	76
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
PIR2	OSFIF	C2IF	C1IF	EEIF	BCLIF	LCDIF	—	CCP2IF	78
PIR3	—	CCP5IF	CCP4IF	CCP3IF	TMR6IF	—	TMR4IF	—	79
T1CON	TMR1CS1	TMR1CS0	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{\text{T1SYNC}}$	—	TMR1ON	169
T1GCON	TMR1GE	T1GPOL	T1GTM	T1GSPM	T1GGO/DONE	T1GVAL	T1GSS1	T1GSS0	170
TMR1L	Holding Register for the Least Significant Byte of the 16-bit TMR1 Register								165
TMR1H	Holding Register for the Most Significant Byte of the 16-bit TMR1 Register								165
TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	86
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	91
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94
TRISD	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	97
TRISE	—	—	—	—	TRISE3	TRISE2(2)	TRISE1(2)	TRISE0(2)	101

記号の説明： － = 未実装、「0」として読み出し。u = 不変。x = 不明。網掛けのビットはキャプチャ/ コンペアでは使用しません。

注 1: ECCP モジュールにのみ適用されます。

2: これらのレジスタは、PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスにインプリメントされていないため、「0」として読み出されます。

 © 2009 Microchip Technology Inc.

19.5 PWM モード

PWM モードでは、CCPx ピンに PWM (パルス幅変調) 信号が生成されます。デューティ サイクル、周期、分解能は次のレジスタで設定します。

- PRx
- TxCON
- CCPRxL
- CCPxCON

ECCP モジュールには、次のレジスタが追加されています。

- ECCPxAS
- PSTRxCON
- PWMxCON

PWM モードでは、CCPx モジュールが CCPx ピンに最大分解能 10 ビットの PWM 出力を生成します。CCPx ピンは PORT データ ラッチと多重化されているため、このピンの TRIS をクリアして CCPx ピン出力ドライバを有効にする必要があります。

注 :	CCPxCON レジスタをクリアすると、CCPx による CCPx ピンの制御が解除されます。

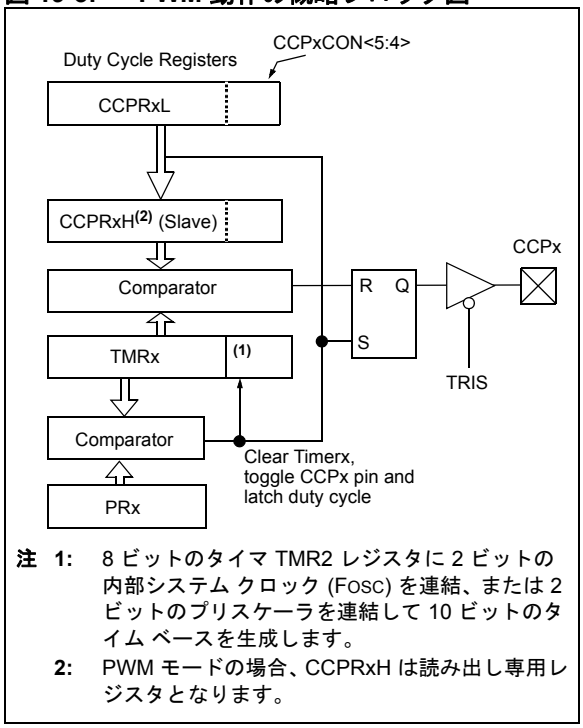
PWM モードの CCPx モジュールでは、Timer2、Timer4、または Timer6 のいずれかを選択して使用できます。これは、CCPTMRS0 レジスタおよび CCPTMRS1 レジスタで制御されます。詳細は、**19.2 項「CCP クロック選択」**を参照してください。

図 19-3 に、PWM 動作の概略ブロック図を示します。

図 19-4 には、PWM 信号の典型的な波形を示します。

CCP モジュールを PWM モードで動作させる手順については、**19.5.7 項「PWM 動作のセットアップ」**を参照してください。

図 19-3: PWM 動作の概略ブロック図

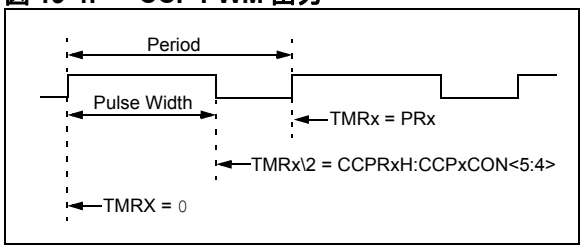


注 1: 8 ビットのタイマ TMR2 レジスタに 2 ビットの内部システム クロック (FOSC) を連結、または 2 ビットのプリスケーラを連結して 10 ビットのタイム ベースを生成します。

2: PWM モードの場合、CCPRxH は読み出し専用レジスタとなります。

PWM 出力 (図 19-4) には、タイム ベース (周期) と出力が High になる時間 (デューティ サイクル) の 2 つの要素があります。

図 19-4: CCP PWM 出力



19.5.1 PWM の周期

PWM の周期は、Timerx の PRx レジスタで指定します。PWM の周期の計算には、式 19-1 を使用します。

式 19-1: PWM の周期

$$PWM\ Period = [(PR2x) + 1] \bullet 4 \bullet T_{OSC} \bullet (TMRx\ Prescale\ Value)$$

注 1: TOSC = 1/FOSC

TMRx と PRx が等しくなると、直後のインクリメント サイクルで次の 3 つのイベントが実行されます。

- TMRx がクリアされる
- CCPx ピンがセットされる (例外 : PWM のデューティ サイクル = 0% の場合、ピンはセットされない。)
- PWM のデューティ サイクルが CCPRxL から CCPRxH にラッチされる

注 : PWM の周波数は、Timerx のポストスケーラ (**17.1 項「Timer2/4/6 の動作」**参照) に関係なく決定します。

19.5.2 PWM のデューティ サイクル

PWM のデューティ サイクルは、CCPRxL レジスタ、および CCPxCON レジスタの DCxB<1:0> ビットに 10 ビットの値を書き込んで設定します。CCPRxL レジスタには上位 8 ビット、CCPxCON レジスタの DCxB<1:0> ビットには下位 2 ビットを書き込みます。CCPRxL および CCPxCON レジスタの DCxB<1:0> ビットへの書き込みは常に可能です。周期の完了後 (PRx レジスタと TMRx レジスタが一致)、その時点でデューティ サイクルの値が CCPRxH にラッチされます。PWM を使用中は、CCPRxH レジスタが読み出し専用となります。

PWM のパルス幅の計算には、式 19-2 を使用します。

PWM のデューティ サイクル比の計算には、式 19-3 を使用します。

式 19-2: パルス幅

$$Pulse\ Width = (CCPRxL:CCPxCON\langle 5:4\rangle) \bullet T_{OSC} \bullet (TMRx\ Prescale\ Value)$$

式 19-3: デューティ サイクル比

$$Duty\ Cycle\ Ratio = \frac{(CCPRxL:CCPxCON\langle 5:4\rangle)}{4(PRx + 1)}$$

CCPRxH レジスタと 2 ビットの内部ラッチが PWM デューティ サイクルの二重バッファとして使用されます。この二重バッファは、グリッチのない PWM 動作に不可欠です。

8 ビットのタイマ TMRx レジスタに 2 ビットの内部システム クロック (FOSC) を連結、または 2 ビットのプリスケーラを連結して 10 ビットのタイム ベースを生成します。Timerx のプリスケーラが 1:1 に設定されている場合はシステム クロックが使用されます。

10 ビットのタイム ベースが CCPRxH と 2 ビットのラッチと一致すると、CCPx ピンがクリアされます (図 19-3 参照)。

 © 2009 Microchip Technology Inc.

19.5.3 PWM の分解能

分解能は、ある一定の周期で設定可能なデューティサイクルの数を決定します。例えば分解能 10 ビットの場合は 1024 個のデューティ サイクル、分解能 8 ビットの場合は 256 個のデューティ サイクルを設定できます。

PRx が 255 の場合、PWM の最大分解能は 10 ビットです。式 19-4 に示すように、分解能は PRx レジスタの値に応じて決まります。

式 19-4: PWM の分解能

$$Resolution = \frac{log[4(PRx + 1)]}{log(2)} \ bits$$

注 : パルス幅の値が周期より大きい場合、割り当てられた PWM ピンは変化しません。

表 19-4: PWM の周波数と分解能の例 (FOSC = 32 MHz)

PWM Frequency	1.95 kHz	7.81 kHz	31.25 kHz	125 kHz	250 kHz	333.3 kHz
Timer Prescale (1, 4, 16)	16	4	1	1	1	1
PRx Value	0xFF	0xFF	0xFF	0x3F	0x1F	0x17
Maximum Resolution (bits)	10	10	10	8	7	6.6

表 19-5: PWM の周波数と分解能の例 (FOSC = 20 MHz)

PWM Frequency	1.22 kHz	4.88 kHz	19.53 kHz	78.12 kHz	156.3 kHz	208.3 kHz
Timer Prescale (1, 4, 16)	16	4	1	1	1	1
PRx Value	0xFF	0xFF	0xFF	0x3F	0x1F	0x17
Maximum Resolution (bits)	10	10	10	8	7	6.6

表 19-6: PWM の周波数と分解能の例 (FOSC = 8 MHz)

PWM Frequency	1.22 kHz	4.90 kHz	19.61 kHz	76.92 kHz	153.85 kHz	200.0 kHz
Timer Prescale (1, 4, 16)	16	4	1	1	1	1
PRx Value	0x65	0x65	0x65	0x19	0x0C	0x09
Maximum Resolution (bits)	8	8	8	6	5	5

19.5.4 スリープ モード時の動作

スリープ モード時、TMRx レジスタはインクリメントせず、モジュールのステートは変化しません。CCPx ピンが特定の値を駆動している場合は、その値が駆動され続けます。デバイスがウェイクアップすると、TMRx は直前の状態からインクリメントを再開します。

19.5.5 システム クロック周波数の変更

PWM の周波数はシステム クロック周波数から生成されます。システム クロック周波数を変更すると、PWM の周波数も変化します。詳細は、**8.0 項「オシレータ モジュール (フェイルセーフ クロック モニタ機能付き)」**を参照してください。

19.5.6 リセットの影響

何らかのリセットが発生すると、すべてのポートが強制的に入力モードとなり、CCP レジスタはリセット状態に戻ります。

19.5.7 PWM 動作のセットアップ

CCP モジュールを PWM 動作に設定するには、次の手順を実行します。

1. 関連する TRIS ビットをセットして PWM ピン (CCPx) の出力ドライバを無効にする
2. PRx レジスタに PWM 周期の値をロードする
3. CCPxCON レジスタに適切な値をロードして CCP モジュールを PWM モードに設定する
4. CCPRxL レジスタおよび CCPxCON レジスタの DCxBx ビットに PWM のデューティ サイクル値をロードする
5. Timerx を設定して開始する
   - PIRx レジスタの TMRxIF 割り込みフラグ ビットをクリアする。以下の注を参照
   - TxCON レジスタの TxCKPS ビットに Timerx のプリスケーラ値を設定する
   - T2CON レジスタの TMRxON ビットをセットして Timerx を有効にする
6. PWM 出力ピンを有効にする
   - Timerx のオーバーフロー (PIR1 レジスタの TMRxIF ビットがセットされる) まで待機する。以下の注を参照
   - 関連する TRIS ビットをクリアして PWM ピン (CCPx) の出力ドライバを有効にする

注 : 最初の PWM 出力で確実にデューティ サイクルと周期を送信する場合は、セットアップ シーケンスに上記の手順が必要です。最初の出力で PWM 信号を送信する必要がない場合は、手順 6 を省略できます。

 © 2009 Microchip Technology Inc.

19.6 PWM (拡張型モード)

拡張型 PWM モードでは、最大分解能 10 ビットの PWM 信号を最大 4 つの出力ピンに生成できます。拡張型 PWM 出力モードには次の 4 つがあります。

- シングル PWM
- ハーフブリッジ PWM
- フルブリッジ PWM、順方向モード
- フルブリッジ PWM、逆方向モード

拡張型 PWM モードは、CCP1CON レジスタの P1M ビットをセットして選択します。

注 : PWM 拡張型モードは、拡張型キャプチャ / コンペア /PWM モジュール (CCP1) でのみ使用可能です。

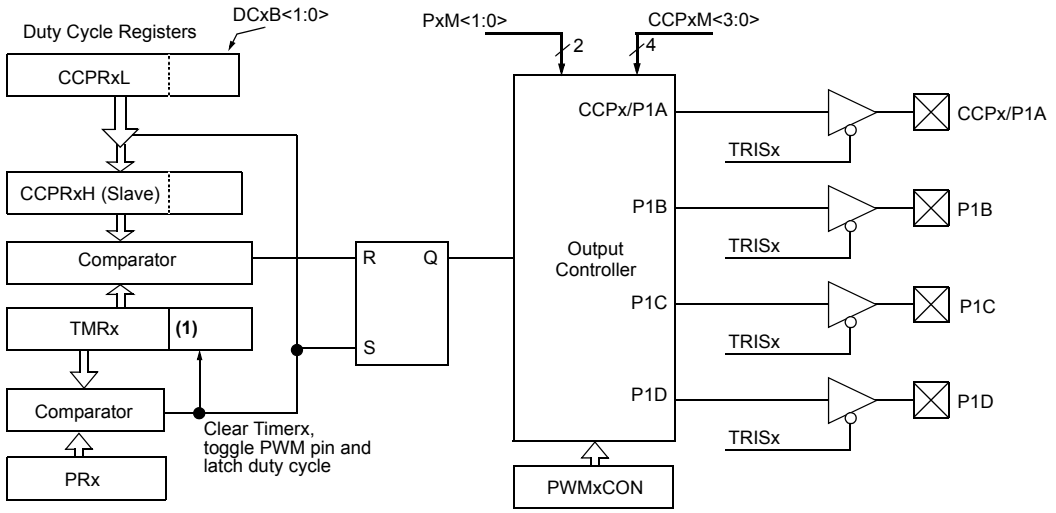
PWM 出力 (P1A、P1B、P1C、P1D) は I/O ピンと多重化されます。PWM ピンの極性は設定可能であり、CCP1CON レジスタの CCP1M ビットをセットして選択します。

表 19-7 に、拡張型 PWM の各モードにおけるピンの割り当てを示します。

図 19-5 に、拡張型 PWM モジュールの概略ブロック図の例を示します。

注 : PWM が有効になった最初の時点で不完全な波形が出力されるのを防ぐため、ECCP モジュールは新しい PWM 周期の開始まで待機してから PWM 信号の生成を開始します。

図 19-5: 拡張型 PWM モードの概略ブロック図



注 1: 8 ビットのタイマ TMRx レジスタに 2 ビットの内部 Q クロックを連結、または 2 ビットのプリスケーラを連結して 10 ビットのタイム ベースを生成します。

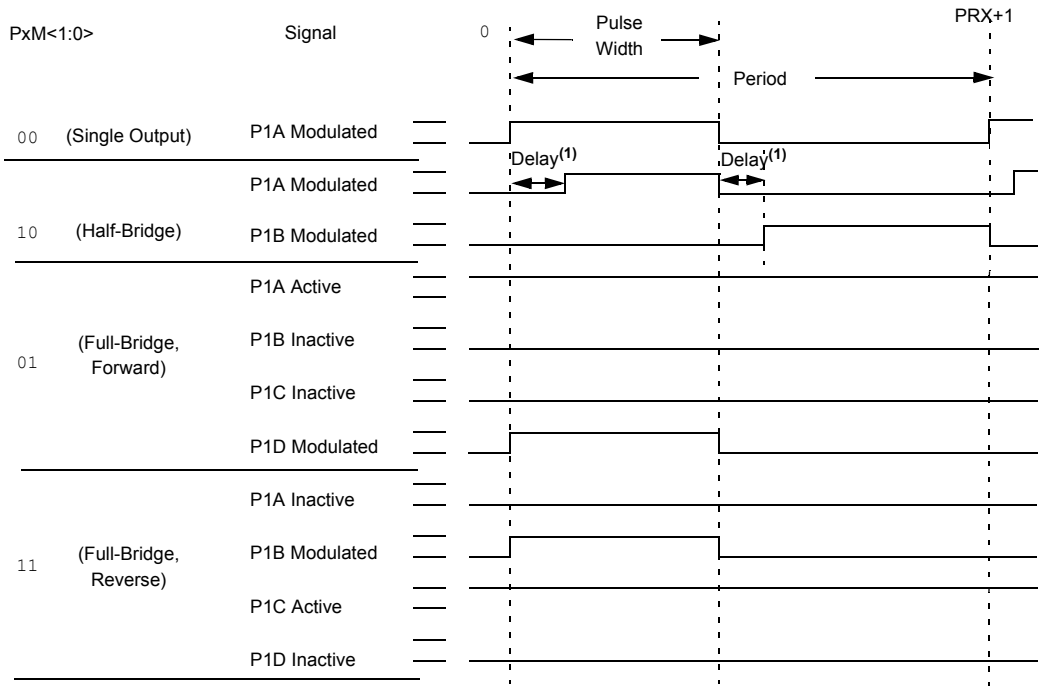
注 1: 各 PWM 出力に対応した TRIS レジスタの値を適切に設定する必要があります。
2: CCPxCON レジスタをクリアすると、ECCP によるすべての PWM 出力ピンの制御が解除されます。
3: 拡張型 PWM モードで使用しないピンは、別のピン機能に利用できます。

表 19-7: 拡張型 PWM の各モードにおけるピン割り当ての例

ECCP Mode	PxM<1:0>	CCPx/P1A	P1B	P1C	P1D
Single	00	Yes(1)	Yes(1)	Yes(1)	Yes(1)
Half-Bridge	10	Yes	Yes	No	No
Full-Bridge, Forward	01	Yes	Yes	Yes	Yes
Full-Bridge, Reverse	11	Yes	Yes	Yes	Yes

注 1: パルス ステアリング制御によって、シングル モードでの出力が可能になります。

図 19-6: PWM (拡張型モード) の出力関係 (アクティブ HIGH) の例



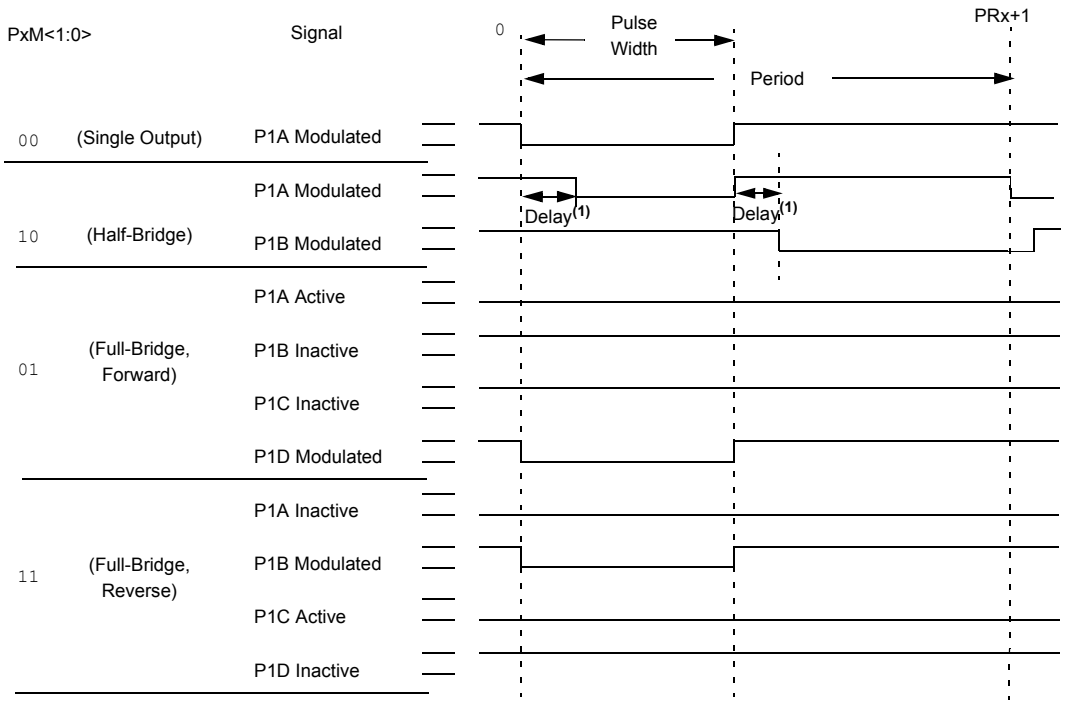
Relationships:

- Period = 4 * TOSC * (PRx + 1) * (TMRx Prescale Value)
- Pulse Width = TOSC * (CCPRxL<7:0>:CCPxCON<5:4>) * (TMRx Prescale Value)
- Delay = 4 * TOSC * (PWMxCON<6:0>)

注 1: デッドバンドの遅延は PWMxCON レジスタを使用してプログラムします (**19.6.6 項「プログラム可能なデッドバンド遅延モード」**)。

© 2009 Microchip Technology Inc.

図 19-7: 拡張型 PWM の出力の関係 (アクティブ LOW) の例



Relationships:

- Period = 4 * TOSC * (PRx + 1) * (TMRx Prescale Value)
- Pulse Width = TOSC * (CCPRxL<7:0>:CCPxCON<5:4>) * (TMRx Prescale Value)
- Delay = 4 * TOSC * (PWMxCON<6:0>)

注 1: デッドバンドの遅延は PWMxCON レジスタを使用してプログラムします（**19.6.6 項「プログラム可能なデッドバンド遅延モード」**）。

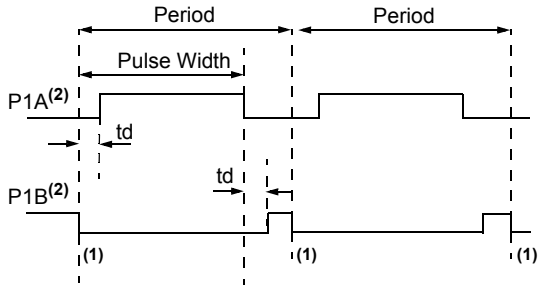
19.6.1 ハーフブリッジ モード

ハーフブリッジ モードでは、2 つのピンを出力として使用してプッシュプル負荷を駆動します。PWM 出力信号は CCPx/P1A ピンに出力され、相補 PWM 出力信号が P1B ピンに出力されます (図 19-9 参照)。図 19-9 に示すように、このモードはハーフブリッジ アプリケーションに使用できるほか、2 つの PWM 信号で 4 つのパワー スイッチを変調することでフルブリッジ アプリケーションにも使用できます。

ハーフブリッジ モードでは、プログラム可能なデッドバンド遅延を使用してハーフブリッジ パワー デバイスにおける貫通電流を防ぐことができます。PWMxCON レジスタの PDC<6:0> ビットの値で、出力をアクティブに駆動するまでの遅延となる命令サイクル数を設定します。この値がデューティ サイクルより大きい場合、対応する出力はサイクル全体で非アクティブのままとなります。デッドバンド遅延の動作について、詳細は **19.6.6 項「プログラム可能なデッドバンド遅延モード」**を参照してください。

P1A と P1B の出力は PORT データ ラッチと多重化されているため、関連する TRIS ビットをクリアして P1A と P1B を出力に設定する必要があります。

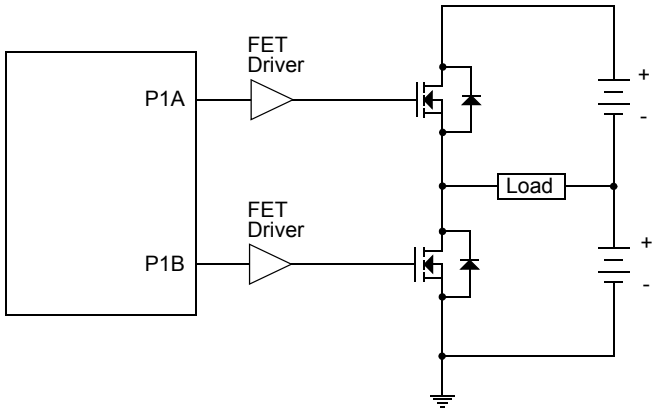
図 19-8: ハーフブリッジ PWM 出力の例



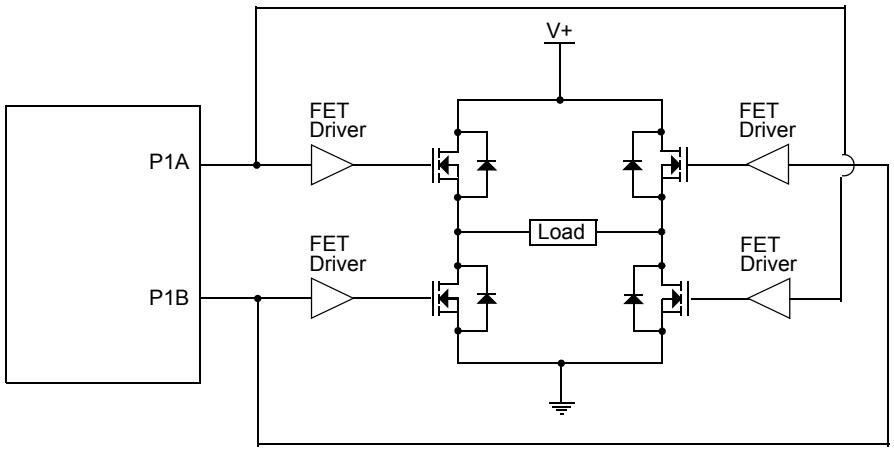
注 1: この時点で TMRx レジスタと PRx レジスタが同じになります。
2: 出力信号はアクティブ High として表示しています。

図 19-9: ハーフブリッジ アプリケーションの例

Standard Half-Bridge Circuit (“Push-Pull”)



Half-Bridge Output Driving a Full-Bridge Circuit



 © 2009 Microchip Technology Inc.

19.6.2 フルブリッジ モード

フルブリッジ モードでは、4 つのピンすべてを出力として使用します。図 19-10 に、フルブリッジ アプリケーションの例を示します。

順方向モードでは、ピン CCPx/P1A がアクティブ状態に駆動され、ピン P1D が変調され、P1B および P1C が非アクティブ状態に駆動されます (図 19-11 参照)。

逆方向モードでは、P1C がアクティブ状態に駆動され、ピン P1B が変調され、P1A および P1D が非アクティブ状態に駆動されます (図 19-11 参照)。

P1A、P1B、P1C、P1D の出力は PORT データ ラッチと多重化されています。P1A、P1B、P1C、P1D ピンを出力に設定するには、関連する TRIS ビットをクリアする必要があります。

図 19-10: フルブリッジ アプリケーションの例

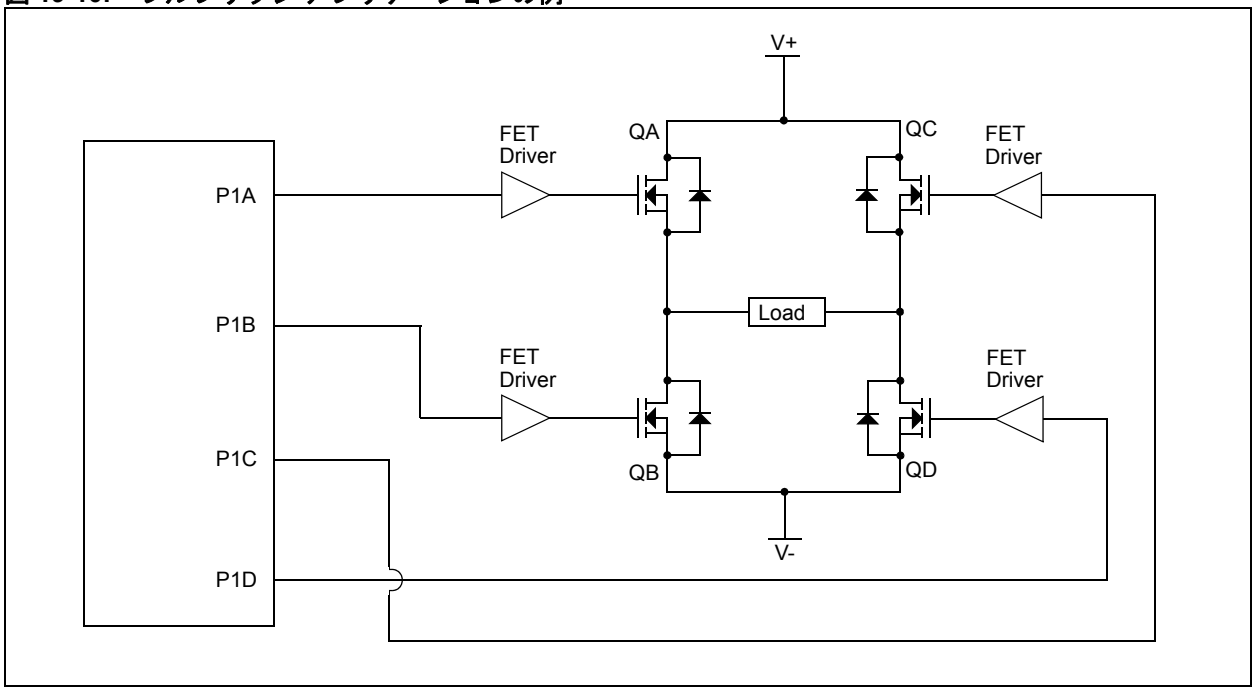
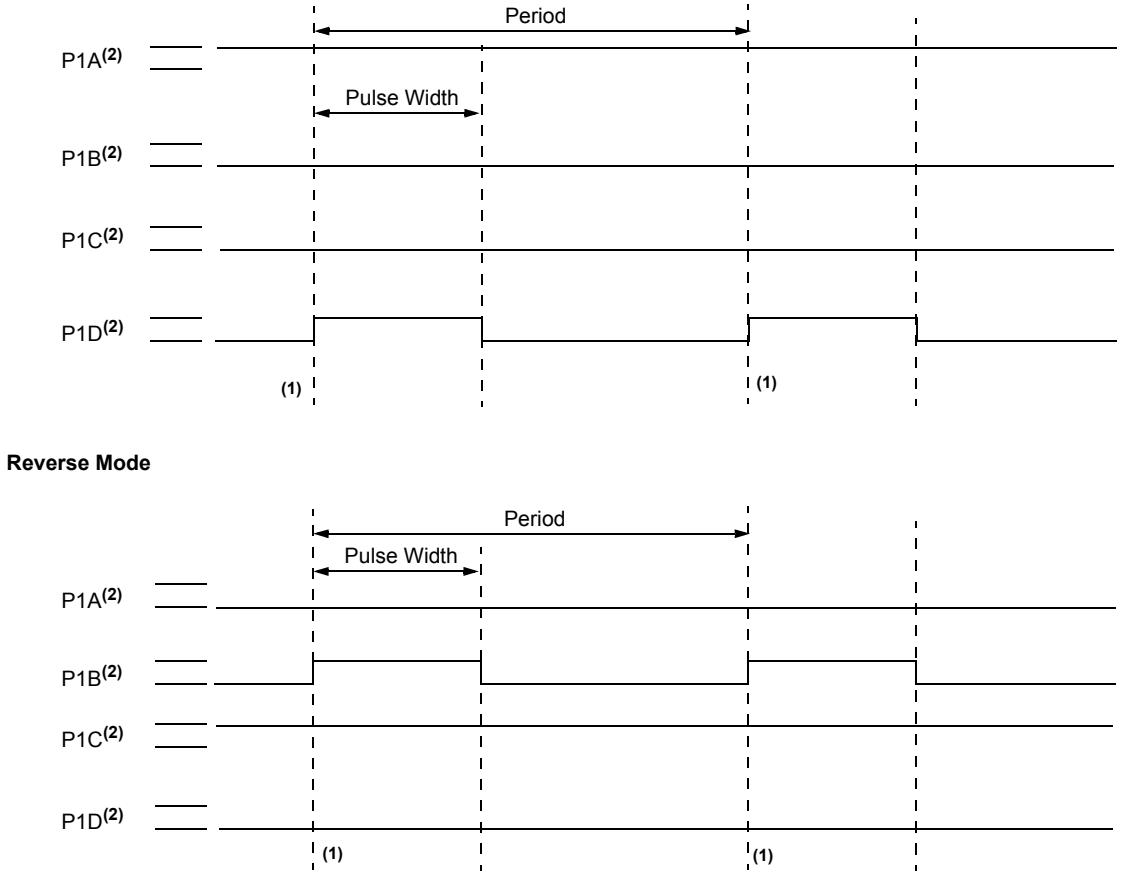


図 19-11:　フルブリッジ PWM 出力の例



注 1:　この時点で TMRx レジスタと PRx レジスタが同じになります。

2:　出力信号はアクティブ High として表示しています。

© 2009 Microchip Technology Inc.

19.6.2.1 フルブリッジ モードにおける方向の変更

フルブリッジ モードでは、CCPxCON レジスタの PxM1 ビットで順方向/逆方向の設定を行うことができます。アプリケーションのファームウェアで、この方向制御ビットを変更すると、モジュールは次の PWM サイクルから新しい方向に切り替わります。

方向を変更するには、まずソフトウェアで CCPxCON レジスタの PxM1 ビットを変更します。現在の PWM 周期の終点から Timerx の 4 サイクル前になった時点で次のシーケンスが発生します。

- 変調出力 (P1B と P1D) が非アクティブ状態になる
- 変調されていない関連出力 (P1A と P1C) の駆動方向が反対に切り替わる
- 次の周期の先頭から PWM 変調が再開される

このシーケンスを図 19-12 に示します。

フルブリッジ モードにはデッドバンド遅延はありません。一度に変調される出力が 1 つしかないため、ほとんどの場合デッドバンド遅延は不要です。しかしデッドバンド遅延が必要となるケースが 1 つ存在します。それは、次の条件が 2 つとも真の場合です。

1. 出力のデューティ サイクルが 100% またはそれに近い状態で PWM 出力の方向が変化した
2. パワー スイッチ (パワー デバイスとドライバ回路を含む) のターンオフ時間がターンオン時間よりも長い

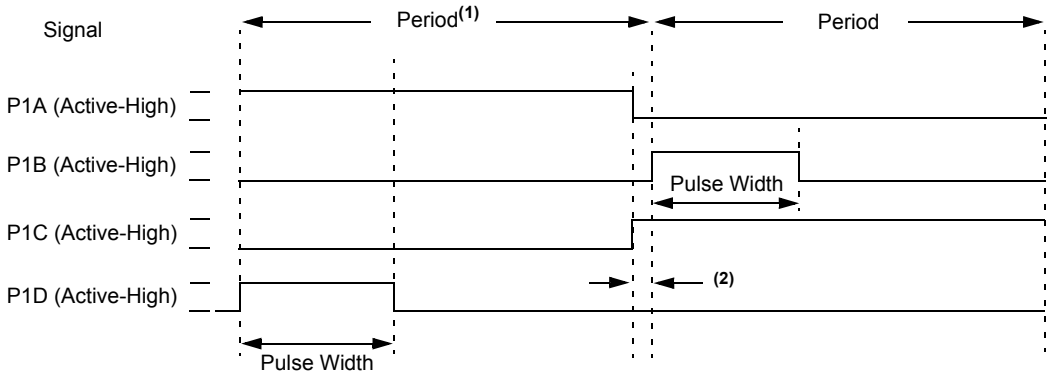
デューティ サイクルが 100% に近い状態で PWM 出力が順方向から逆方向に変化した場合の例を図 19-13 に示します。この例では、t1 の時点で出力 P1A と P1D が非アクティブになり、出力 P1C がアクティブになります。パワー デバイスのターンオフ時間の方がターンオン時間よりも長いため、「t」の期間、パワー デバイス QC と QD に貫通電流が流れます (図 19-10 参照)。PWM が逆方向から順方向に変化した場合も、同じ現象がパワー デバイス QA と QB に発生します。

高いデューティ サイクルの状態で PWM の方向を変える必要のあるアプリケーションでは、貫通電流を防ぐ方法として次の 2 つが考えられます。

1. 方向を変化する 1 つ前の PWM 周期のみ PWM のデューティ サイクルを下げる
2. ターンオン時間よりもターンオフ時間の短いスイッチ ドライバを使用する

これ以外にも、貫通電流を防ぐ方法が存在することがあります。

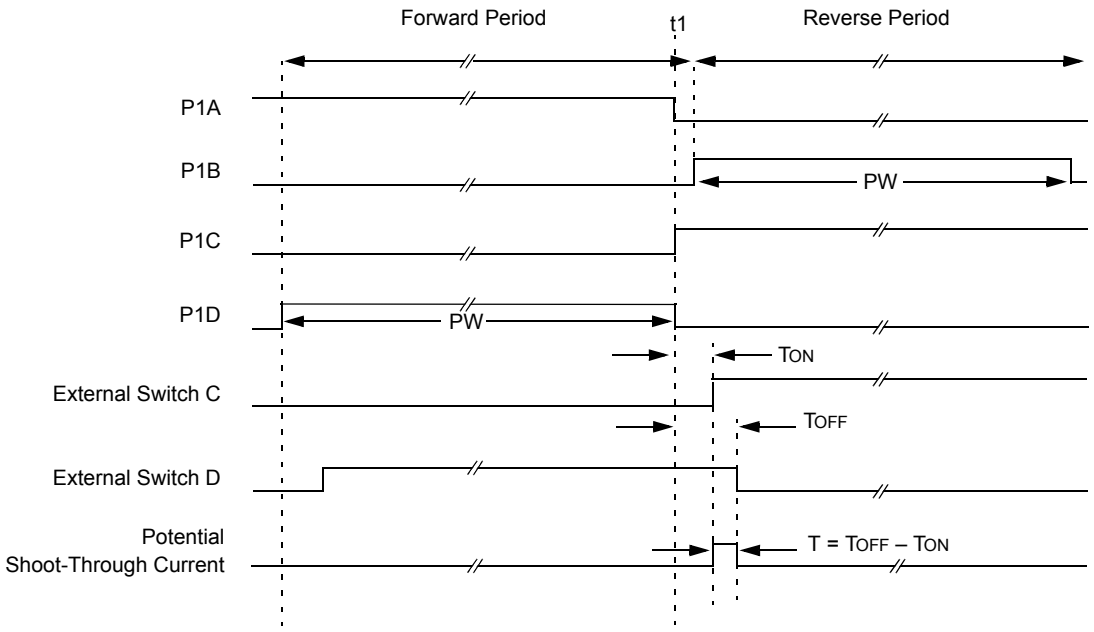
図 19-12: PWM の方向変更の例



注 1: CCPxCON レジスタの方向制御ビット PxM1 は、PWM サイクル内で常時書き込み可能です。

2: 方向を変える際は、現在の PWM サイクルが終了する前に P1A と P1C 信号が切り替わります。この時点では、変調された P1B と P1D 信号は非アクティブです。この時間の長さは Timerx の 4 カウント分です。

図 19-13:　デューティ サイクルが 100% に近い状態での PWM の方向変化の例



注 1: 信号はすべてアクティブ High として表示しています。

2: TON は、パワー スイッチ QC とそのドライバのターンオン遅延です。

3: TOFF は、パワー スイッチ QD とそのドライバのターンオフ遅延です。

© 2009 Microchip Technology Inc.

19.6.3 スタートアップに関する注意点

どの PWM モードを使用する場合も、アプリケーション ハードウェアで PWM 出力ピンに適切な外付けプルアップ抵抗やプルダウン抵抗を使用する必要があります。

注 : マイクロコントローラのリセット状態が解除されると、すべての I/O ピンがハイインピーダンス状態になります。マイクロコントローラが I/O ピンを適切な信号レベルで駆動するか、PWM 出力をアクティブにするまでの間、外部回路によってパワースイッチ デバイスを OFF 状態に保つ必要があります。

PWM 出力ピンの各ペア (P1A/P1C と P1B/P1D) に関して、PWM 出力をアクティブ High にするかアクティブ Low にするかを CCPxCON レジスタの CCPxM<1:0> ビットで選択できます。PWM 出力の極性は、PWM ピンドライバが有効になる前に選択しておく必要があります。PWM ピン ドライバが有効に設定された状態で極性を変更すると、アプリケーション回路に損傷を与える可能性があるため、推奨できません。

PWM モジュールの初期化時には、P1A、P1B、P1C、P1D の出力ラッチが適切な状態でない場合があります。拡張型 PWM モードを有効にすると同時に PWM ピン出力ドライバを有効にすると、アプリケーション回路に損傷を与える可能性があります。拡張型 PWM モードを適切な出力モードに設定し、全 PWM サイクルが 1 回完了してから PWM ピン出力ドライバを有効にしてください。PWM の 2 周期目が開始すると PIRx レジスタの TMRxIF ビットがセットされるので、これによって全 PWM サイクルが 1 回完了したことを確認できます。

19.6.4 拡張型 PWM 自動シャットダウン モード

PWM モードでは、外部シャットダウン イベント発生時に PWM 出力を無効にする自動シャットダウン モードがサポートされています。自動シャットダウン モードでは、PWM 出力ピンがあらかじめ設定された状態に移行します。このモードは、PWM によってアプリケーションが損傷されるのを防ぐ目的で使用します。

自動シャットダウンのソースは、CCPxAS レジスタの CCPxAS<2:0> ビットで選択します。シャットダウン イベントは次のソースによって発生させることができます。

- INT ピンにおけるロジック「0」
- コンパレータ Cx
- ファームウェアによる CCPxASE ビットのセット

シャットダウン状態は、CCPxAS レジスタの CCPxASE (自動シャットダウン イベント ステータス) ビットで示されます。このビットが「0」の場合、PWM ピンは通常動作中であることを示します。このビットが「1」の場合、PWM 出力がシャットダウン状態であることを示します。

シャットダウン イベントが発生すると、次の 2 つの処理が実行されます。

CCPxASE ビットが「1」にセットされます。CCPxASE ビットはファームウェアまたは自動リスタート (**19.6.5 項「自動再スタート モード」**参照) によってクリアされるまでセットされたままです。

有効な PWM ピンは非同期的にシャットダウン状態に移行します。PWM 出力ピンは [P1A/P1C] と [P1B/P1D] の 2 つのペアにグループ化されます。各ピン ペアの状態は、CCPxAS レジスタの PSSxAC ビットと PSSxBD ビットによって決定されます。各ピン ペアは、次のいずれかの状態に移行します。

- ロジック「1」を駆動
- ロジック「0」を駆動
- トライステート (ハイインピーダンス)

レジスタ 19-4: CCPXAS: CCPX 自動シャットダウン制御レジスタ

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
CCPxASE	CCPxAS2	CCPxAS1	CCPxAS0	PSSxAC1	PSSxAC0	PSSxBD1	PSSxBD0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **CCPxASE:** CCPx 自動シャットダウン イベント ステータス ビット
1 = シャットダウン イベントが発生し、CCPx 出力はシャットダウン状態
0 = CCPx 出力が動作中

ビット 6-4 **CCxPAS<2:0>:** CCPx 自動シャットダウン ソース選択ビット
000 = 自動シャットダウンが無効
001 = コンパレータ C1 出力が low(1)
010 = コンパレータ C2 出力が low(1)
011 = コンパレータ C1 または C2 のいずれかの出力が low(1)
100 = INT ピンに VIL
101 = INT ピンに VIL、またはコンパレータ C1 の出力が low(1)
110 = INT ピンに VIL、またはコンパレータ C2 の出力が low(1)
111 = INT ピンに VIL、またはコンパレータ C1 か C2 のいずれかの出力が low(1)

ビット 3-2 **PSSxACx:** P1A および P1C のシャットダウン状態制御ビット
00 = P1A と P1C を「0」に駆動
01 = P1A と P1C を「1」に駆動
1x = P1A と P1C をトライステートに移行

ビット 1-0 **PSSxBDx:** P1B および P1D のシャットダウン状態制御ビット
00 = P1B と P1D を「0」に駆動
01 = P1B と P1D を「1」に駆動
1x = P1B と P1D をトライステートに移行

注 1: CxSYNC が有効の場合、シャットダウンは Timer1 によって遅延されます。

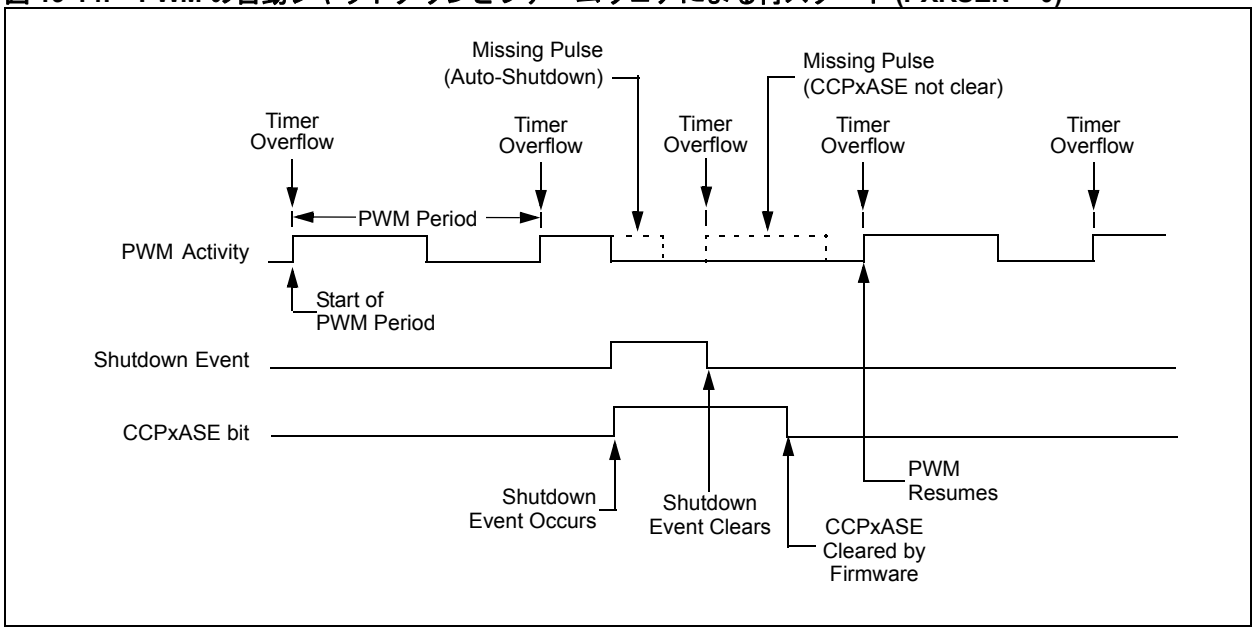
注 1: 自動シャットダウン状態はエッジベースの信号ではなくレベルベースの信号です。レベルが存在する間は、自動シャットダウン状態が持続します。

2: 自動シャットダウン状態が持続している間は、CCPxASE ビットへの書き込みは禁止されます。

3: 自動シャットダウン状態が解消し、PWM が (ファームウェアまたは自動再スタートによって) 再始動する場合は、次の PWM 周期の先頭から PWM 信号が再開します。

 © 2009 Microchip Technology Inc.

図 19-14: PWM の自動シャットダウンとファームウェアによる再スタート (PXRSEN = 0)

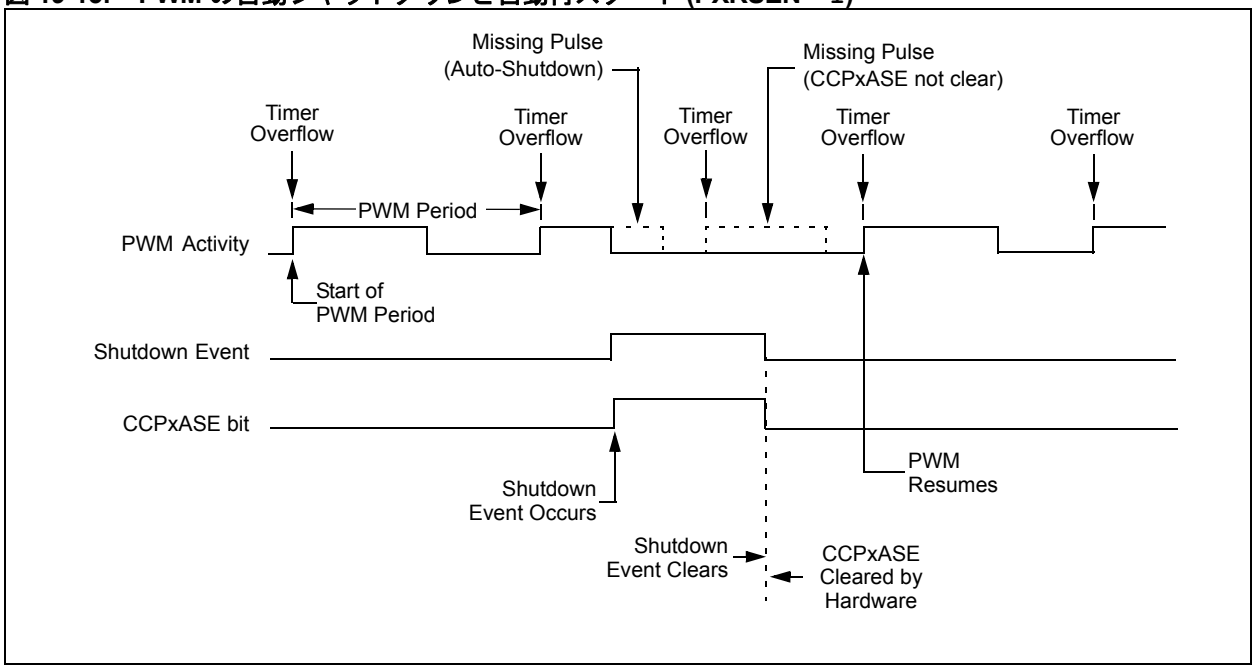


19.6.5 自動再スタート モード

拡張型 PWM は、自動シャットダウン状態が解消された時点で PWM 信号を自動的に再開するように設定できます。自動再スタートを有効にするには、PWMxCON レジスタの PxRSEN ビットをセットします。

自動再スタートが有効な場合、CCPxASE ビットは自動シャットダウン状態が持続している間はセットされたままです。自動シャットダウン状態が解消されると、CCPxASE ビットがハードウェアによってクリアされ、通常の動作が再開します。

図 19-15: PWM の自動シャットダウンと自動再スタート (PXRSEN = 1)

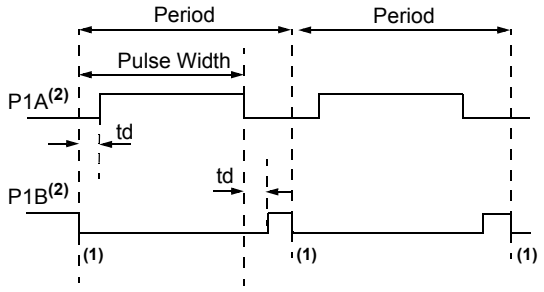


19.6.6 プログラム可能なデッドバンド遅延モード

ハーフブリッジ アプリケーションではすべてのパワー スイッチが PWM 周波数で変調されるため、通常はパワースイッチのターンオフ時間の方がターンオン時間よりも長くなります。上下のパワー スイッチが同時に切り替わった場合 (すなわち片方がターンオン、もう片方がターンオフ)、片方のスイッチが完全にターンオフするまでの間、ごくわずかに両方のスイッチがオンになる期間があります。このわずかな期間、2 つのパワー スイッチの間を非常に大きな電流 (貫通電流) が流れ、ブリッジの電源がショートします。このようにスイッチング時の貫通電流による破壊を防ぐため、通常は片方のスイッチが完全にターンオフするまでパワー スイッチのターンオンに遅延をもたせます。

ハーフブリッジ モードでは、デジタル プログラム可能なデッドバンド遅延を利用して、貫通電流の発生によるブリッジ パワー スイッチの損傷を防ぐことができます。この遅延は非アクティブ状態からアクティブ状態への信号遷移時に発生します。詳細は、図 19-16 を参照してください。遅延時間は、関連する PWMxCON レジスタ (レジスタ 19-5) の下位 7 ビットを使用して、マイクロコントローラの命令サイクル (TCY または 4 TOSC) 単位で設定します。

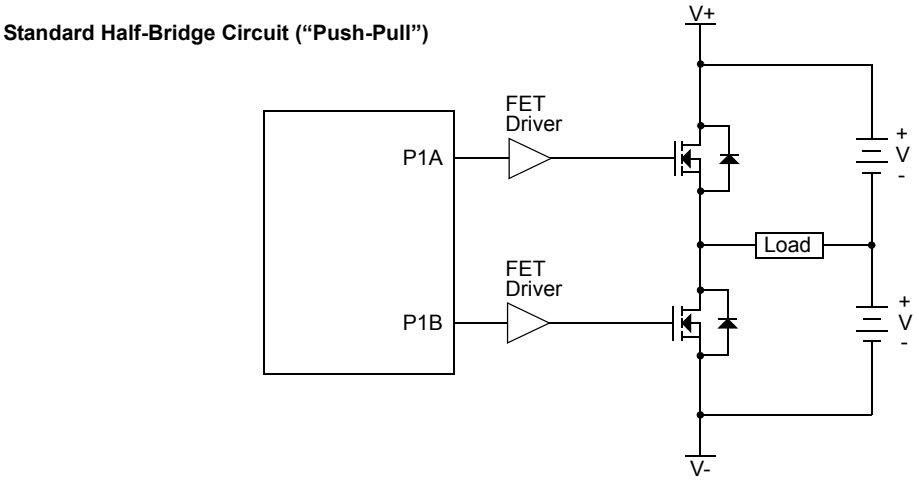
図 19-16: ハーフブリッジ PWM 出力の例



注 1: この時点で TMRx レジスタと PRx レジスタが同じになります。

2: 出力信号はアクティブ High として表示しています。

図 19-17: ハーフブリッジ アプリケーションの例



 © 2009 Microchip Technology Inc.

レジスタ 19-5: PWMxCON: 拡張型 PWM 制御レジスタ

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
PxRSEN	PxDC6	PxDC5	PxDC4	PxDC3	PxDC2	PxDC1	PxDC0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **PxRSEN:** PWM 再スタート イネーブル ビット
1 = 自動シャットダウンにおいて、シャットダウンイベントが解消されると CCPxASE ビットが自動的にクリアされ、PWM が自動で再スタート
0 = 自動シャットダウンにおいて、PWM を再スタートさせるにはソフトウェアによる CCPxASE ビットのクリアが必要

ビット 6-0 **PxDC<6:0>:** PWM 遅延カウント ビット
PxDCx = PWM 信号がアクティブに遷移するべくスケジュールされた時間と**実際に**アクティブに遷移する時間の間隔を FOSC/4 (4 * TOSC) サイクル数で指定

注 1: 2 段速スタートアップ モードでは、このビットは「0」にリセットされます。LP、XT、HS のいずれかのオシレータ モードまたはフェイルセーフ モードが有効になります。

19.6.7 パルス ステアリング モード

シングル出力モードの場合、パルス ステアリング制御によって PWM ピンを変調信号にできます。また、複数ピンにおいて同じ PWM 信号を同時に使用できます。

シングル出力モードが選択されている (CCPxCON レジスタの CCPxM<3:2> = 11 および PxM<1:0> = 00) 場合、PSTRxCON レジスタの適切な STRx<D:A> ビットをセットすることによって、ユーザー ファームウェアで同じ PWM 信号を最大 4 つの出力ピンに生成できます (表 19-7 参照)。

注 : ピンで PWM 信号を参照するには出力ドライバを有効にする必要があるため、関連する TRIS ビットを「0」にセットしてください。

PWM ステアリング モードがアクティブのとき、CCPxCON レジスタの CCPxM<1:0> ビットによって P1<D:A> ピンの PWM 出力極性が選択されます。

また、**19.6.4 項「拡張型 PWM 自動シャットダウン モード」**で説明するように PWM 自動シャットダウン動作も PWM ステアリング モードに適用されます。自動シャットダウン イベントは、PWM 出力が有効になっているピンにのみ影響します。

レジスタ 19-6: PSTRXCON: パルス ステアリング制御レジスタ (1)

U-0	U-0	U-0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-1/1
—	—	—	STRxSYNC	STRxD	STRxC	STRxB	STRxA
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-5 **未実装 :**「0」として読み出し

ビット 4 **STRxSYNC:** ステアリング同期ビット
1 = 出力ステアリングの変更が次の PWM 周期で発生する
0 = 出力ステアリングの変更が命令サイクル バウンダリの先頭で発生する

ビット 3 **STRxD:** ステアリング イネーブル ビット D
1 = P1D ピンには、CCPxM<1:0> にて制御される極性つき PWM 波形が現れる
0 = P1D ピンはポート ピンに割り当てられる

ビット 2 **STRxC:** ステアリング イネーブル ビット C
1 = P1C ピンには、CCPxM<1:0> にて制御される極性つき PWM 波形が現れる
0 = P1C ピンはポート ピンに割り当てられる

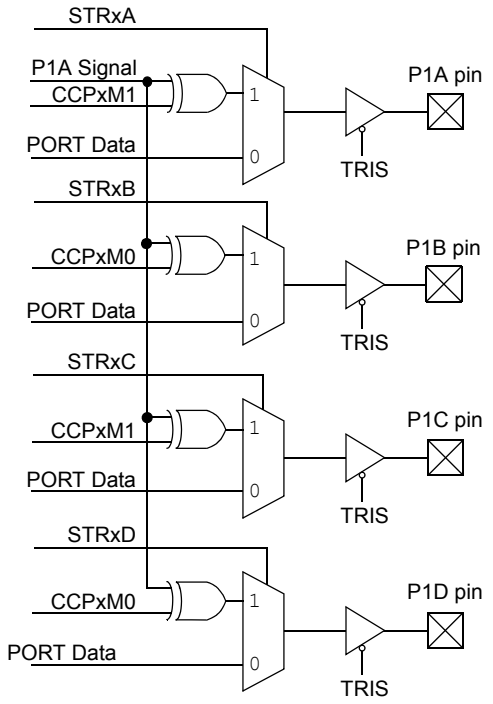
ビット 1 **STRxB:** ステアリング イネーブル ビット B
1 = P1B ピンには、CCPxM<1:0> にて制御される極性つき PWM 波形が現れる
0 = P1B ピンはポート ピンに割り当てられる

ビット 0 **STRxA:** ステアリング イネーブル ビット A
1 = P1A ピンには、CCPxM<1:0> にて制御される極性つき PWM 波形が現れる
0 = P1A ピンはポート ピンに割り当てられる

注 1: PWM ステアリング モードの使用は、CCPxCON レジスタの CCPxM<3:2> = 11 および PxM<1:0> = 00 の場合のみ可能になります。

 © 2009 Microchip Technology Inc.

図 19-18:　ステアリング制御の簡略ブロック図



注 1: ポート出力は、上図のように CCPxCON レジスタのビット PxM<1:0> = 00 および CCPxM<3:2> = 11 のときに設定されます。

2: シングル PWM 出力には、STRx ビットを少なくとも 1 つセットする必要があります。

19.6.7.1 ステアリングの同期化

PSTRxCON レジスタの STRxSYNC ビットを使用して、ステアリング イベントを発生させる 2 種類のタイミングを選択できます。STRxSYNC ビットが「0」の場合、ステアリング イベントは PSTRxCON レジスタへの書き込み命令の最後で発生します。この場合、P1<D:A> ピンでの出力信号は完全な PWM 波形にならない可能性があります。この動作はピンから PWM 信号をすぐに除去する必要がある場合に有効です。

STRxSYNC ビットが「1」の場合、ステアリング イベントは次の PWM 周期の最初で発生します。この場合、PWM 出力のステアリング オン / オフ動作は、常に完全な PWM 波形を生成します。

図 19-19 および 19-20 に、STRXSYNC ビットの設定に依存する PWM ステアリングのタイミング図を示します。

図 19-19: 命令の最後で発生するステアリング イベントの例 (STRXSYNC = 0)

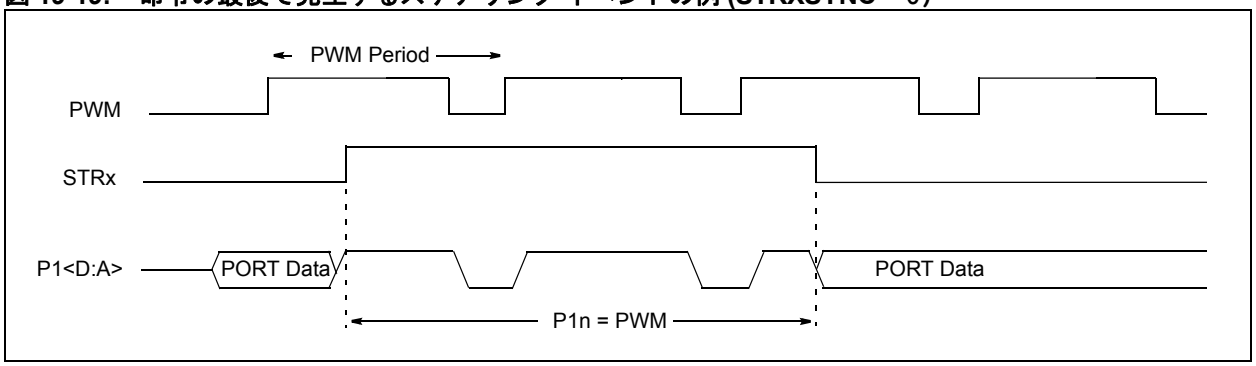
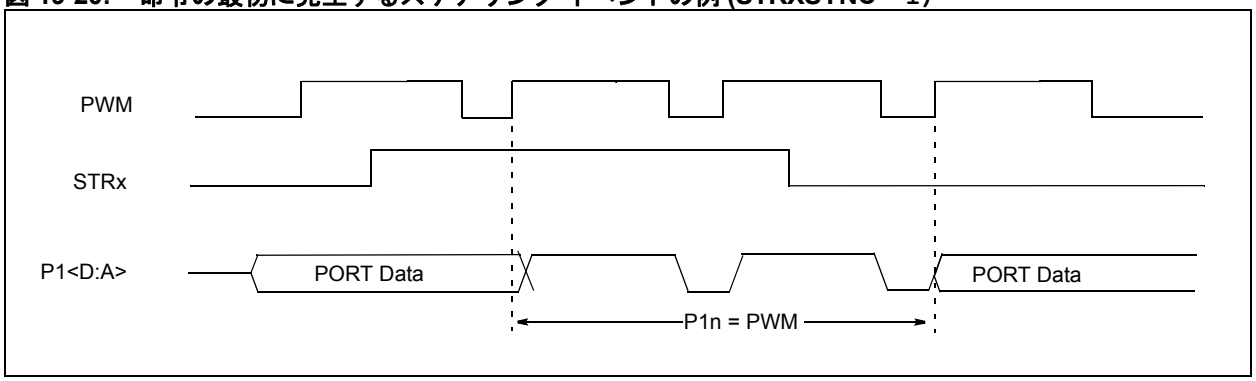


図 19-20: 命令の最初に発生するステアリング イベントの例 (STRXSYNC = 1)



 © 2009 Microchip Technology Inc.

表 19-8: PWM 関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
CCPxCON	PxM1(1)	PxM0(1)	DCxB1	DCxB0	CCPxM3	CCPxM2	CCPxM1	CCPxM0	184
CCPxAS	CCPxASE	CCPxAS2	CCPxAS1	CCPxAS0	PSSxAC1	PSSxAC0	PSSxBD1	PSSxBD0	204
CCPTMRS0	C4TSEL1	C4TSEL0	C3TSEL1	C3TSEL0	C2TSEL1	C2TSEL0	C1TSEL1	C1TSEL0	185
CCPTMRS1	—	—	—	—	—	—	C5TSEL1	C5TSEL0	186
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PRx	Timerx Period Register								173*
PSTRxCON	—	—	—	STRxSYNC	STRxD	STRxC	STRxB	STRxA	208
PWMxCON	PxRSEN	PxDC6	PxDC5	PxDC4	PxDC3	PxDC2	PxDC1	PxDC0	207
TxCON	—	TxOUTPS3	TxOUTPS2	TxOUTPS1	TxOUTPS0	TMRxON	TxCKPS1	TxCKPS0	175
TMRx	Timerx Module Register								173
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	91
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94
TRISD	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	97

記号の説明： ― = 未実装、「0」として読み出し。u = 不変。x = 不明。網掛けのビットは PWM で使用されません。

注 1: ECCP モジュールにのみ適用されます。

* このページにはレジスタ情報が記載されています。

ノート：

 © 2009 Microchip Technology Inc.

20.0 EUSART (ENHANCED UNIVERSAL SYNCHRONOUS ASYNCHRONOUS RECEIVER TRANSMITTER)

拡張 EUSART (Universal Synchronous Asynchronous Receiver Transmitter) は、シリアル I/O 通信のペリフェラルです。デバイス プログラムの実行とは無関係に、入力または出力のシリアル データ転送を行うために必要なクロック ジェネレータ、シフト レジスタ、データ バッファを含みます。シリアル通信インターフェイス (SCI) としても知られる EUART は、全二重非同期システムや半二重同期システムとして設定できます。全二重モードは、CRT 端末やパーソナル コンピュータなどの周辺システムとの通信に使用されます。半二重同期モードは、A/D や D/A 集積回路、シリアル EEPROM、またはその他のマイクロコントローラなどの周辺デバイスとの通信に使用されます。通常、これらのデバイスにはボーレートを生成する内部クロックがないため、マスター同期デバイスによって与えられる外部クロック信号を入力する必要があります。

EUSART モジュールには、次の機能があります。

- 全二重非同期送信および受信
- 2 文字入力バッファ
- 1 文字出力バッファ
- プログラム可能な 8 ビットまたは 9 ビットの文字長
- 9 ビット モードのアドレス検知
- 入力バッファのオーバーラン エラー検知
- 受信文字フレーミング エラー検知
- 半二重同期マスター
- 半二重同期スレーブ
- 同期モードでのプログラム可能なクロック極性
- スリープ動作

EUSART には、ローカル インターコネクト ネットワーク (LIN) バス システムで使用できるように次の機能が追加されています。

- ボーレートの自動検知およびキャリブレーション
- ブレークビットの受信でウェイクアップ
- 13 ビットのブレーク文字送信

図 20-1 および 図 20-2 に、EUSART 送信および受信のブロック図を示します。

図 20-1: EUSART 送信のブロック図

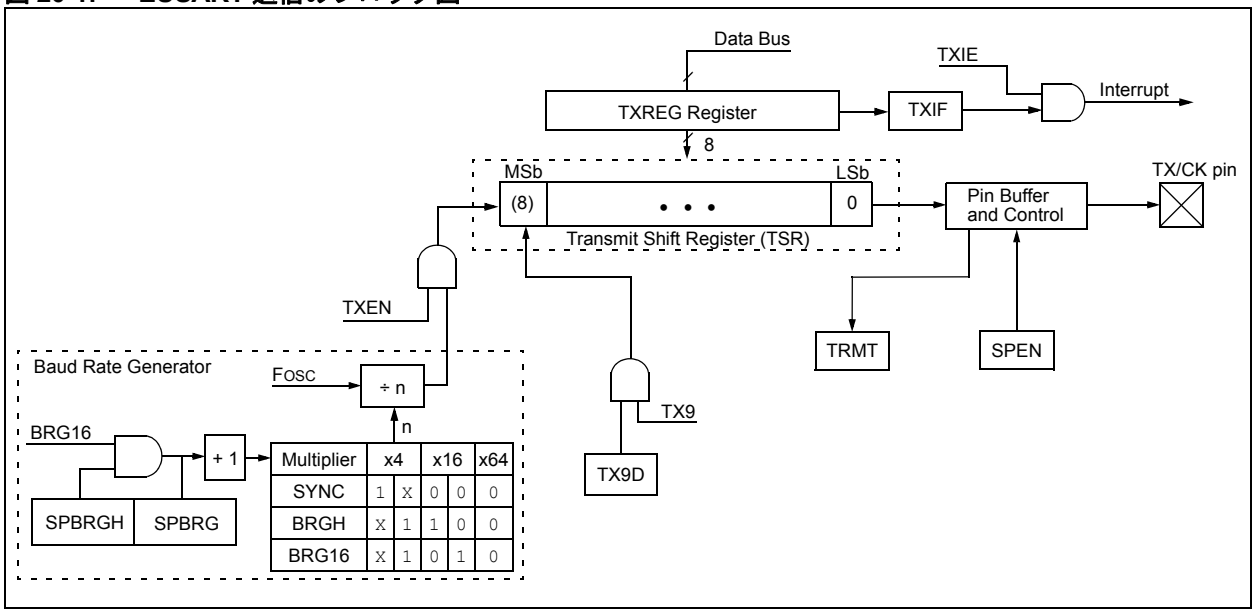
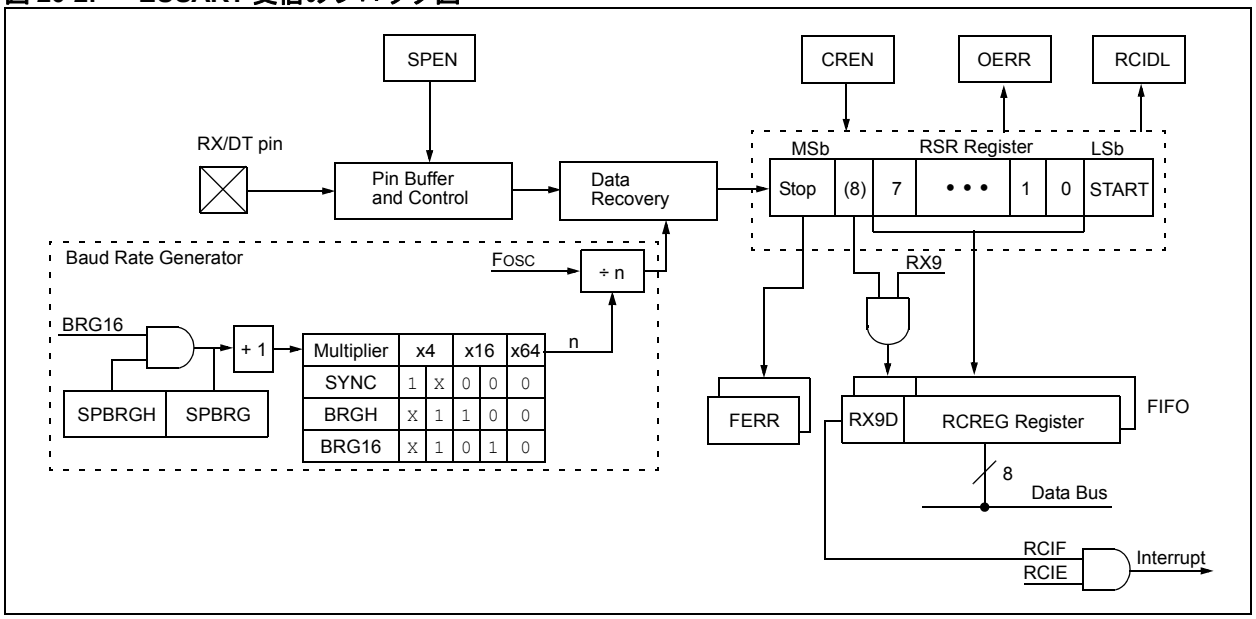


図 20-2:　EUSART 受信のブロック図



EUSART モジュールの動作は、次のレジスタで制御されます。

- TXSTA (送信ステータスおよび制御)
- RCSTA (受信ステータスおよび制御)
- BAUDCON (ボーレート制御)

これらのレジスタの詳細は、レジスタ 20-1、レジスタ 20-2 および レジスタ 20-3 を参照してください。

受信部または送信部が無効の場合は、対応する RX または TX ピンが汎用入力や汎用出力として使用される場合があります。

© 2009 Microchip Technology Inc.

20.1 EUSART 非同期モード

EUSART は、NRZ 方式を使用してデータを送受信します。NRZ は 2 つのレベルで実行されます。NRZ は 2 つのレベルで実行されます。VOH マーク ステートが「1」データ ビットを表し、VOL スペース ステートが「0」データ ビットを表します。NRZ とは、各ビット送信における不明確なレベルを示さずに同じ値を連続的に出力する方式のことを言います。NRZ 送信ポートは、マーク ステートでアイドル状態です。各文字列の送信構成は、1 ビットのスタート ビットの次に 8 ビットまたは 9 ビットのデータ ビットがあり、最後に 1 ビット以上のストップ ビットとなります。スタート ビットはスペースで、ストップ ビットはマークで表されます。最も一般的なデータ形式は 8 ビットです。送信された各ビットは、1/(ボーレート) 周期間保持されます。オンチップの 8 ビット /16 ビット ボーレート ジェネレータを使用して、システム オシレータから標準のボーレート周波数を生成します。表 20-5 に、ボーレートのコンフィギュレーション例を示します。

EUSART は LSB 順に送受信します。送信と受信はそれぞれ独立して動作しますが、同じデータ形式とボーレートを使用します。ハードウェアではパリティ ビットをサポートしていませんが、ソフトウェアを使用してインプリメントすると 8 番目のデータ ビットとして格納できます。

20.1.1 EUSART 非同期送信部

図 20-1 に、EUSART の送信部ブロック図を示します。送信部の中心には、ソフトウェアから直接アクセスできるシリアル TSR (Transmit Shift Register) があります。TSR は、送信バッファである TXREG レジスタからデータを取得します。

20.1.1.1 送信部の有効化

EUSART の送信部は、次の 3 つの制御ビットを設定すると非同期動作が有効になります。

- TXEN = 1
- SYNC = 0
- SPEN = 1

その他の EUSART 制御ビットはデフォルト ステートです。

TXSTA レジスタの TXEN ビットをセットすると EUSART の送信回路が有効になります。TXSTA レジスタの SYNC ビットをクリアすると、EUSART に非同期動作が設定されます。RCSTA レジスタの SPEN ビットをセットすると、EUSART が有効になり自動的に TX/CK I/O ピンが出力として設定されます。

注 1: TXEN イネーブル ビットがセットされると、TXIF 送信部割り込みフラグがセットされます。

20.1.1.2 データ送信

TXREG レジスタに文字書き込みを実行すると送信が開始されます。初めて文字を書き込む場合または以前に書き込んだ文字がすでに TSR から消去されている場合は、TXREG レジスタに書き込んだデータがすぐに TSR レジスタへ送信されます。TSR に以前のデータが残っている場合は、そのデータのストップ ビットが送信されるまで新しいデータは TXREG に格納されます。ストップ ビットが送信されると、TXREG にペンディングされていたデータが 1 TCY 以内に TSR へ送信されます。スタート ビット、データ ビット、ストップ ビットというシーケンスが送信完了すると、次のデータが TXREG から TSR へ送信されるようになっています。

20.1.1.3 送信割り込みフラグ

EUSART 送信部が有効で TXREG に送信データがペンディングされていない場合、PIR1 レジスタの TXIF 割り込みフラグ ビットがセットされます。つまり、TSR にデータがあり、TXREG に新しいデータがペンディングされている場合のみ TXIF ビットはクリアされます。TXIF は TXREG への書き込み直後にはクリアされません。書き込み実行後、次の命令サイクルまで有効になります。TXREG への書き込み直後に TXIF ビットをポーリングしても無効となります。TXIF ビットは読み出し専用であるため、ソフトウェアでセット / クリアできません。

PIE1 レジスタの TXIE 割り込みイネーブル ビットをセットすると TXIF 割り込みが有効になります。ただし、TXIF フラグ ビットは、TXIE イネーブル ビットのステートとは無関係に、TXREG が空になるとセットされます。

送信する割り込みデータがあるときのみ TXIF ビットをセットして、データ送信中の割り込みを有効にします。TXREG へ送信する最後の文字を書き込み中に TXIE 割り込みイネーブル ビットをクリアします。

20.1.1.4 TSR ステータス

TXSTA レジスタの TRMT ビットが TSR レジスタのステータスを示します。このビットは読み出し専用です。TRMT ビットは、TSR レジスタが空になるとセットされ、TXREG から TSR にデータが送信されるとクリアされます。TSR レジスタからすべてのデータ ビットが送信されて空になるまで TRMT ビットはクリアされた状態です。このビットに対して割り込みロジックを適用できないため、TSR ステータスを判断するにはユーザーがこのビットをポーリングする必要があります。

注 : TSR レジスタはデータ メモリにマップされていないため、ユーザーは使用できません。

20.1.1.5 9 ビット送信

EUSART は、9 ビットの文字列を送信できます。TXSTA レジスタの TX9 ビットがセットされている場合、EUSART は各データ送信を 9 ビット単位で行います。TXSTA レジスタの TX9D ビットは 9 番目となり、最上位のデータ ビットです。9 ビット データを送信する場合、TXREG へ 8 ビットの LSB を書き込む前に TX9D ビットへ書き込む必要があります。TXREG へ書き込み完了後、すぐに TSR シフト レジスタへ全 9 ビットが送信されます。

9 ビット アドレス モードは、複数の受信部に対して送信する場合に使用できます。詳細は、**20.1.2.7 項「アドレス検知」**を参照してください。

20.1.1.6 非同期送信の設定

1. 任意のボーレートを実現するため、SPBRGH と SPBRG のレジスタ ペアおよび BRGH と BRG16 ビットを初期化します **(20.3 項「EUSART のボーレート ジェネレータ (BRG)」**参照)。
2. SYNC ビットをクリアし、SPEN ビットをセットして非同期シリアル ポートを有効にします。
3. 9 ビット送信の場合は、TX9 制御ビットをセットします。9 番目のデータ ビットは、アドレス検知で受信部がセットされるときに 8 ビットの LSB データがアドレスであることを示します。
4. TXEN 制御ビットをセットして送信を有効にします。これによって、TXIF 割り込みビットがセットされます。
5. 任意の割り込みが必要な場合は、PIE1 レジスタの TXIF 割り込みイネーブル ビットをセットします。このビットをセットするとすぐに割り込みが発生し、INTCON レジスタの GIE と PEIE ビットもセットされます。
6. 9 ビット送信の場合は、TX9D データ ビットに 9 番目のビットがロードされる必要があります。
7. TXREG レジスタに 8 ビットのデータをロードします。これによって送信が開始します。

図 20-3: 非同期送信

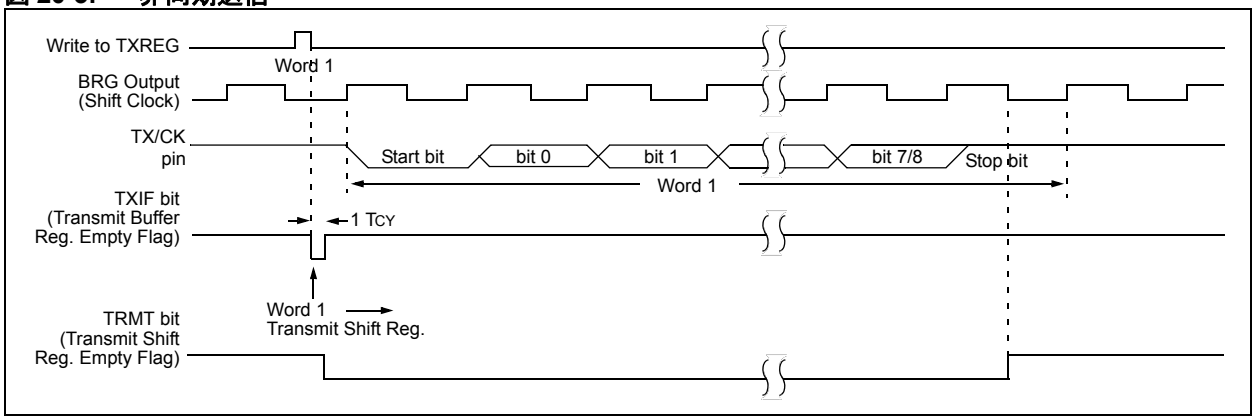
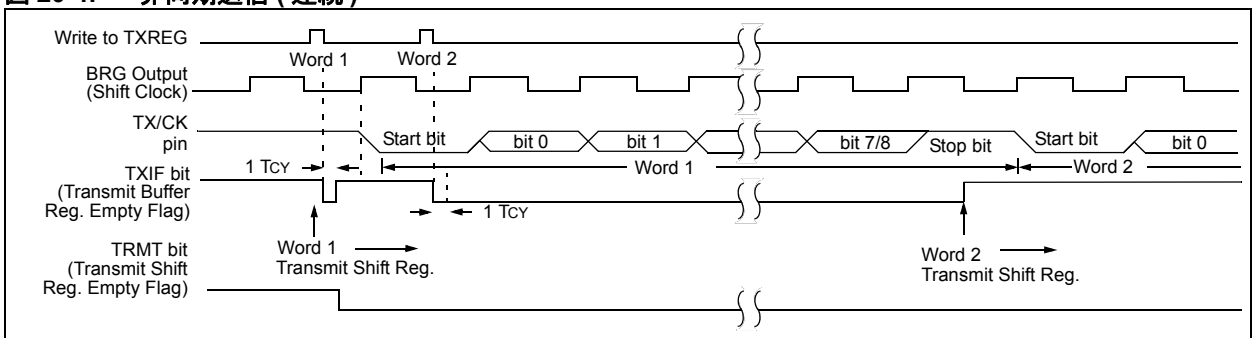


図 20-4: 非同期送信 (連続)



注 : このタイミング図では、2 つの連続送信を示しています。

 © 2009 Microchip Technology Inc.

表 20-1:　非同期送信関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
BAUDCON	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	224
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	223
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	225*
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	225*
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94
TXREG	EUSART Transmit Data Register								215*
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	222

記号の説明： x = 不明。- = 未実装、「0」として読み出し。網掛けのビットは非同期送信では使用しません。
*　このページにはレジスタ情報が記載されています。

20.1.2 EUSART 非同期受信部

非同期モードは、通常 RS-232 システムで使用されます。図 20-2 に、EUSART の受信部ブロック図を示します。データは、RX/DT ピンで受信され、データ リカバリ ブロックを駆動します。データ リカバリ ブロックは、実際にボーレートの 16 倍で動作する高速シフタですが、シリアル RSR (受信シフト レジスタ) はビット レートで動作します。すべての 8 ビット (または 9 ビット) 文字データがシフト インされると、すぐに 2 文字 FIFO メモリへ転送されます。FIFO バッファリングによって、ソフトウェアで EUSART 受信部を有効化する前でも 2 つの完全な文字データおよび 3 番目の文字データのスタート ビットを受信できます。ソフトウェアから FIFO および RSR レジスタへ直接アクセスできません。受信データへのアクセスは、RCREG レジスタを介して行います。

20.1.2.1 受信部の有効化

EUSART の受信部は、次の 3 つの制御ビットを設定すると非同期動作が有効になります。

- CREN = 1
- SYNC = 0
- SPEN = 1

その他の EUSART 制御ビットはデフォルト ステートです。

RCSTA レジスタの CREN ビットをセットすると EUSART の受信回路が有効になります。TXSTA レジスタの SYNC ビットをクリアすると、EUSART に非同期動作が設定されます。RCSTA レジスタの SPEN ビットをセットすると、EUSART が有効になり自動的に RX/DT I/O ピンが入力として設定されます。

注 :	SPEN ビットがセットされている場合は、対応する TRIS ビットのステートに関わらず、また EUSART 送信部が有効であるかに関わらず、TX/CK I/O ピンが自動的に出力として設定されます。PORT ラッチは出力ドライバから切断されるため、TX/CK ピンを汎用出力として使用できません。

20.1.2.2 データ受信

受信部のデータ リカバリ回路は、最初のビットの立ち下がりエッジで文字データ受信を開始します。最初のビットとはスタート ビットであり、常に 0 となります。データ リカバリ回路は、スタート ビットの半分である中央までカウントして、このビットが 0 を保持していることを確認します。このビットが 0 でない場合、データ リカバリ回路はエラーを生成せずにデータ受信を中止し、再びスタート ビットの立ち下がりエッジを検出開始します。スタート ビットが 0 であることが検証されると、データ リカバリ回路は次のビットの中央までとなるフル ビット タイムのカウントを開始します。ビットがほとんどの検知回路でサンプリングされ、結果の「0」「1」が RSR へシフトされます。この動作は、すべてのデータ ビットがサンプリングされて RSR へシフトされるまで繰り返されます。最後のビット タイムが測定され、レベルがサンプリングされます。このビットがストップ ビットであり、常に「1」となります。データ リカバリ回路がこのストップ ビットを「0」とサンプリングした場合、この文字に対してフレーミング エラーがセットされます。そうでない場合は、このビットに対してフレーミング エラーがクリアされています。フレーミング エラーの詳細は、**20.1.2.4 項「受信フレーミング エラー」**を参照してください。

すべてのデータ ビットおよびストップ ビットの受信後、すぐに RSR のデータが EUSART 受信部の FIFO へ送信され、PIR1 レジスタの RCIF 割り込みフラグ ビットがセットされます。RCREG レジスタを読み出すと、FIFO から上位文字が転送されます。

注 :	受信 FIFO がオーバーランした場合、オーバーランが解消されるまで文字データの受信は中断されます。オーバーランの詳細は、**20.1.2.5 項「受信オーバーラン エラー」**を参照してください。

20.1.2.3 受信割り込み

PIR1 レジスタの RCIF 割り込みフラグは、EUSART の受信部が有効で、受信 FIFO に未読文字がある場合にセットされます。このビットは読み出し専用であるため、ソフトウェアでセットまたはクリアできません。

次のすべてのビットをセットすると RCIF 割り込みが有効になります。

- PIE1 レジスタの RCIE 割り込みイネーブル ビット
- INTCON レジスタの PEIE ペリフェラル割り込みイネーブル ビット
- INTCON レジスタの GIE グローバル割り込みイネーブル ビット

RCIF 割り込みフラグ ビットは、割り込みイネーブル ビットのステートに関係なく FIFO に未読文字があるとセットされます。

 © 2009 Microchip Technology Inc.

20.1.2.4 受信フレーミング エラー

受信 FIFO バッファの各文字には、フレーミング エラーのステータスを表すビットがあります。フレーミング エラーは、予期した時間にストップ ビットが受信されなかった場合に生成されます。このビットへのアクセスは、RCSTA レジスタの FERR ビットを介して行います。FERR ビットは、受信 FIFO にある上位の未読文字のステータスを示します。したがって、RCREG を読み出す前に FERR ビットを読み出す必要があります。

FERR ビットは読み出し専用で、受信 FIFO の上位未読文字へのみ適用されます。フレーミング エラー (FERR = 1) の発生によってデータ受信が中断することはありません。FERR ビットをクリアする必要もありません。FIFO バッファから次の文字を読み出すと、FIFO は次の文字データおよび対応するフレーミング エラーへと進みます。

RCSTA レジスタの SPEN ビットをクリアして EUSART をリセットすると、FERR ビットを強制的にクリアできます。RCSTA レジスタの CREN ビットをクリアしても FERR ビットは変更されません。フレーミング エラー自体は割り込みを生成しません。

注 : 受信 FIFO にあるすべての受信文字にフレーミング エラーがある場合、RCREG を繰り返し読み出しても FERR ビットはクリアされません。

20.1.2.5 受信オーバーラン エラー

受信 FIFO バッファは 2 キャラクタ (データ) を格納できます。FIFO がアクセスされる前に 3 番目のデータがすべて受信されると、オーバーラン エラーが生成されます。このとき、RCSTA レジスタの OERR ビットがセットされます。FIFO バッファにすでに格納された文字は読み出し可能ですが、エラーが解除されるまで次の文字を受信できません。RCSTA レジスタの CREN ビットをクリアするか、または RCSTA レジスタの SPEN ビットをクリアして EUSAR をリセットして、このエラーをクリアする必要があります。

20.1.2.6 9 ビット文字データの受信

EUSART は、9 ビットの文字データを受信できます。RCSTA レジスタの RX9 ビットがセットされている場合、EUSART は各データ受信を 9 ビット単位で行います。RCSTA レジスタの RX9D ビットは 9 番目であり、受信 FIFO にある上位未読文字の最上位データ ビットとなります。受信 FIFO バッファから 9 ビット データを読み出す場合は、RCREG から下位 8 ビットを読み出す前に RX9D データ ビットを読出す必要があります。

20.1.2.7 アドレス検知

アドレス検知モードは、RS-485 システムなどのように複数の受信部が同じ伝送ラインを共有している場合に使用されます。RCSTA レジスタの ADDEN ビットをセットすると、アドレス検知モードが有効になります。

アドレス検知モードの場合は、9 ビットの文字データ受信が必要です。アドレス検知モードが有効の場合、9 番目のビットがセットされている文字列のみが受信 FIFO へ転送され、RCIF 割り込みビットがセットされます。その他の文字データは無視されます。

アドレス データ受信して、ユーザー ソフトウェアがアドレスの一致を判断します。アドレス一致が確認されると、次のストップ ビットが生じる前にユーザー ソフトウェアで ADDEN ビットをクリアしてアドレス検知を無効にする必要があります。ユーザー ソフトウェアが、メッセージ プロトコルによる最後メッセージを検知すると、ADDEN ビットをセットして受信部をアドレス検知モードに戻します。

20.1.2.8 非同期受信の設定

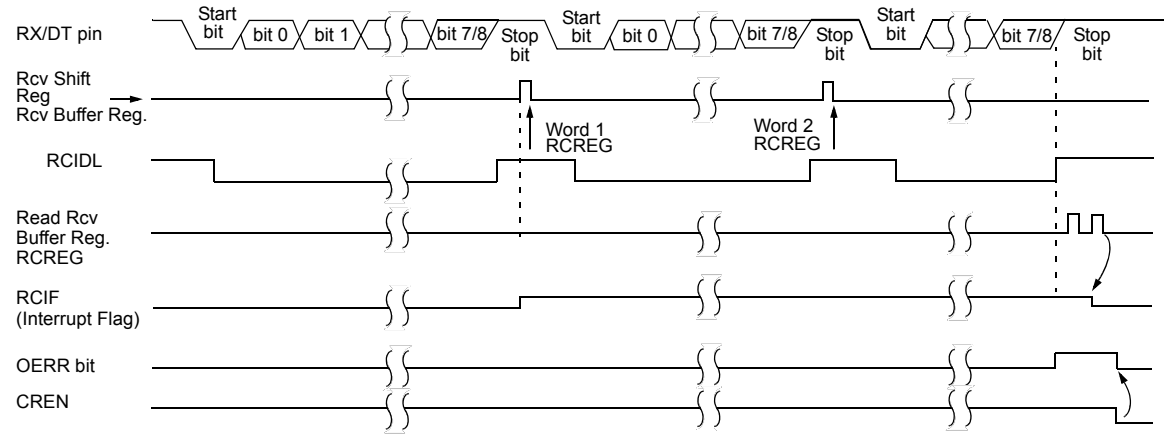
1. 任意のボーレートを実現するため、SPBRGH と SPBRG のレジスタ ペアおよび BRGH と BRG16 ビットを初期化します (**20.3項「EUSART のボーレート ジェネレータ (BRG)」** 参照)。
2. SPEN ビットをセットしてシリアル ポートを有効にします。SYNC ビットをクリアして非同期動作にします。
3. 任意の割り込みが必要な場合は、PIE1 レジスタの RCIE ビットおよび INTCON レジスタの GIE および PEIE ビットをセットします。
4. 9 ビット データを受信する場合は、RX9 ビットをセットします。
5. CREN ビットをセットして受信部を有効にします。
6. RSR から受信バッファへデータが転送されると、RCIF 割り込みフラグ ビットがセットされます。RCIE イネーブル ビットがセットされているときは割り込みが生成されます。
7. RCSTA レジスタを読み出してエラー フラグを確認します。9 ビット データ受信の場合は、9 番目のデータ ビットを読み出します。
8. RCREG レジスタを読み出して、受信バッファから 8 ビットの下位データ ビットを取得します。
9. オーバーランが発生した場合は、CREN 受信イネーブル ビットをクリアして OERR フラグをクリアします。

20.1.2.9 9 ビットのアドレス検知モードの設定

通常、このモードは RS-485 システムで使用されます。アドレス検知機能を有効にした非同期受信を設定するには、次の手順が必要です。

1. 任意のボーレートを実現するため、SPBRGH と SPBRG のレジスタ ペアおよび BRGH と BRG16 ビットを初期化します (**20.3項「EUSART のボーレート ジェネレータ (BRG)」** 参照)。
2. SPEN ビットをセットしてシリアル ポートを有効にします。SYNC ビットをクリアして非同期動作にします。
3. 任意の割り込みが必要な場合は、PIE1 レジスタの RCIE ビットおよび INTCON レジスタの GIE および PEIE ビットをセットします。
4. RX9 ビットをセットして 9 ビット データの受信を有効にします。
5. ADDEN ビットをセットしてアドレス検知機能を有効にします。
6. CREN ビットをセットして受信部を有効にします。
7. 9 番目のビットが設定された文字データが RSR から受信バッファへ転送されると、RCIF 割り込みフラグ ビットがセットされます。RCIE イネーブル ビットがセットされているときは割り込みが生成されます。
8. RCSTA レジスタを読み出してエラー フラグを確認します。9 番目のデータ ビットは常にセットされています。
9. RCREG レジスタを読み出して、受信バッファから 8 ビットの下位データ ビットを取得します。ソフトウェアで、このデータのアドレスが一致しているかを確認します。
10. オーバーランが発生した場合は、CREN 受信イネーブル ビットをクリアして OERR フラグをクリアします。
11. デバイス アドレスの一致が確認された場合は、ADDEN ビットをクリアしてすべての受信データをバッファへ送信して割り込みを生成します。

図 20-5: 非同期受信



注 : このタイミング図では、RX 入力に 3 ワード データがあります。3 番目のワードを受信後、RCREG が読み出されたため、OERR (オーバーラン) ビットがセットされています。

 © 2009 Microchip Technology Inc.

表 20-2:　非同期受信関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
BAUDCON	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	224
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
RCREG	EUSART Receive Data Register								218*
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	223
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	225*
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	225*
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	222

記号の説明： x = 不明。- = 未実装、「0」として読み出し。網掛けのビットは非同期受信では使用しません。
* このページにはレジスタ情報が記載されています。

20.2 非同期動作におけるクロック精度

内部オシレータ ブロック出力 (INTOSC) は、あらかじめ工場で調整されていますが、INTOSC 周波数は VDD や温度変化によって変化するため、非同期ボーレートに直接影響を与えます。ボーレート クロックの校正には 2 つの方法がありますが、どちらも参照クロック ソースが必要です。

1 つ目 (推奨) は、OSCTUNE レジスタを使用して INTOSC 出力を校正する方法です。OSCTUNE レジスタの値を変更することにより、高い分解能でシステム クロックの周波数調整を可能にしています。詳細は、**8.5 項「内部クロック モード」**を参照してください。

2 つ目は、ボーレート ジェネレータの値を変更する方法です。これは、自動ボーレート検知機能を使用して簡単に実行できます (**20.3.1 項「自動ボーレート検出」**参照)。ペリフェラルのクロック周波数をゆるやかに変更させるように補正を行うのに、ボーレート ジェネレータは十分な分解能を得られない場合があります。

レジスタ 20-1: TXSTA: 送信ステータスおよび制御レジスタ

R/W-/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R-1/1	R/W-0/0
CSRC	TX9	TXEN(1)	SYNC	SENDB	BRGH	TRMT	TX9D
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **CSRC:** クロック ソース選択ビット
非同期モード :
無視される
同期モード :
1 = マスター モード (BRG から内部でクロックが生成される)
0 = スレーブ モード (外部ソースからクロック供給)

ビット 6 **TX9:** 9 ビット送信のイネーブル ビット
1 = 9 ビット送信を選択
0 = 8 ビット送信を選択

ビット 5 **TXEN:** 送信イネーブル ビット (1)
1 = 送信は有効
0 = 送信は無効

ビット 4 **SYNC:** EUSART モード選択ビット
1 = 同期モード
0 = 非同期モード

ビット 3 **SENDB:** ブレーク文字の送信用ビット
非同期モード :
1 = 次の送信で同期ブレークを送る (完了時にハードウェアでクリア)
0 = 同期ブレークの送信完了
同期モード :
無視される

ビット 2 **BRGH:** 高速ボーレート選択ビット
非同期モード :
1 = 高速
0 = 低速
同期モード :
このモードでは使用しない

ビット 1 **TRMT:** 送信シフト レジスタのステータス ビット
1 = TSR は空
0 = TSR はフル

ビット 0 **TX9D:** 送信データの 9 番目のビット
アドレス / データ ビットまたはパリティ ビットになる

注 1: 同期モードの場合、SREN/CREN は TXEN に優先します。

 © 2009 Microchip Technology Inc.

レジスタ 20-2: RCSTA: 受信ステータスおよび制御レジスタ (1)

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R-0/0	R-0/0	R-x/x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **SPEN:** シリアル ポート イネーブル ビット
1 = シリアル ポートは有効 (RX/DT および TX/CK ピンをシリアル ポート ピンとして設定する)
0 = シリアル ポートは無効 (リセット状態)

ビット 6 **RX9:** 9 ビット受信のイネーブル ビット
1 = 9 ビット受信を選択
0 = 8 ビット受信を選択

ビット 5 **SREN:** シングル受信イネーブル ビット
非同期モード :
無視される
同期モードーマスター :
1 = シングル受信は有効
0 = シングル受信は無効
受信完了後、このビットはクリアされる。
同期モードースレーブ
無視される

ビット 4 **CREN:** 連続的な受信イネーブル ビット
非同期モード :
1 = 受信部は有効
0 = 受信部は無効
同期モード :
1 = イネーブル ビット CREN がクリアされるまで連続的な受信が可能 (CREN は SREN より優先される)
0 = 連続的な受信は不可

ビット 3 **ADDEN:** アドレス検知イネーブル ビット
非同期モードの 9 ビット (RX9 = 1):
1 = アドレス検知機能と割り込みが有効になり、RSR<8> がセットされると受信バッファのデータをロードする
0 = アドレス検知機能は無効となり、すべてのバイト データを受信して 9 番目のビットをパリティ ビットとして使用可能
非同期モードの 8 ビット (RX9 = 0):
無視される

ビット 2 **FERR:** フレーミング エラー ビット
1 = フレーミング エラーあり (RCREG レジスタを読み出して次の有効なバイト データを受信することにより、ビットはアップデートされる)
0 = フレーミング エラーなし

ビット 1 **OERR:** オーバーラン エラー ビット
1 = オーバーラン エラーあり (CREN ビットをクリアするとクリアされる)
0 = オーバーラン エラーなし

ビット 0 **RX9D:** 受信データの 9 番目のビット
このビットは、アドレス ビット / データ ビットまたはパリティ ビットとなり、ユーザー ファームウェアで算出する必要がある。

レジスタ 20-3: BAUDCON: ボーレート制御レジスタ

R-0/0	R-1/1	U-0	R/W-0/0	R/W-0/0	U-0	R/W-0/0	R/W-0/0
ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **ABDOVF:** 自動ボーレート検出でのオーバーフロー ビット
非同期モード :
1 = 自動ボーレート タイマがオーバーフローした
0 = 自動ボーレート タイマはオーバーフローしていない
同期モード :
無視される

ビット 6 **RCIDL**: 受信のアイドル フラグ ビット
非同期モード :
1 = 受信部はアイドル状態
0 = スタート ビットが受信され、受信が継続されている
同期モード :
無視される

ビット 5 **未実装 :**「0」として読み出し

ビット 4 **SCKP**: 同期クロック極性の選択ビット
非同期モード :
1 = RB7/TX/CK ピンへ反転データを送信する
0 = RB7/TX/CK ピンへ非反転データを送信する
同期モード :
1 = データはクロックの立ち上がりエッジを参照する
0 = データはクロックの立ち下がりエッジを参照する

ビット 3 **BRG16:** 16 ビットのボーレート ジェネレータ ビット
1 = 16 ビットのボーレート ジェネレータを使用する
0 = 8 ビットのボーレート ジェネレータを使用する

ビット 2 **未実装 :**「0」として読み出し

ビット 1 **WUE:** ウェイクアップ イネーブル ビット
非同期モード :
1 = 受信部は立ち下がりエッジを待つ。データは受信されず、バイト RCIF がセットされる。RCIF がセットされると WUE は自動的にクリアされる
0 = 受信部は通常動作を継続
同期モード :
無視される

ビット 0 **ABDEN**: 自動ボーレート検出のイネーブル ビット
非同期モード :
1 = 自動ボーレート検出が有効 (自動ボーレート検出が完了するとクリアされる)
0 = 自動ボーレート検出は無効
同期モード :
無視される

 © 2009 Microchip Technology Inc.

20.3 EUSART のボーレート ジェネレータ (BRG)

ボーレート ジェネレータ (BRG) には、EUSART の同期動作と非同期動作の両方をサポートするため、8 ビットと 16 ビットのタイマがあります。デフォルトは 8 ビット モードです。BAUDCON レジスタの BRG16 ビットをセットすると 16 ビット モードを選択できます。

SPBRGH と SPBRG のレジスタ ペアがフリーランニング (自走) ボーレート タイマの周期を決定します。非同期モードの場合、ボーレート周期の乗数は、TXSTA レジスタの BRGH ビットと BAUDCON レジスタの BRG16 ビットの両方で決定されます。同期モードの場合、BRGH ビットは無視されます。

表 20-3 に、ボーレートを決定する式を示します。例 20-1 には、ボーレートおよびボーレート エラーの計算例を示します。

便宜上、さまざまな非同期モードの標準ボーレートとエラー値が計算され、表 20-3 に示しています。高速ボーレート (BRGH = 1) を使用するメリットもありますが、ボーレート エラーを抑えるために 16 ビット BRG (BRG16 = 1) を使用するメリットもあります。16 ビット BRG モードを使用すると、高速オシレータ周波数用の低速ボーレートが生成されます。

SPBRGH と SPBRG レジスタ ペアに新しい値を書き込むと、BRG タイマはリセット (クリア) されます。これにより、BRG はタイマのオーバーフローを待つことなく新しいボーレートを生成できます。

受信動作中にシステム クロックが変更されると、受信エラーやデータ損失が生じる可能性があります。このような問題を回避するため、システム クロックを変更する前に RCIDL ビットのステータスをチェックして受信動作がアイドル状態であることを確認してください。

例 20-1: ボーレート エラーの計算

For a device with FOSC of 16 MHz, desired baud rate of 9600, Asynchronous mode, 8-bit BRG:

$$Desired\ Baud\ Rate = \frac{FOSC}{64([SPBRGH:SPBRG] + 1)}$$

Solving for SPBRGH:SPBRG:

$$X = \frac{\frac{FOSC}{Desired\ Baud\ Rate}}{64} - 1$$

$$= \frac{\frac{16000000}{9600}}{64} - 1$$

$$= [25.042] = 25$$

$$Calculated\ Baud\ Rate = \frac{16000000}{64(25 + 1)}$$

$$= 9615$$

$$Error = \frac{Calc.\ Baud\ Rate - Desired\ Baud\ Rate}{Desired\ Baud\ Rate}$$

$$= \frac{(9615 - 9600)}{9600} = 0.16\%$$

表 20-3:　ボーレートの計算式

Configuration Bits			BRG/EUSART Mode	Baud Rate Formula
SYNC	BRG16	BRGH		
0	0	0	8-bit/Asynchronous	FOSC/[64 (n+1)]
0	0	1	8-bit/Asynchronous	FOSC/[16 (n+1)]
0	1	0	16-bit/Asynchronous	
0	1	1	16-bit/Asynchronous	FOSC/[4 (n+1)]
1	0	x	8-bit/Synchronous	
1	1	x	16-bit/Synchronous	

記号の説明： x = 関係ない、n = レジスタ ペア (SPBRGH と SPBRG) の値

表 20-4:　ボーレート ジェネレータ関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
BAUDCON	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	224
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	223
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	225*
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	225*
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	222

記号の説明： x = 不明。– = 未実装、「0」として読み出し。網掛けのビットはボーレート ジェネレータでは使用しません。

* このページにはレジスタ情報が記載されています。

© 2009 Microchip Technology Inc.

表 20-5: 非同期モードのボーレート

BAUD RATE	SYNC = 0, BRGH = 0, BRG16 = 0											
	Fosc = 32.000 MHz			Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	—	—	—	—	—	—	—	—	—	—	—	—
1200	—	—	—	1221	1.73	255	1200	0.00	239	1200	0.00	143
2400	2404	0.16	207	2404	0.16	129	2400	0.00	119	2400	0.00	71
9600	9615	0.16	51	9470	-1.36	32	9600	0.00	29	9600	0.00	17
10417	10417	0.00	47	10417	0.00	29	10286	-1.26	27	10165	-2.42	16
19.2k	19.23k	0.16	25	19.53k	1.73	15	19.20k	0.00	14	19.20k	0.00	8
57.6k	55.55k	-3.55	3	—	—	—	57.60k	0.00	7	57.60k	0.00	2
115.2k	—	—	—	—	—	—	—	—	—	—	—	—

BAUD RATE	SYNC = 0, BRGH = 0, BRG16 = 0											
	Fosc = 8.000 MHz			Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 1.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	—	—	—	300	0.16	207	300	0.00	191	300	0.16	51
1200	1202	0.16	103	1202	0.16	51	1200	0.00	47	1202	0.16	12
2400	2404	0.16	51	2404	0.16	25	2400	0.00	23	—	—	—
9600	9615	0.16	12	—	—	—	9600	0.00	5	—	—	—
10417	10417	0.00	11	10417	0.00	5	—	—	—	—	—	—
19.2k	—	—	—	—	—	—	19.20k	0.00	2	—	—	—
57.6k	—	—	—	—	—	—	57.60k	0.00	0	—	—	—
115.2k	—	—	—	—	—	—	—	—	—	—	—	—

BAUD RATE	SYNC = 0, BRGH = 1, BRG16 = 0											
	Fosc = 32.000 MHz			Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	—	—	—	—	—	—	—	—	—	—	—	—
1200	—	—	—	—	—	—	—	—	—	—	—	—
2400	—	—	—	—	—	—	—	—	—	—	—	—
9600	9615	0.16	207	9615	0.16	129	9600	0.00	119	9600	0.00	71
10417	10417	0.00	191	10417	0.00	119	10378	-0.37	110	10473	0.53	65
19.2k	19.23k	0.16	103	19.23k	0.16	64	19.20k	0.00	59	19.20k	0.00	35
57.6k	57.14k	-0.79	34	56.82k	-1.36	21	57.60k	0.00	19	57.60k	0.00	11
115.2k	117.64k	2.12	16	113.64k	-1.36	10	115.2k	0.00	9	115.2k	0.00	5

表 20-5: 非同期モードのボーレート (続き)

BAUD RATE	SYNC = 0, BRGH = 1, BRG16 = 0											
	Fosc = 8.000 MHz			Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 1.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	—	—	—	—	—	—	—	—	—	300	0.16	207
1200	—	—	—	1202	0.16	207	1200	0.00	191	1202	0.16	51
2400	2404	0.16	207	2404	0.16	103	2400	0.00	95	2404	0.16	25
9600	9615	0.16	51	9615	0.16	25	9600	0.00	23	—	—	—
10417	10417	0.00	47	10417	0.00	23	10473	0.53	21	10417	0.00	5
19.2k	19231	0.16	25	19.23k	0.16	12	19.2k	0.00	11	—	—	—
57.6k	55556	-3.55	8	—	—	—	57.60k	0.00	3	—	—	—
115.2k	—	—	—	—	—	—	115.2k	0.00	1	—	—	—

BAUD RATE	SYNC = 0, BRGH = 0, BRG16 = 1											
	Fosc = 32.000 MHz			Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	300.0	0.00	6666	300.0	-0.01	4166	300.0	0.00	3839	300.0	0.00	2303
1200	1200	-0.02	3332	1200	-0.03	1041	1200	0.00	959	1200	0.00	575
2400	2401	-0.04	832	2399	-0.03	520	2400	0.00	479	2400	0.00	287
9600	9615	0.16	207	9615	0.16	129	9600	0.00	119	9600	0.00	71
10417	10417	0.00	191	10417	0.00	119	10378	-0.37	110	10473	0.53	65
19.2k	19.23k	0.16	103	19.23k	0.16	64	19.20k	0.00	59	19.20k	0.00	35
57.6k	57.14k	-0.79	34	56.818	-1.36	21	57.60k	0.00	19	57.60k	0.00	11
115.2k	117.6k	2.12	16	113.636	-1.36	10	115.2k	0.00	9	115.2k	0.00	5

BAUD RATE	SYNC = 0, BRGH = 0, BRG16 = 1											
	Fosc = 8.000 MHz			Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 1.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	299.9	-0.02	1666	300.1	0.04	832	300.0	0.00	767	300.5	0.16	207
1200	1199	-0.08	416	1202	0.16	207	1200	0.00	191	1202	0.16	51
2400	2404	0.16	207	2404	0.16	103	2400	0.00	95	2404	0.16	25
9600	9615	0.16	51	9615	0.16	25	9600	0.00	23	—	—	—
10417	10417	0.00	47	10417	0.00	23	10473	0.53	21	10417	0.00	5
19.2k	19.23k	0.16	25	19.23k	0.16	12	19.20k	0.00	11	—	—	—
57.6k	55556	-3.55	8	—	—	—	57.60k	0.00	3	—	—	—
115.2k	—	—	—	—	—	—	115.2k	0.00	1	—	—	—

© 2009 Microchip Technology Inc.

表 20-5: 非同期モードのボーレート (続き)

BAUD RATE	SYNC = 0, BRGH = 1, BRG16 = 1 or SYNC = 1, BRG16 = 1											
	FOSC = 32.000 MHz			FOSC = 20.000 MHz			FOSC = 18.432 MHz			FOSC = 11.0592 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	300.0	0.00	26666	300.0	0.00	16665	300.0	0.00	15359	300.0	0.00	9215
1200	1200	0.00	6666	1200	-0.01	4166	1200	0.00	3839	1200	0.00	2303
2400	2400	0.01	3332	2400	0.02	2082	2400	0.00	1919	2400	0.00	1151
9600	9604	0.04	832	9597	-0.03	520	9600	0.00	479	9600	0.00	287
10417	10417	0.00	767	10417	0.00	479	10425	0.08	441	10433	0.16	264
19.2k	19.18k	-0.08	416	19.23k	0.16	259	19.20k	0.00	239	19.20k	0.00	143
57.6k	57.55k	-0.08	138	57.47k	-0.22	86	57.60k	0.00	79	57.60k	0.00	47
115.2k	115.9k	0.64	68	116.3k	0.94	42	115.2k	0.00	39	115.2k	0.00	23

BAUD RATE	SYNC = 0, BRGH = 1, BRG16 = 1 or SYNC = 1, BRG16 = 1											
	FOSC = 8.000 MHz			FOSC = 4.000 MHz			FOSC = 3.6864 MHz			FOSC = 1.000 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	300.0	0.00	6666	300.0	0.01	3332	300.0	0.00	3071	300.1	0.04	832
1200	1200	-0.02	1666	1200	0.04	832	1200	0.00	767	1202	0.16	207
2400	2401	0.04	832	2398	0.08	416	2400	0.00	383	2404	0.16	103
9600	9615	0.16	207	9615	0.16	103	9600	0.00	95	9615	0.16	25
10417	10417	0	191	10417	0.00	95	10473	0.53	87	10417	0.00	23
19.2k	19.23k	0.16	103	19.23k	0.16	51	19.20k	0.00	47	19.23k	0.16	12
57.6k	57.14k	-0.79	34	58.82k	2.12	16	57.60k	0.00	15	—	—	—
115.2k	117.6k	2.12	16	111.1k	-3.55	8	115.2k	0.00	7	—	—	—

20.3.1 自動ボーレート検出

EUSART モジュールは、ボーレートの自動検出および校正をサポートします。

ABD (Auto-Baud Detect) モードの場合、BRG のクロック機能が逆になります。つまり、BRG が RX 信号へクロックを提供するのではなく、RX 信号が BRG のタイミングをとります。LIN バスの同期キャラクタである 55h (ASCII “U”) の周期とタイミングを合わせるため、BRG を使用します。この同期キャラクタには、ストップ ビットの立ち上がりを含めて 5 つの立ち上がりエッジがあります。

BAUDCON レジスタの ABDEN ビットをセットすると、自動ボーレート校正シーケンスが開始します (図 20-6 参照)。ABD シーケンス実行中、EUSART のステート マシンはアイドル状態です。スタート ビットの後、受信ラインの最初の立ち上がりエッジで、SPBRG が BRG カウンタ クロックを使用してカウントを開始します (表 20-6 参照)。8 番目のビット周期の最後で RX ピンに 5 番目の立ち上がりエッジが生じます。このとき、適切な BRG 周期を合計した累積値がレジスタ ペア (SPBRGH、SPBRG) に格納され、ABDEN ビットが自動的にクリアされて RCIF 割り込みフラグがセットされます。RCIF 割り込みをクリアするため、RCREG レジスタの値を読み出す必要があります。RCREG の内容は削除されます。SPBRGH レジスタを使用しないモードでキャリブレート (校正) を行う場合、ユーザーは SPBRGH レジスタの 00h ビットをチェックすることによって SPBRG レジスタがオーバーフローしていないか検証できます。

BRG ABD (自動ボーレート検出) クロックは、BRG16 と BRGH ビットで決定されます (表 20-6 参照)。ABD 実行中、BRG16 ビットの設定に関わらず SPBRGH レジスタと SPBRG レジスタが 1 つの 16 ビット カウンタとして使用されます。ボーレート校正中、SPBRGH レジスタと SPBRG レジスタは BRG ベース クロックの 1/8 の速度のクロックで動作します。結果のバイト測定値が、フルスピード (ボーレートの最大値) 時の平均ビット レートとなります。

注 1: ABDEN ビットと共に WUE ビットがセットされている場合、ブレーク文字 (**20.3.3 項「ブレーク ビットで自動ウェイクアップ」**参照) の後のバイトで自動ボーレート検出を実行します。

2: 入ってくる文字データのボーレートが、指定した BRG クロック ソースの範囲内であるかの判断はユーザーが行います。オシレータ周波数と EUASRT ボーレートの組み合わせの中には不可能なものがあります。

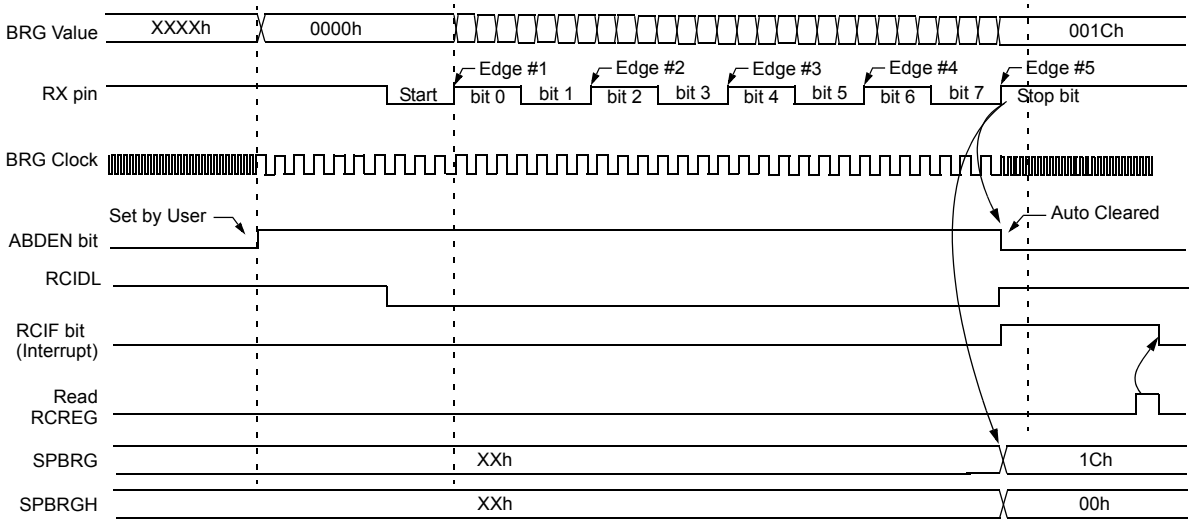
3: 自動ボーレート プロセス中、カウンタは「1」からカウントを開始します。このため正しいカウント値を得るために、レジスタ ペア (SPBRGH:SPBRG) から 1 を減算してください。

表 20-6: BRG カウンタ クロック レート

BRG16	BRGH	BRG Base Clock	BRG ABD Clock
0	0	FOSC/64	FOSC/512
0	1	FOSC/16	FOSC/128
1	0	FOSC/16	FOSC/128
1	1	FOSC/4	FOSC/32

注 : ABD 実行中は、BRG16 ビットの設定に関わらず SPBRG レジスタと SPBRGH レジスタは 1 つの 16 ビット カウンタとして使用されます。

図 20-6: 自動ボーレート校正



注 1: ABD シーケンスの場合、**EUSART** モジュールは非同期モードに設定する必要があります。

 © 2009 Microchip Technology Inc.

20.3.2 自動ボーレートのオーバーフロー

自動ボーレート検出プロセス中、RX ピンに 5 番目の立ち上がりエッジが現れる前にボーレート カウンタがオーバーフローすると、BAUDCON レジスタの ABDOVF ビットがセットされます。ABDOVF ビットは、レジスタ ペア (SPBRGH:SPBRG) の 16 ビットに適用する最大カウント数を超えたことを示します。ABDOVF がセットされた後、カウンタは RX ピンに 5 番目の立ち上がりエッジが現れるまでカウントを続けます。RX 信号の 5 番目のエッジで、ハードウェアは RCIF 割り込みフラグをセットして BAUDCON レジスタの ABDEN ビットをクリアします。その後、RCREG レジスタを読み出すことによって RCIF フラグをクリアできます。
BAUDCON レジスタの ABDOVF フラグはソフトウェアから直接クリアできます。

RCIF フラグがセットされるまでに自動ボーレートプロセスを停止する場合は、ABDEN ビットをクリアして BAUDCON レジスタの ABDOVF ビットをクリアします。最初に ABDEN ビットをクリアしないと、ABDOVF ビットはセットされた状態が続きます。

20.3.3 ブレーク ビットで自動ウェイクアップ

スリープ モードの場合、EUSART の全クロックが一時停止します。このため、ボーレート ジェネレータは非アクティブとなり、正常な文字データの受信ができなくなります。そこで、自動ウェイクアップ機能により、RX/DT ラインが動作し、コントローラがウェイクアップします。この機能は非同期モードでのみ使用できます。

自動ウェイクアップ機能を有効にする場合は、BAUDCON レジスタの WUE ビットをセットします。このビットがセットされると、RX/DT における通常の受信シーケンスが無効となり、EUSART モジュールがアイドル状態を保持し、CPU のモードとは無関係にウェイクアップ イベントをモニタリングします。ウェイクアップ イベントは、RX/DT 信号が High から Low へ遷移すると生じます。(これは同期ブレークのスタート、つまり LIN プロトコルのウェイクアップ信号文字と同じタイミングになります。)

ウェイクアップ イベントと同時に EUSART モジュールは RCIF 割り込みを生成します。割り込み信号は、CPU の通常動作モードの Q クロックに同期して生成されます (図 20-7)。デバイスがスリープ モードの場合は、非同期に生成されます (図 20-8)。RCREG レジスタを読み出すと、割り込み信号はクリアされます。

ブレークの最後で RX 信号が Low から High へ遷移すると WUE ビットが自動的にクリアされます。ユーザーは、この信号遷移を参照してブレーク イベントが終了したことを確認できます。この時点で EUSART モジュールはアイドル状態となり次の文字データの受信まで待機しています。

20.3.3.1 注意事項

ブレーク文字

ウェイクアップ イベント中の文字エラーや文字破損を回避するため、ウェイクアップ文字はすべて 0 にする必要があります。

ウェイクアップ機能が有効の場合、データ ストリームでの Low 時間とは無関係に動作します。WUE ビットがセットされ、有効な 0 以外の文字が受信されると、スタート ビットから最初の立ち上がりエッジまでの Low 時間がウェイクアップ イベントとして認識されます。残りの文字ビットは破損文字として受信され、後続文字はフレーミング エラーまたはオーバーラン エラーとなります。

したがって、送信する最初の文字はすべて「0」にする必要があります。LIN バスの場合は、10 ビットまたはそれ以上のビット (推奨は 13 ビット) 時間が必要です。標準 RS-232 デバイスのビット時間は指定されません。

オシレータ スタートアップ時間

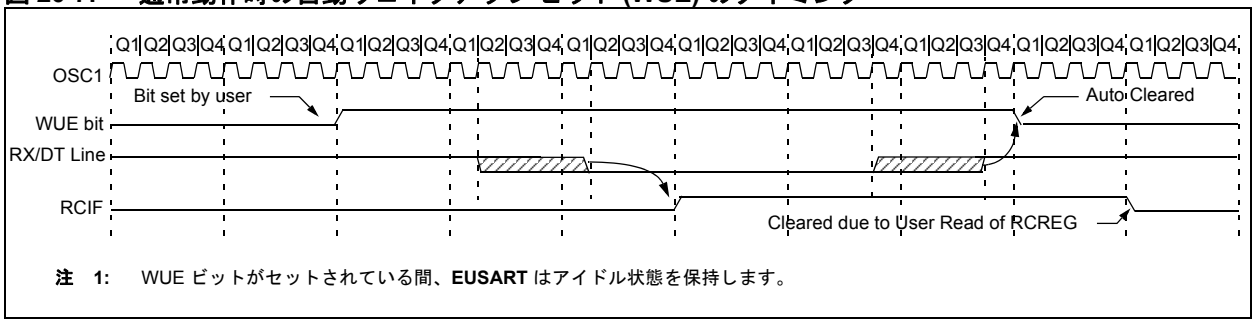
スタートアップ インターバルが長いオシレータを使用するアプリケーション (例 : LP、XT または HS/PLL モード) では特に、オシレータのスタートアップ時間に注意する必要があります。指定したオシレータが開始できる十分な時間の確保して EUSART が正常に初期化できるようにするためには、十分な長さの同期ブレーク (ウェイクアップ信号) 文字と、その後に十分なインターバルが必要です。

WUE ビット

RCIF ビットをセットすることによって、ウェイクアップ イベントが受信割り込みを発生させます。WUE ビットは、RX/DT の立ち上がりエッジによってハードウェアでクリアされます。RCREG レジスタを読み出してその内容を削除することによって、割り込み状態をソフトウェアでクリアできます。

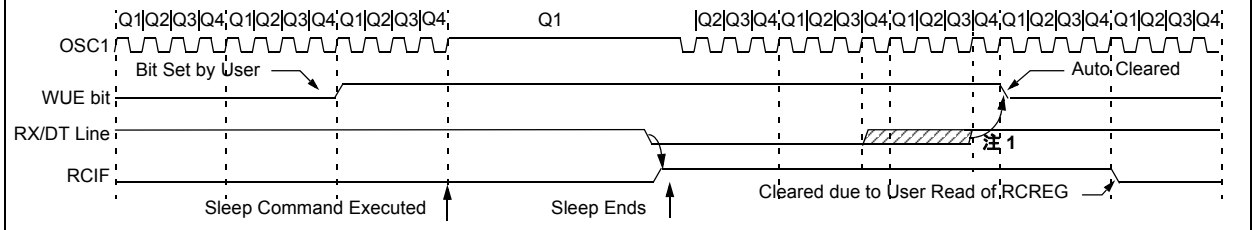
実際のデータ損失がないことを確認するには、RCIDL ビットをチェックして WUE ビットがセットされる前に受信動作が実行していないかを検証します。受信動作が発生していない場合は、スリープ モードに入る直前に WUE ビットがセットされます。

図 20-7:　通常動作時の自動ウェイクアップ ビット (WUE) のタイミング



注　1:　WUE ビットがセットされている間、**EUSART** はアイドル状態を保持します。

図 20-8:　スリープ時の自動ウェイクアップ ビット (WUE) のタイミング



注　1:　ウェイクアップ イベントに長いオシレータ ウォームアップ時間が必要な場合は、stposc 信号がまだアクティブな状態でも WUE ビットが自動的にクリアされる可能性があります。このシーケンスは、Q クロックの影響によるものではありません。

2:　WUE ビットがセットされている間、**EUSART** はアイドル状態を保持します。

© 2009 Microchip Technology Inc.

20.3.4 ブレーク文字のシーケンス

EUSART モジュールは、LIN バス規格で必要な特殊ブレーク文字を送信する機能があります。ブレーク文字の配列は、スタート ビットの次に 12 ビットの 0 があり、最後にストップ ビットという構成です。

この文字を送信する場合は、TXSTA レジスタの SENDB ビットおよび TXEN ビットをセットします。そして、TXREG へ書き込みを開始するとブレーク文字が送信されます。TXREG へ書き込まれたデータは無視され、すべて 0 として送信されます。

対応するストップ ビットが送信された後、SENDB ビットはハードウェアで自動的にリセットされます。これによって、ブレーク文字の後続バイト (通常、LIN の場合は同期キャラクタ) を送信 FIFO にプリロードできます。

TXSTA レジスタの TRMT ビットは、送信動作がアクティブ状態またはアイドル状態かを示します。ブレーク文字シーケンスのタイミングについては、図 20-9 を参照してください。

20.3.4.1 ブレークと同期送信のシーケンス

次のシーケンスで、ブレークで構成されたメッセージ フレーム ヘッダが送信され、それに続いて自動ボーレート同期バイトが送信されます。これは、LIN バス マスターの代表的なシーケンスです。

1. EUSART を任意のモードに設定する。
2. TXEN ビットおよび SENDB ビットをセットしてブレーク シーケンスを有効にする。
3. 送信を起動するため、TXREG レジスタにダミー データをロードする (値は無視される)。
4. TXREG へ 55h を書き込み、送信 FIFO バッファに同期キャラクタをロードする。
5. ブレーク送信後、ハードウェアで SENDB ビットがリセットされて同期キャラクタが送信される。

TXREG レジスタが空 (TXIF で示される) になると、TXREG へ次のデータ バイトを書き込みできます。

20.3.5 ブレーク文字の受信

拡張した EUSART モジュールでは 2 通りの方法でブレーク文字を受信できます。

1 つ目は、RCSTA レジスタの FERR ビットおよび RCREG で示す受信データを使用してブレーク文字を検出する方法です。この場合、ボーレート ジェネレータは、あらかじめ指定したボーレートに初期化されます。

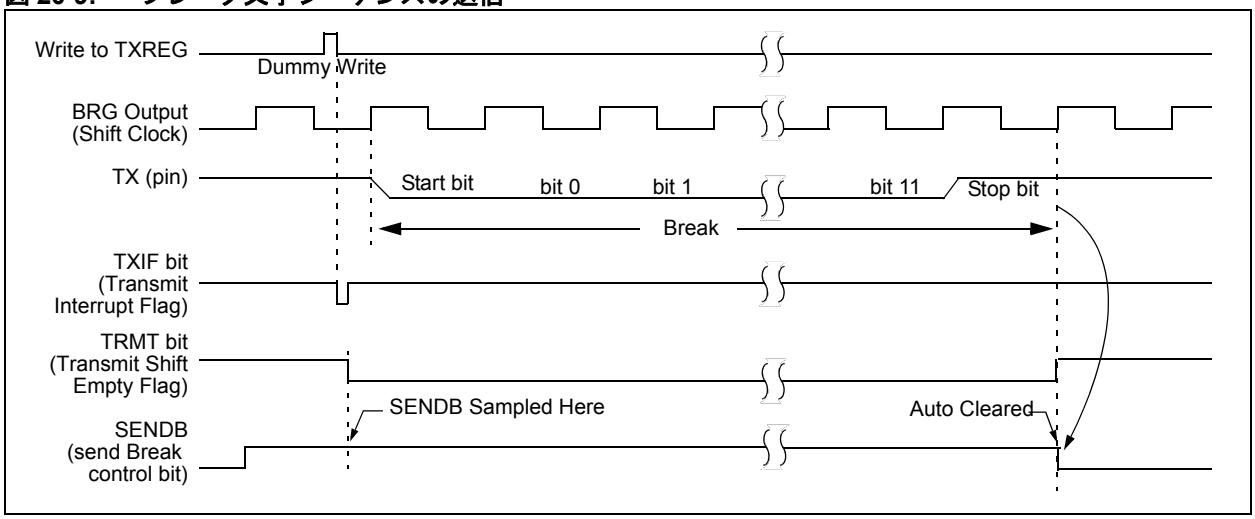
次の条件でブレーク文字が受信されます。

- RCIF ビットがセットされる
- FERR ビットがセットされる
- RCREG = 00h

2 つ目は、**20.3.3 項「ブレーク ビットで自動ウェイクアップ」**で説明する自動ウェイクアップ機能を使用する方法です。EUSART が RX/DT ラインの遷移を 2 回サンプリングすると RCIF 割り込みが発生してウェイクアップし、次のデータ バイトと受信割り込みを受信します。

ブレーク文字の受信後、多くのユーザーは自動ボーレート検出機能を有効にすることを好みます。いずれの方法に対しても、EUSART をスリープ モードに設定する前にユーザーが BAUDCON レジスタの ABDEN ビットを設定できます。

図 20-9: ブレーク文字シーケンスの送信



20.4 EUSART 同期モード

同期シリアル通信は、1 個のマスター デバイスと 1 個または複数のスレーブ デバイスで構成されるシステムで使用されます。マスター デバイスには、ボーレート生成に必要な回路が含まれており、システム内の全デバイスへクロックを供給します。スレーブ デバイスは、マスター デバイスからクロックを取得するため、内部クロック生成回路が不要になります。

同期モードの場合、2 つの信号ライン (双方向データ ラインとクロック ライン) があります。スレーブ デバイスは、マスターから供給される外部クロックを使用して受信シフト レジスタからシリアル データを取り込んだり、送信シフト レジスタへシリアル データを出力します。データ ラインは双方向通信であるため、同期動作は半二重モードのみです。半二重とは、マスターとスレーブがどちらも送受信可能ですが、同時には実行できないことを意味します。EUSART は、マスター デバイスまたはスレーブ デバイスのいずれかとして動作できます。

同期送信では、スタート ビットやストップ ビットを使用しません。

20.4.1 同期マスター モード

EUSART を同期マスター動作用に設定するには、次のようにビットを設定します。

- SYNC = 1
- CSRC = 1
- SREN = 0 (送信用)、SREN = 1 (受信用)
- CREN = 0 (送信用)、CREN = 1 (受信用)
- SPEN = 1

TXSTA レジスタの SYNC ビットをセットすることは、デバイスを同期動作用に設定します。TXSTA レジスタの CSRC ビットをセットすると、デバイスをマスターとして設定します。RCSTA レジスタの SREN ビットおよび CREN ビットをクリアすると、デバイスが送信モードになります。クリアしない場合は受信モードになります。RCSTA レジスタの SPEN ビットをセットすると、EUSART が有効になります。

20.4.1.1 マスター クロック

同期データ送信の場合、個別のクロック ライン (データと同期) を使用します。マスターとして設定されたデバイスが TX/DT ラインにクロックを送信します。EUSART が同期送信動作用または同期受信動作用に設定されている場合、TX/DT ピンの出力ドライバは自動的に有効になります。シリアル データ ビットは、各クロックのトレーリング (後方) エッジでも有効になるようにリーディング エッジで変化します。各データ ビットごとに 1 クロック サイクルが生成されます。データ ビット数と同じ数だけのクロック サイクルが生成されます。

20.4.1.2 クロック極性

Microwire との互換性用にクロック極性オプションがあります。クロックの極性は、BAUDCON レジスタの SCKP ビットで選択します。SCKP ビットをセットすると、High がクロックのアイドル状態になります。SCKP ビットがセットされると、各クロックの立ち下がりエッジでデータ変化します。SCKP ビットをクリアすると、Low がクロックのアイドル状態になります。SCKP ビットがクリアされると、各クロックの立ち上がりエッジでデータが変化します。

20.4.1.3 同期マスター送信

データは、RX/DT ピンでデバイスから送信されます。EUSART が同期マスター送信動作用に設定されている場合、RX/DT ピンと TX/DT ピンの出力ドライバが自動的に有効になります。

TXREG レジスタに文字書き込みを実行すると送信が開始されます。TSR に前データが残っている場合は、そのデータの最後のビットが送信されるまで新しいデータは TXREG に格納されています。初めて文字を書き込む場合または以前に書き込んだ文字がすでに TSR から出力されている場合は、TXREG レジスタに書き込んだデータがすぐに TSR レジスタへ送信されます。つまり、TXREG へデータ送信するとすぐに、TXREG から TSR へ送信されます。

各データ ビットはマスター クロックのリーディング エッジで変化し、後続のリーディング クロック エッジがくるまで有効を保持します。

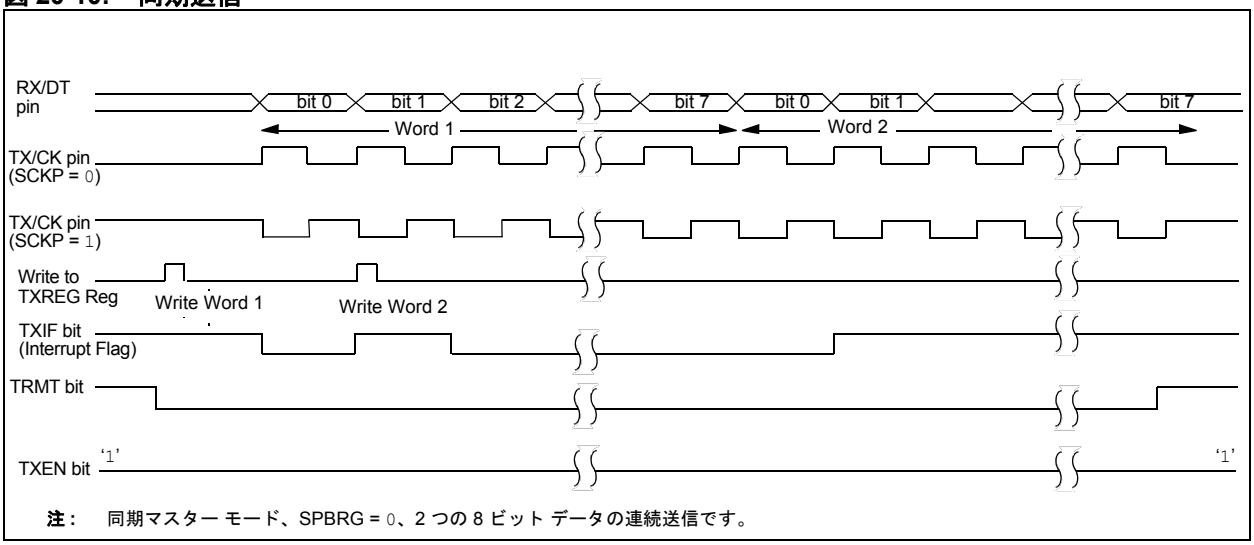
注 :	TSR レジスタはデータ メモリにマップされていないため、ユーザーは使用できません。

20.4.1.4 同期マスター送信の設定

1. 任意のボーレートを実現するため、SPBRGH と SPBRG のレジスタ ペアおよび BRGH と BRG16 ビットを初期化します **(20.3 項「EUSART のボーレート ジェネレータ (BRG)」** 参照)。
2. SYNC、SPEN および CSRC をセットして、同期マスター シリアル ポートを有効にします。
3. SREN および CREN をクリアして受信モードを無効にします。
4. TXEN ビットをセットして送信モードを有効にします。
5. 9 ビット送信の場合は、TX9 ビットをセットします。
6. 任意の割り込みが必要な場合は、PIE1 レジスタの TXIE ビットおよび INTCON レジスタの GIE および PEIE ビットをセットします。
7. 9 ビット送信の場合は、TX9D データ ビットに 9 番目のビットがロードされる必要があります。
8. TXREG レジスタにデータをロードして送信を開始します。

 © 2009 Microchip Technology Inc.

図 20-10: 同期送信



注： 同期マスター モード、SPBRG = 0、2 つの 8 ビット データの連続送信です。

図 20-11: 同期送信 (TXEN を使用)

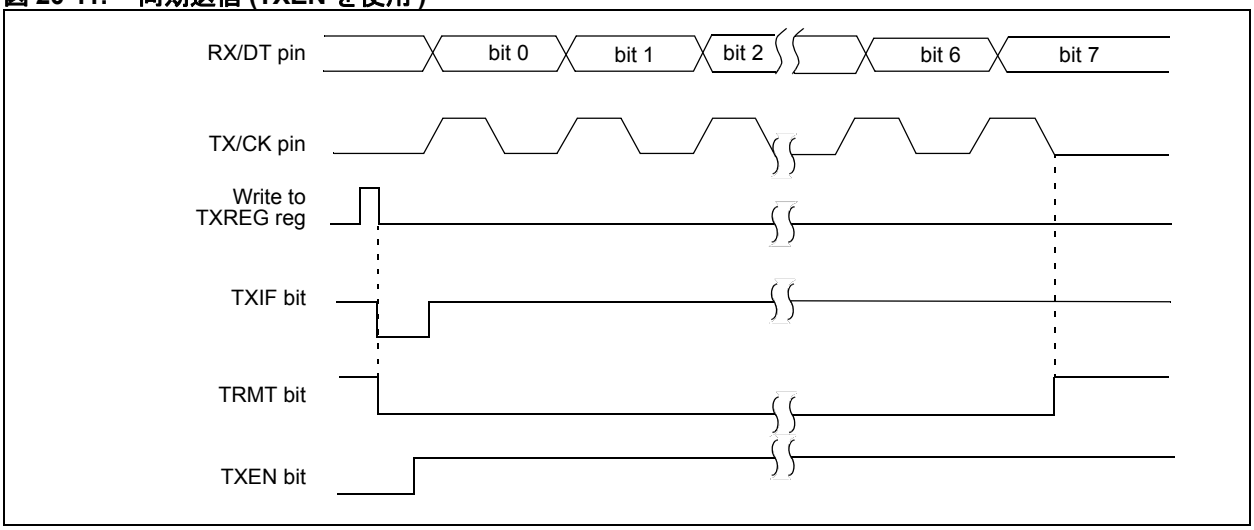


表 20-7: 同期マスター送信関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
BAUDCON	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	224
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	223
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	225*
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	225*
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94
TXREG	EUSART Transmit Data Register								215*
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	222

記号の説明： x = 不明。- = 未実装、「0」として読み出し。網掛けのビットは同期マスター送信では使用しません。
* このページにはレジスタ情報が記載されています。

20.4.1.5 同期マスター受信

データは、RX/DT ピンで受信されます。EUSART が同期受信動作用に設定されている場合、RX/DT ピンの出力ドライバは自動的に無効になります。

同期モードの場合、シングル受信イネーブル ビット (RCSTA レジスタの SREN) または連続受信イネーブル ビット (RCSTA レジスタの CREN) のいずれかをセットすると受信が有効になります。

SREN がセットされ CREN がクリアされている場合、一文字分のデータ内にあるデータ ビット数と同じ数のクロック サイクルが生成されます。SREN ビットは、一文字分のデータが完了した時点で自動的にクリアされます。CREN がセットされている場合、CREN がクリアされるまでクロックは継続的に生成されます。データの途中で CREN がクリアされた場合は、CK クロックがすぐに停止するため、データの一部が破棄されます。SREN と CREN が両方ともセットされている場合は、最初のデータが完了した時点で SREN がクリアされて CREN が優先されます。

受信開始するには、SREN または CREN のいずれかをセットします。データは、TX/CK クロックのトレーリング (後方) エッジを参照して RX/DT ピンでサンプリングされ、受信シフト レジスタ (RSR) へシフトされます。RSR で完全なデータが受信されると、RCIF ビットがセットされて 2 つの文字データを格納できる受信 FIFO へ自動的に送信されます。受信 FIFO にある最初の文字の下位 8 ビットは、RCREG にあります。RCIF ビットは、受信 FIFO に未読データがある限りセット状態を保持します。

20.4.1.6 スレーブ クロック

同期データ送信の場合、個別のクロック ライン (データと同期) を使用します。スレーブとして設定されたデバイスは TX/CK ラインでクロックを受信します。デバイスが同期スレーブ送信動作用または同期スレーブ受信動作用に設定されている場合、TX/CK ピンの出力ドライバは自動的に無効になります。シリアル データ ビットは、各クロックのトレーリング (後方) エッジでも有効になるようにリーディング エッジで変化します。各クロック サイクルで 1 データ ビットが送信されます。データ ビット数と同じ数だけのクロック サイクルが受信されます。

20.4.1.7 受信オーバーラン エラー

受信 FIFO バッファは 2 文字分のデータを格納できます。RCREG が読み出される前に 3 番目の文字データがすべて受信されると、オーバーラン エラーが生成されます。このとき、RCSTA レジスタの OERR ビットがセットされます。FIFO にある前のデータは上書きされません。FIFO バッファにすでに格納された 2 つのデータは読み出し可能ですが、エラーが解除されるまで次のデータを受信できません。オーバーラン条件が解除されない限り、OERR ビットをクリアできません。SREN ビットがセットされて CREN がクリアされているときにオーバーラン エラーが生じた場合は、RCREG を読み出すことによってエラー条件をクリアできます。CREN ビットがセットされているときにオーバーランが生じた場合は、RCSTA レジスタの CREN ビットをクリアするか、SPEN ビットをクリアして EUSART をリセットすることによって、エラー条件をクリアできます。

20.4.1.8 9 ビット文字データの受信

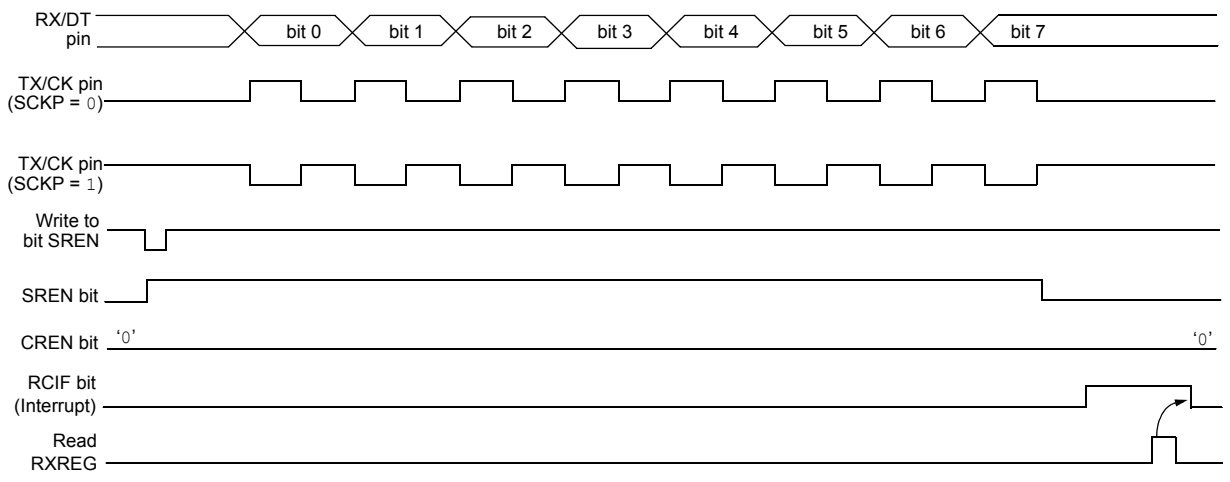
EUSART は、9 ビットの文字データを受信できます。RCSTA レジスタの RX9 ビットがセットされている場合、EUSART は各受信データを RSR へ 9 ビット シフトします。RCSTA レジスタの RX9D ビットは 9 番目であり、受信 FIFO にある上位未読文字の最上位データ ビットとなります。受信 FIFO バッファから 9 ビット データを読み出す場合は、RCREG から下位 8 ビットを読み出す前に RX9D データ ビットを読出す必要があります。

20.4.1.9 同期マスター受信の設定

1. 適切なボーレート用に レジスタ ペア (SPBRGH、SPBRG) を初期化します。必要に応じて BRGH ビットと BRG16 ビットをセット / クリアして、任意のボーレートを実現します。
2. SYNC、SPEN および CSRC をセットして、同期マスター シリアル ポートを有効にします。
3. CREN および SREN がクリアされていることを確認します。
4. 任意の割り込みが必要な場合は、PIE1 レジスタの RCIE ビットおよび INTCON レジスタの GIE および PEIE ビットをセットします。
5. 9 ビット データを受信する場合は、RX9 ビットをセットします。
6. SREN ビットを設定して受信開始します。または連続受信の場合は CREN ビットをセットします。
7. 文字データの受信が完了すると、割り込みフラグ ビット RCIF がセットされます。RCIE イネーブル ビットがセットされているときは割り込みが生成されます。
8. 9 番目のビットがある場合は、RCSTA レジスタを読み出して、受信中にエラーが発生していないかを確認します。
9. RCREG レジスタを介して 8 ビットの受信データを読み出します。
10. オーバーラン エラーが発生した場合は、RCSTA レジスタの CREN ビットをクリアするか、SPEN ビットをクリアして EUSART モジュールをリセットしてエラーをクリアします。

 © 2009 Microchip Technology Inc.

図 20-12:　同期受信 (マスター モード、SREN)



注：　SREN = 1 および BRGH = 0 の同期マスター モードのタイミング図を示しています。

表 20-8:　同期マスター受信関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
BAUDCON	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	224
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
RCREG	EUSART Receive Data Register								218*
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	223
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	225*
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	225*
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	222

記号の説明：　x = 不明。- = 未実装、「0」として読み出し。網掛けのビットは同期マスター受信では使用しません。
*　このページにはレジスタ情報が記載されています。

20.4.2 同期スレーブ モード

EUSART を同期スレーブ動作用に設定するには、次のようにビットを設定します。

- SYNC = 1
- CSRC = 0
- SREN = 0 (送信用)、SREN = 1 (受信用)
- CREN = 0 (送信用)、CREN = 1 (受信用)
- SPEN = 1

TXSTA レジスタの SYNC ビットをセットすると、デバイスを同期動作用に設定します。TXSTA レジスタの CSRC ビットをクリアすると、デバイスをスレーブとして設定します。RCSTA レジスタの SREN ビットおよび CREN ビットをクリアすると、デバイスが送信モードになります。クリアしない場合は受信モードになります。RCSTA レジスタの SPEN ビットをセットすると、EUSART が有効になります。

20.4.2.1 EUSART の同期スレーブ送信

同期マスター モードと同期スレーブ モードの動作は、スリープ モードの場合を除いて同じです **(20.4.1.3 項「同期マスター送信」参照)。**

TXREG レジスタに 2 ワードが書き込まれて、スリープ命令が実行された場合、次が生じます。

1. すぐに最初のワード データが TSR レジスタに転送されます。
2. 2 番目のワードは、TXREG レジスタに残ります。
3. TXIF ビットはセットされません。
4. 最初のワードが TSR からシフトされた後に、TXREG レジスタは 2 番目のワードを TSR レジスタへ送信し、TXIF ビットがセットされます。
5. PEIE ビットと TXIE ビットがセットされている場合は、割り込みによってデバイスがスリープからウェイクアップして次の命令を実行します。GIE ビットもセットされていると、プログラムが割り込みサービス ルーチンを呼び出します。

20.4.2.2 同期スレーブ送信の設定

1. SYNC および SPEN ビットをセットして CSRC ビットをクリアします。
2. CREN および SREN ビットをクリアします。
3. 任意の割り込みが必要な場合は、PIE1 レジスタの TXIE ビットおよび INTCON レジスタの GIE および PEIE ビットをセットします。
4. 9 ビット送信の場合は、TX9 制御ビットをセットします。
5. TXEN 制御ビットをセットして送信を有効にします。
6. 9 ビット送信を選択した場合は、TX9D ビットに MSB (上位ビット) を挿入します。
7. TXREG レジスタに下位 8 ビットを書き込んで送信を開始します。

表 20-9: 同期スレーブ送信関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
BAUDCON	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	224
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	223
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94
TXREG	EUSART Transmit Data Register								215*
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	222

記号の説明 : x = 不明。- = 未実装、「0」として読み出し。網掛けのビットは同期スレーブ送信では使用しません。
* このページにはレジスタ情報が記載されています。

© 2009 Microchip Technology Inc.

20.4.2.3 EUSART の同期スレーブ受信

同期マスター モードと同期スレーブ モードの動作は、次の例外を除いて同じです (**20.4.1.5 項「同期マスター受信」**参照)。

- スリープ
- CREN ビットが常にセットされているため、受信部はアイドル状態にならない
- SREN ビット (このビットは、スレーブ モードでは無視される)

スリープ モードに遷移する前に CREN ビットをセットすると、スリープ時に文字データを受信する可能性があります。RSR レジスタは、ワード データを受信するとそのデータを RCREG レジスタへ転送します。RCIE イネーブル ビットがセットされている場合は、割り込みによってデバイスがスリープからウェイクアップして次の命令を実行します。GIE ビットもセットされていると、プログラムが割り込みサービス ルーチンを呼び出します。

20.4.2.4 同期スレーブ受信の設定

1. SYNC および SPEN ビットをセットして CSRC ビットをクリアします。
2. 任意の割り込みが必要な場合は、PIE1 レジスタの RCIE ビットおよび INTCON レジスタの GIE および PEIE ビットをセットします。
3. 9 ビット データを受信する場合は、RX9 ビットをセットします。
4. CREN ビットをセットして受信を有効にします。
5. 受信が完了すると RCIF ビットがセットされます。RCIE イネーブル ビットがセットされているときは割り込みが生成されます。
6. 9 ビット モードが有効になっている場合は、RCSTA レジスタの RX9D ビットから最上位ビット (MSB) を取得します。
7. RCREG レジスタを読み出すことによって、受信 FIFO から 8 ビットの下位ビットを取得します。
8. オーバーラン エラーが発生した場合は、RCSTA レジスタの CREN ビットをクリアするか、SPEN ビットをクリアして EUSART モジュールをリセットしてエラーをクリアします。

表 20-10: 同期スレーブ受信関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
BAUDCON	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	224
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
RCREG	EUSART Receive Data Register								218*
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	223
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	222

記号の説明： x = 不明。- = 未実装、「0」として読み出し。網掛けのビットは同期スレーブ受信では使用しません。
* このページにはレジスタ情報が記載されています。

20.5 スリープ時の EUSART 動作

EUSART は、同期スレーブ モードの場合のみスリープ中でもアクティブ状態を継続します。その他のモードはシステム クロックを要するため、スリープ中は送信 / 受信シフト レジスタの実行で必要な信号を生成できません。

同期スレーブ モードは、外部で生成されたクロックを使用するため、送信 / 受信シフト レジスタを実行できます。

20.5.1 スリープ中の同期受信

スリープ中に受信動作を行う場合は、スリープ モードへ遷移する前に次の条件がすべて満たされる必要があります。

- 制御レジスタの RCSTA および TXSTA が同期スレーブ受信用に設定されている (**20.4.2.4 項「同期スレーブ受信の設定」**参照)
- 任意の割り込みが必要な場合は、PIE1 レジスタの RCIE ビットおよび INTCON レジスタの GIE および PEIE ビットをセットする
- RCREG を読み出して RCIF 割り込みフラグをクリアし、受信バッファ内の保留中の文字データをすべてアンロードする

スリープ モードへ遷移する際、デバイスは RX/DT および TX/CK ピンにおいてデータとクロックそれぞれが受信できる状態になります。外部デバイスが生成するクロックによってデータ ワードが完全に入力されると、PIR1 レジスタの RCIF 割り込みフラグビットがセットされます。これによって、プロセッサがスリープ モードからウェイクアップします。

スリープ モードからウェイクアップすると、SLEEP 命令の次の命令が実行されます。INTCON レジスタの GIE グローバル割り込みイネーブル ビットもセットされている場合は、割り込みサービス ルーチン (アドレス 004h) が呼び出されます。

20.5.2 スリープ中の同期送信

スリープ中に送信動作を行う場合は、スリープ モードへ遷移する前に次の条件がすべて満たされる必要があります。

- 制御レジスタの RCSTA および TXSTA が同期スレーブ送信用に設定されている (**20.4.2.2 項「同期スレーブ送信の設定」**参照)
- TXREG へ出力データを書き込むことによって、TXIF 割り込みフラグをクリアする必要がある。つまり、TSR および送信バッファにはデータが格納されている状態になる
- 任意の割り込みが必要な場合は、PIE1 レジスタの TXIE ビットおよび INTCON レジスタの PEIE ビットをセットする
- 割り込みイネーブル ビットである PIE1 レジスタの TXIE ビットおよび INTCON レジスタの PEIE をセットする

スリープ モードへ遷移する際、デバイスは TX/CK ピンでクロックを受信でき、RX/DT ピンでデータ送信できる状態になります。外部デバイスのクロックによって TSR に格納されていたデータ ワードが出力されると、TXREG に保留されていたバイトが TSR へ転送されて TXIF フラグがセットされます。これによって、プロセッサがスリープ モードからウェイクアップします。この時点で、TXREG には次の文字データを転送できる状態です。TXREG がデータを受信すると TXIF フラグがクリアされます。

スリープ モードからウェイクアップすると、SLEEP 命令の次の命令が実行されます。GIE グローバル割り込みイネーブル ビットもセットされている場合は、割り込みサービス ルーチン (アドレス 0004h) が呼び出されます。

 © 2009 Microchip Technology Inc.

21.0 液晶ディスプレイ (LCD) ドライバ モジュール

LCD ドライバ モジュールは、スタティックまたは多重化 LCD パネルの駆動をタイミング制御します。PIC16F193X/LF193X デバイスの場合、LCD パネルのコモン出力を最大 4 個およびセグメント出力を最大 24 個駆動します。また、LCD モジュールは LCD ピクセル データの制御も行います。

LCD ドライバ モジュールがサポートする機能を次に示します。

- LCD パネルの直接駆動
- 3 つの LCD クロック ソース (選択可能なプリスケーラ付き)
- 最大 4 個のコモン ピン
  - スタティック (コモン ピン 1 個)
  - 1/2 マルチプレクス (コモン ピン 2 個)
  - 1/3 マルチプレクス (コモン ピン 3 個)
  - 1/4 マルチプレクス (コモン ピン 4 個)
- セグメント ピンの最大使用数
  - 16 (PIC16F1933/1936/1938/ PIC16LF1933/1936/1938)
  - 24 (PIC16F1934/1937/1939/ PIC16LF1934/1937/1939)
- スタティック、1/2 または 1/3 LCD バイアス

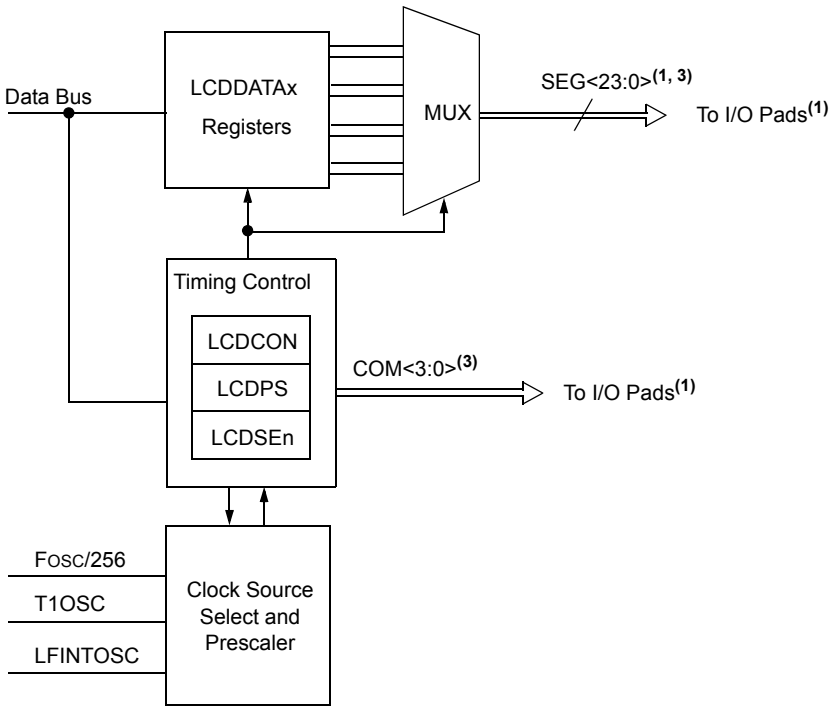
注 : PIC16F1933/1936/1938/ および PIC16LF1933/1936/1938 デバイスの場合、COM3 と SEG15 は物理的に同じピンを使用します。そのため、1/4 マルチプレクス ディスプレイを使用する場合、SEG15 は使用できません。

21.1 LCD レジスタ

モジュールには次のレジスタが含まれています。

- LCD 制御レジスタ (LCDCON)
- LCD 位相レジスタ (LCDPS)
- LCD リファレンス ラダー レジスタ (LCDRL)
- LCD コントラスト制御レジスタ (LCDCST)
- LCD リファレンス電圧制御レジスタ (LCDREF)
- 最大 3 個の LCD セグメント イネーブル レジスタ (LCDSEn)
- 最大 12 個の LCD データ レジスタ (LCDDATAn)

図 21-1: LCD ドライバ モジュールのブロック図



注 1: これらは I/O パッドへ直接接続していませんが、LCD モジュールの設定に依存するトライステートにできます。
2: PIC16F1934/1937/1939 で SEG<23:0>、PIC16F1933/1936/1938/ PIC16LF1933/1936/1938 で SEG<15:0>
3: PIC16F1933/1936/1938/PIC16LF1933/1936/1938 デバイスの場合、COM3 と SEG15 は同じピンを使用するため、1/4 マルチプレクス ディスプレイを使用する場合、SEG15 は使用できません。

表 21-1: LCD のセグメントおよびデータ レジスタ

Device	# of LCD Registers	
	Segment Enable	Data
PIC16F1933/1936/1938/ PIC16LF1933/1936/1938	2	8
PIC16F1934/1937/1939/ PIC16LF1934/1937/1939	3	12

LCDCON レジスタ (レジスタ 21-1) は、LCD ドライバ モジュールの動作を制御します。LCDPS レジスタ (レジスタ 21-2) では、LCD クロック ソース プリスケーラおよび波形タイプ (タイプ A またはタイプ B) を設定します。LCDSE レジスタ (レジスタ 21-5) では、ポート ピンの機能を設定します。

LCDSE レジスタは次のとおりです。

- LCDSE0 SE<7:0>
- LCDSE1 SE<15:8>
- LCDSE2 SE<23:16>**(1)**

注 1: PIC16F1934/1937/1939/ PIC16LF1934/1937/1939 のみです。

LCD パネル用にモジュールが初期化されると、明 / 暗ピクセルを表すために LCDDATA<11:0> レジスタの各ビットがクリア / セットされます。

- LCDDATA0 SEG<7:0>COM0
- LCDDATA1 SEG<15:8>COM0
- LCDDATA2 SEG<23:16>COM0**(1)**
- LCDDATA3 SEG<7:0>COM1
- LCDDATA4 SEG<15:8>COM1
- LCDDATA5 SEG<23:16>COM1**(1)**
- LCDDATA6 SEG<7:0>COM2
- LCDDATA7 SEG<15:8>COM2
- LCDDATA8 SEG<23:16>COM2**(1)**
- LCDDATA9 SEG<7:0>COM3
- LCDDATA10 SEG<15:8>COM3
- LCDDATA11 SEG<23:16>COM3**(1)**

注 1: PIC16F1934/1937/1939/ PIC16LF1934/1937/1939 のみです。

例として、LCDDATAx の詳細を レジスタ 21-6 に示します。

モジュール設定が完了すると、LCDCON レジスタの LCDEN ビットを使用して LCD モジュールを有効/無効にします。LCDCON レジスタの SLPEN ビットをクリアすると、スリープ時でも LCD パネルを動作させることが可能です。

 © 2009 Microchip Technology Inc.

レジスタ 21-1: LCDCON: 液晶ディスプレイ (LCD) 制御レジスタ

R/W-0/0	R/W-0/0	R/C-0/0	U-0	R/W-0/0	R/W-0/0	R/W-1/1	R/W-1/1
LCDEN	SLPEN	WERR	—	CS1	CS0	LMUX1	LMUX0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	C = クリアのみ可

ビット 7 **LCDEN:** LCD ドライバのイネーブル ビット
1 = LCD ドライバ モジュールは有効
0 = LCD ドライバ モジュールは無効

ビット 6 **SLPEN:** スリープ時の LCD ドライバ イネーブル ビット
1 = スリープ時の LCD ドライバ モジュールは無効
0 = スリープ時の LCD ドライバ モジュールは有効

ビット 5 **WERR:** LCD の書き込みエラー ビット
1 = LCDPS レジスタの WA ビットが 0 の間に LCDDATAx レジスタに書き込みが実行された (ソフトウェアでクリアされる必要がある)
0 = LCD 書き込みエラーなし

ビット 4 **未実装 :**「0」として読み出し

ビット 3-2 **CS<1:0>:** クロック ソース選択ビット
00 = Fosc/256
01 = T1OSC (Timer1)
1x = LFINTOSC (31 kHz)

ビット 1-0 **LMUX<1:0>:** 共通の選択ビット

LMUX<1:0>	Multiplex	Maximum Number of Pixels		Bias
		PIC16F1933/1936/1938/ PIC16LF1933/1936/1938	PIC16F1934/1937/1939/ PIC16LF1934/1937/1939	
00	Static (COM0)	16	24	Static
01	1/2 (COM<1:0>)	32	48	1/2 or 1/3
10	1/3 (COM<2:0>)	48	72	1/2 or 1/3
11	1/4 (COM<3:0>)	60(1)	96	1/3

注 1: これらのデバイスでは、COM3 と SEG15 が同じピンを共有するため、64 ピクセルの駆動が不可となります。

レジスタ 21-2: LCDPS: LCD 位相レジスタ

R/W-0/0	R/W-0/0	R-0/0	R-0/0	R/W-0/0	R/W-0/0	R/W-1/1	R/W-1/1
WFT	BIASMD	LCDA	WA	LP3	LP2	LP1	LP0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	C = クリアのみ可

ビット 7 **WFT:** 波形タイプのビット
1 = タイプ B の位相がフレーム バウンダリで変化する
0 = タイプ A の位相が各コモン タイプ内で変化する

ビット 6 **BIASMD:** バイアス モードの選択ビット
LMUX<1:0> = 00 の場合 :
0 = スタティック バイアス モード (このビットは「1」にセットしないこと)
LMUX<1:0> = 01 の場合 :
1 = 1/2 バイアス モード
0 = 1/3 バイアス モード
LMUX<1:0> = 10 の場合 :
1 = 1/2 バイアス モード
0 = 1/3 バイアス モード
LMUX<1:0> = 11 の場合 :
0 = 1/3 バイアス モード (このビットは「1」にセットしないこと)

ビット 5 **LCDA:** LCD アクティブ ステータス ビット
1 = LCD ドライバ モジュールはアクティブ
0 = LCD ドライバ モジュールは非アクティブ

ビット 4 **WA:** LCD の書き込み許可ステータス ビット
1 = LCDDATAx レジスタへの書き込みが許可されている
0 = LCDDATAx レジスタへの書き込みは許可されていない

ビット 3-0 **LP<3:0>:** LCD プリスケーラ選択ビット
1111 = 1:16
1110 = 1:15
1101 = 1:14
1100 = 1:13
1011 = 1:12
1010 = 1:11
1001 = 1:10
1000 = 1:9
0111 = 1:8
0110 = 1:7
0101 = 1:6
0100 = 1:5
0011 = 1:4
0010 = 1:3
0001 = 1:2
0000 = 1:1

 © 2009 Microchip Technology Inc.

レジスタ 21-3: LCDREF: LCD のリファレンス電圧制御レジスタ

R/W-0/0	R/W-0/0	R/W-0/0	U-0	R/W-0/0	R/W-0/0	R/W-0/0	U-0
LCDIRE	LCDIRS	LCDIRI	—	VLCD3PE	VLCD2PE	VLCD1PE	—
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	C = クリアのみ可

ビット 7 **LCDIRE:** LCD 内部のリファレンス イネーブル ビット
1 = LCD 内部のリファレンス機能が有効で、内部コントラスト制御回路へ接続されている
0 = LCD 内部のリファレンス機能は無効

ビット 6 **LCDIRS:** LCD 内部のリファレンス ソース ビット
LCDIRE = 1 の場合 :
0 = LCD 内部のコントラスト制御は VDD 電源を使用する
1 = LCD 内部のコントラスト制御は FVR の 3.072V 出力を使用する
LCDIRE = 0 の場合 :
LCD 内部のコントラスト制御は未接続で、LCD バンドギャップ バッファは無効

ビット 5 **LCDIRI:** LCD 内部のリファレンス ラダー アイドル イネーブル ビット
LCD のリファレンス ラダーがパワーモード B の場合、内部 FVR バッファをシャットダウンできます。
1 = LCD のリファレンス ラダーがパワーモード B の場合、LCD の内部 FVR バッファが無効になる
0 = LCD の内部 FVR バッファは、LCD リファレンス ラダーのパワーモードを無視する

ビット 4 **未実装 :**「0」として読み出し

ビット 3 **VLCD3PE:** VLCD3 ピン イネーブル ビット
1 = VLCD3 ピンは内部のバイアス電圧 LCDBIAS3(1) へ接続される
0 = VLCD3 ピンは接続されない

ビット 2 **VLCD2PE:** VLCD2 ピン イネーブル ビット
1 = VLCD2 ピンは内部のバイアス電圧 LCDBIAS2(1) へ接続される
0 = VLCD2 ピンは接続されない

ビット 1 **VLCD1PE:** VLCD1 ピン イネーブル ビット
1 = VLCD1 ピンは内部のバイアス電圧 LCDBIAS1(1) へ接続される
0 = VLCD1 ピンは接続されない

ビット 0 **未実装 :**「0」として読み出し

注 1: TRISx および ANSELx における通常のピン制御は影響受けません。

レジスタ 21-4: LCDCST: LCD コントラスト制御レジスタ

U-0	U-0	U-0	U-0	U-0	R/W-0/0	R/W-0/0	R/W-0/0
—	—	—	—	—	LCDCST2	LCDCST1	LCDCST0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	C = クリアのみ可

ビット 7-3 **未実装 :**「0」として読み出し

ビット 2-0 **LCDCST<2:0>:** LCD のコントラスト制御ビット
ラダー抵抗を選択することによって、LCD のコントラストを制御できます。
ビット値 = ラダー抵抗
000 = 最小抵抗 (最大コントラスト)、ラダー抵抗は短絡される
001 = ラダー抵抗は、最大抵抗の 1/7
010 = ラダー抵抗は、最大抵抗の 2/7
011 = ラダー抵抗は、最大抵抗の 3/7
100 = ラダー抵抗は、最大抵抗の 4/7
101 = ラダー抵抗は、最大抵抗の 5/7
110 = ラダー抵抗は、最大抵抗の 6/7
111 = ラダー抵抗は最大 (最小コントラスト)

 © 2009 Microchip Technology Inc.

レジスタ 21-5: LCDSEn: LCD セグメント イネーブル レジスタ

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
SEn	SEn	SEn	SEn	SEn	SEn	SEn	SEn
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **SEn:** セグメントのイネーブル ビット
1 = ピンのセグメント機能が有効
0 = ピンの I/O 機能が有効

レジスタ 21-6: LCDDATAx: LCD データ レジスタ

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
SEGx-COMy	SEGx-COMy	SEGx-COMy	SEGx-COMy	SEGx-COMy	SEGx-COMy	SEGx-COMy	SEGx-COMy
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **SEGx-COMy:** ピクセル オン ビット
1 = ピクセル オン (暗)
0 = ピクセル オフ (明)

21.2 LCD クロック ソースの選択

LCD モジュールでは 3 つのクロック ソースを使用できます。

- FOSC/256
- T1OSC
- LFINTOSC

1 つ目のクロック ソースは、256 分周されたシステム クロック (FOSC/256) です。この分周率は、システム クロックが 8 MHz の場合に約 1 kH の出力を提供するために選択された値です。分周器はプログラム可能ではありません。その代わり、LCDPS レジスタの LCD プリスケーラ ビット LP<3:0> を使用して LCD フレーム クロックのレートを設定できます。

2 つ目のクロック ソースは T1OSC です。これも、Timer1 オシレータで 32.768 kHz の水晶振動子を使用した場合に、約 1 kH の出力を提供します。Timer1 オシレータをクロック ソースとして使用する場合は、T1CON レジスタの T1OSCEN ビットをセットする必要があります。

3 つ目のクロック ソースは 31 kHz LFINTOSC であり、約 1 kH の出力を提供します。

プロセッサがスリープ時に LCD を継続して動作する場合は、2 つ目と 3 つ目のクロック ソースを使用できます。

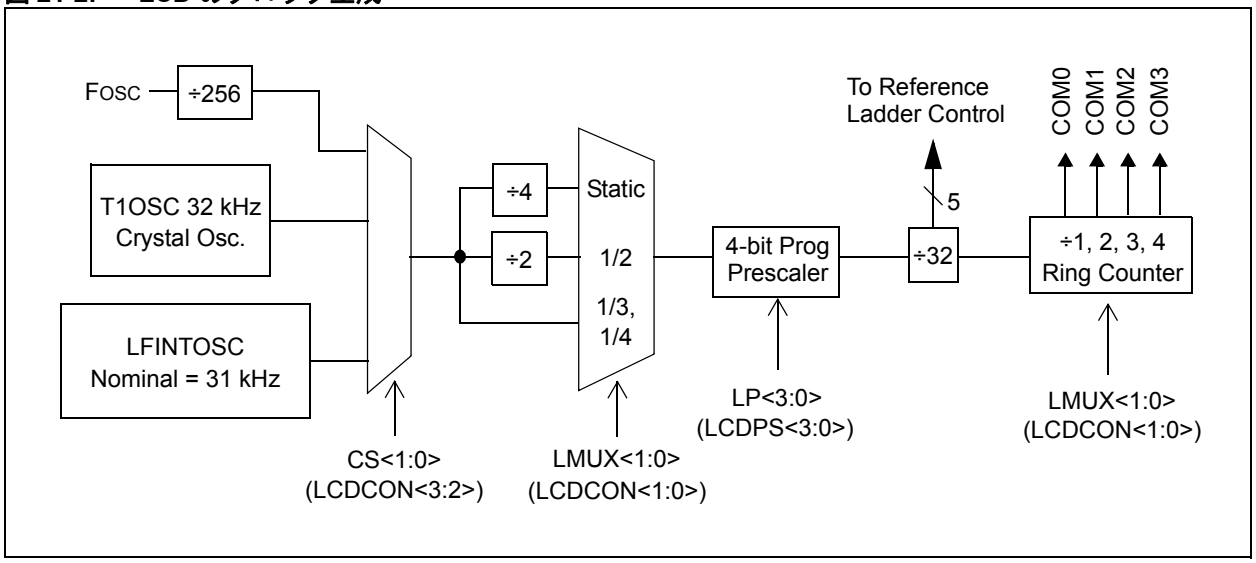
これらのクロック ソースを選択するには、LCDCON レジスタの CS<1:0> ビットを使用してください。

21.2.1 LCD プリスケーラ

LCD クロックのプリスケーラとして 4 ビットのカウンタがあります。プリスケーラは、直接読み出しまたは書き込みできません。LCDPS レジスタの LP<3:0> ビットを使用してプリスケーラの割り当ておよびプリスケール比を設定します。

プリスケール比は、1:1 ～ 1:16 の中から選択できます。

図 21-2: LCD のクロック生成



 © 2009 Microchip Technology Inc.

21.3 LCD バイアス電圧生成

LCD モジュールは、3 つのバイアス タイプのうちから 1 つを選択して設定できます。

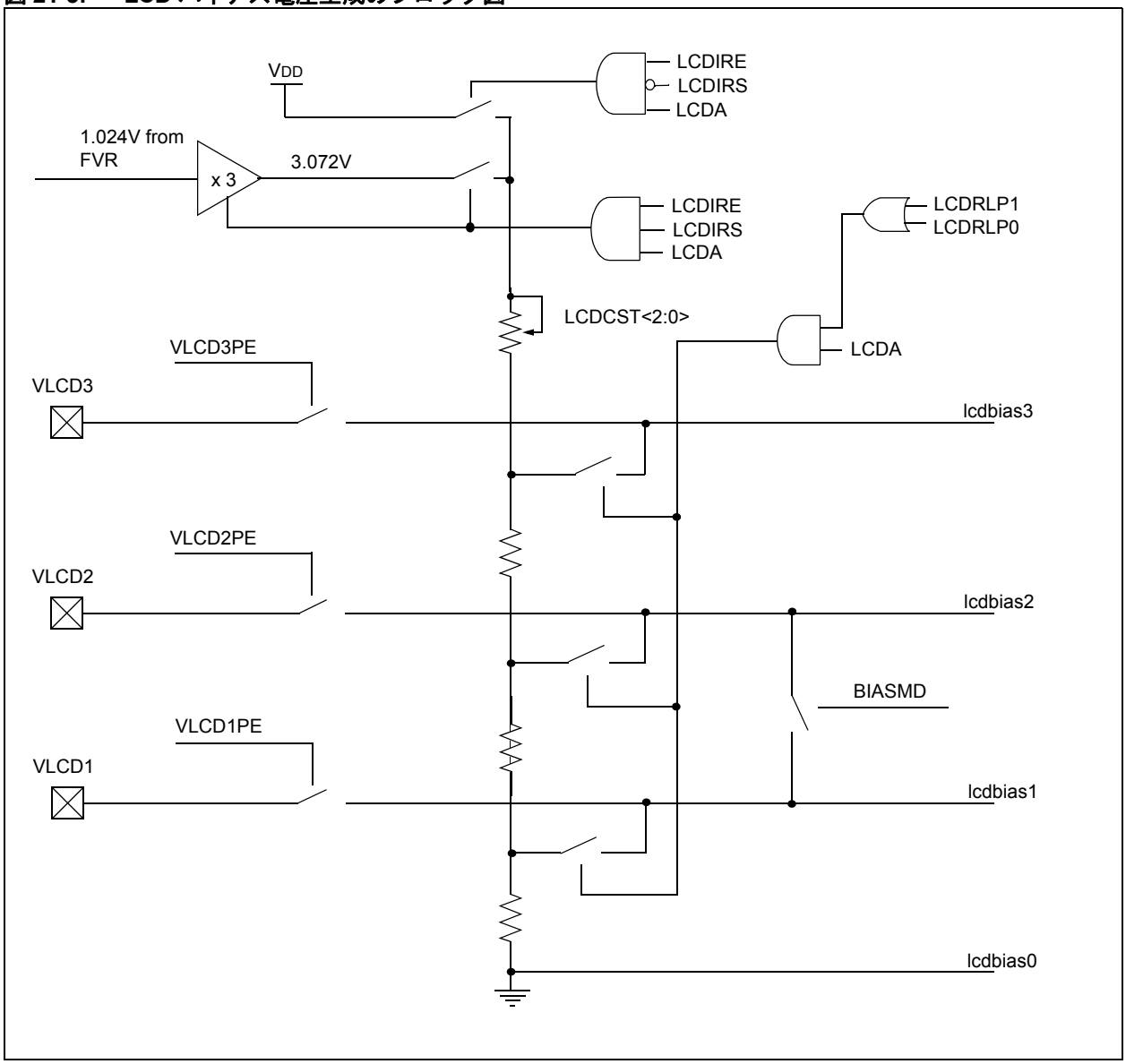
- スタティック バイアス (2 つの電圧レベル : VSS および VLCD)
- 1/2 バイアス (3 つの電圧レベル : VSS、1/2 VLCD および VLCD)
- 1/3 バイアス (4 つの電圧レベル : VSS、1/3 VLCD、2/3 VLCD および VLCD)

表 21-2: LCD のバイアス電圧

	Static Bias	1/2 Bias	1/3 Bias
LCD Bias 0	VSS	VSS	VSS
LCD Bias 1	—	1/2 VDD	1/3 VDD
LCD Bias 2	—	1/2 VDD	2/3 VDD
LCD Bias 3	VLCD3	VLCD3	VLCD3

ユーザーが外部コンポーネントの配置やバイアス電圧を生成するために最大 3 つのピンを使用することを強いられないように、PIC16F193X/LF193X には内部コントラスト制御および内部リファレンス ラダーが内部提供されます。これら 2 つの機能を外部 VLCD<3:1> ピンと併用すると、最も高い柔軟性を享受できます。詳細は図 21-3 を参照してください。

図 21-3: LCD バイアス電圧生成のブロック図



21.4 LCD バイアスの内部リファレンス ラダー

内部リファレンス ラダーを使用すると、LCD セグメント ピンへ供給される LCD バイアス電圧を 2 つまたは 3 つの等間隔電圧に分割できます。この場合、リファレンス ラダーは 3 つの同じ抵抗で構成されます。詳細は図 21-3 を参照してください。

21.4.1 バイアス モードの相互作用

1/2 バイアス モード (BIASMD = 1) の場合、ラダーの中間抵抗が短絡されるため、2 つの電圧のみ生成されます。1 つの抵抗が削除されるため、このモードでの消費電流は高くなります。

表 21-3: LCD の内部ラダー電力モード (1/3 BIAS)

Power Mode	Nominal Resistance of Entire Ladder	Nominal IDD
Low	3 Mohm	1 µA
Medium	300 kohm	10 µA
High	30 kohm	100 µA

21.4.2 電力モード

内部のリファレンス ラダーは、3 つの電力モードのいずれかで動作します。これらの選択により、ユーザーは指定アプリケーションにおいて LCD コントラストと電力をトレードオフできます。LCD ガラスが大きいほど LCD セグメントに物理的に多大なキャパシタンスが生じ、同じコントラスト レベルを維持するために多くの電流が必要になります。

3 つの電力モード は、LP、MP および HP となります。外部ラダーを提供するアプリケーションや消費電力を最小限に抑えるアプリケーションには、内部リファレンス ラダーを無効にできます。内部リファレンス ラダーを無効にすると、すべてのラダーが未接続になり、外部電圧の供給が可能になります。

LCD モジュールが非アクティブ (LCDA = 0) の場合は、常に内部リファレンス ラダーが無効になります。

 © 2009 Microchip Technology Inc.

21.4.3 自動の電力モード 切り替え

LCD セグメントは単に電気的なコンデンサであるため、電圧が切り替わるときのみ電流が流れます。デバイス全体に流れる電流量を最小限に抑えるため、切り替え時に対して異なる電力モードを使用して LCD の内部リファレンス ラダーを動作させることが可能です。これは、LCDRL レジスタ (レジスタ 21-7) で制御できます。

LCDLAD レジスタでは、2 つの電力モード (A および B) の切り替えが可能です。電力モード A は、LCD のセグメントが変更された初期段階のプログラム時間に適用されます。電力モード B は、セグメントおよびコモンが再び変化するまでの残り時間に適用されます。LRLAT<2:0> ビットで、電力モード A がアクティブな期間を指定します。詳細は図 21-4 を参照してください。

電力モードの選択には、32 kHz クロックを LCD コントローラの基準レート (1 kHz) まで分周するために使用される 5 ビットのプリスケーラを使用します。

図 21-4: LCD 内部リファレンス ラダー電力モード 切り替えのブロック図 — タイプ A

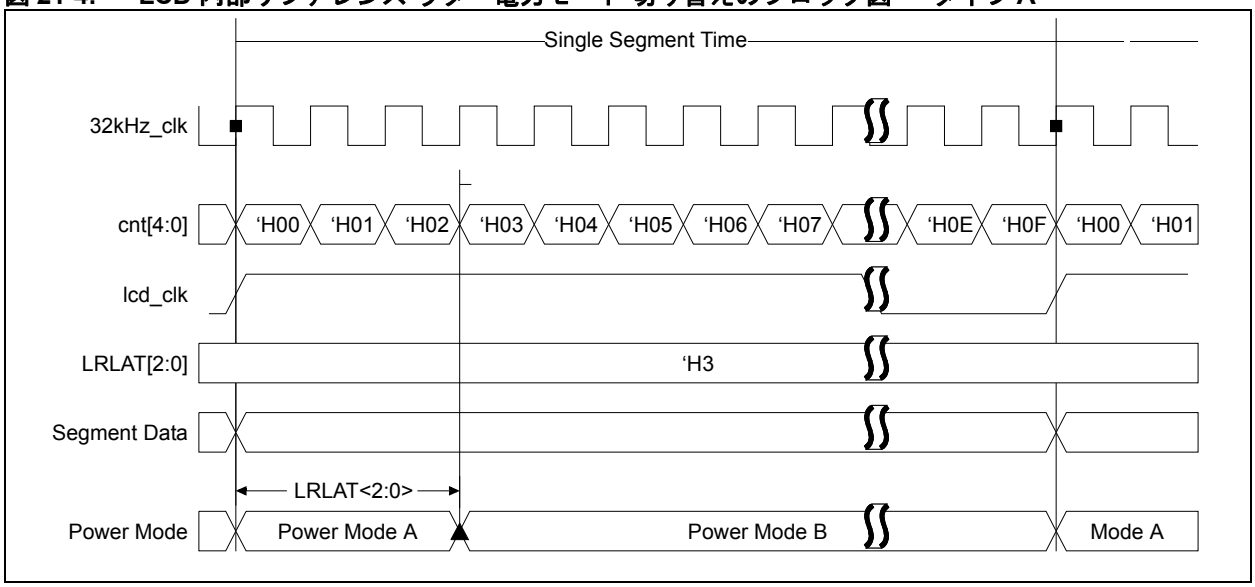
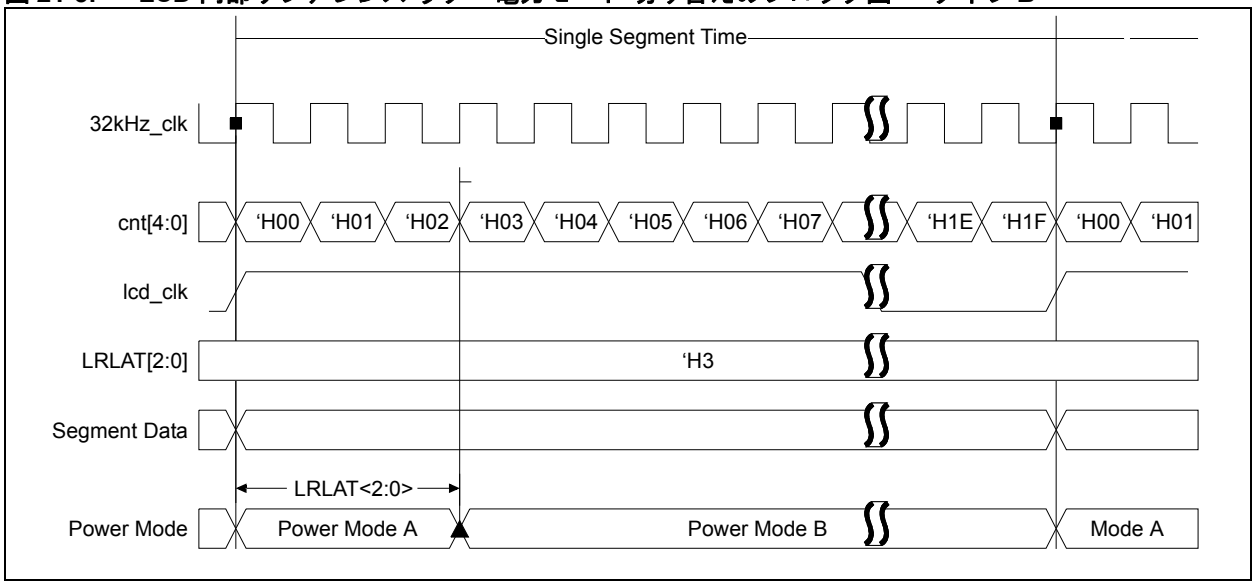


図 21-5: LCD 内部リファレンス ラダー電力モード 切り替えのブロック図 — タイプ B



レジスタ 21-7: LCDRL: LCD リファレンス ラダー制御のレジスタ

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	U-0	R/W-0/0	R/W-0/0	R/W-0/0
LRLAP1	LRLAP0	LRLBP1	LRLBP0	—	LRLAT2	LRLAT1	LRLAT0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-6 **LRLAP<1:0>:** LCD リファレンス ラダー A タイムの電源制御ビット
インターバル A の期間 (図 21-4 参照)
00 = 内部 LCD リファレンス ラダーは電源オフで未接続
01 = 内部 LCD リファレンス ラダーは低電力モードで電源供給される
10 = 内部 LCD リファレンス ラダーは中電力モードで電源供給される
11 = 内部 LCD リファレンス ラダーは高電力モードで電源供給される

ビット 5-4 **LRLBP<1:0>:** LCD リファレンス ラダー B タイム電力制御ビット
インターバル B の期間 (図 21-4 参照)
00 = 内部 LCD リファレンス ラダーは電源オフで未接続
01 = 内部 LCD リファレンス ラダーは低電力モードで電源供給される
10 = 内部 LCD リファレンス ラダーは中電力モードで電源供給される
11 = 内部 LCD リファレンス ラダーは高電力モードで電源供給される

ビット 3 **未実装 :**「0」として読み出し

ビット 2-0 **LRLAT<2:0>:** LCD リファレンス ラダー A タイム インターバル制御ビット
電力モード A がアクティブな 32 kHz クロック数 (インターバル) を設定します。

タイプ A の波形 (WFT = 0):

000 = 内部 LCD リファレンス ラダーは、常に電力モード B となる
001 = 内部 LCD リファレンス ラダーは、1 クロック間電力モード A で 15 クロック間 電力モード B となる
010 = 内部 LCD リファレンス ラダーは、2 クロック間電力モード A で 14 クロック間電力モード B となる
011 = 内部 LCD リファレンス ラダーは、3 クロック間電力モード A で 13 クロック間電力モード B となる
100 = 内部 LCD リファレンス ラダーは、4 クロック間電力モード A で 12 クロック間電力モード B となる
101 = 内部 LCD リファレンス ラダーは、5 クロック間電力モード A で 11 クロック間電力モード B となる
110 = 内部 LCD リファレンス ラダーは、6 クロック間電力モード A で 10 クロック間電力モード B となる
111 = 内部 LCD リファレンス ラダーは、7 クロック間電力モード A で 9 クロック間電力モード B となる

タイプ B の波形 (WFT = 1):

000 = 内部 LCD リファレンス ラダーは、常に電力モード B となる
001 = 内部 LCD リファレンス ラダーは、1 クロック間 電力モード A で 31 クロック間電力モード B となる
010 = 内部 LCD リファレンス ラダーは、2 クロック間電力モード A で 30 クロック間電力モード B となる
011 = 内部 LCD リファレンス ラダーは、3 クロック間電力モード A で 29 クロック間電力モード B となる
100 = 内部 LCD リファレンス ラダーは、4 クロック間電力モード A で 28 クロック間電力モード B となる
101 = 内部 LCD リファレンス ラダーは、5 クロック間電力モード A で 27 クロック間電力モード B となる
110 = 内部 LCD リファレンス ラダーは、6 クロック間電力モード A で 26 クロック間電力モード B となる
111 = 内部 LCD リファレンス ラダーは、7 クロック間電力モード A で 25 クロック間電力モード B となる

 © 2009 Microchip Technology Inc.

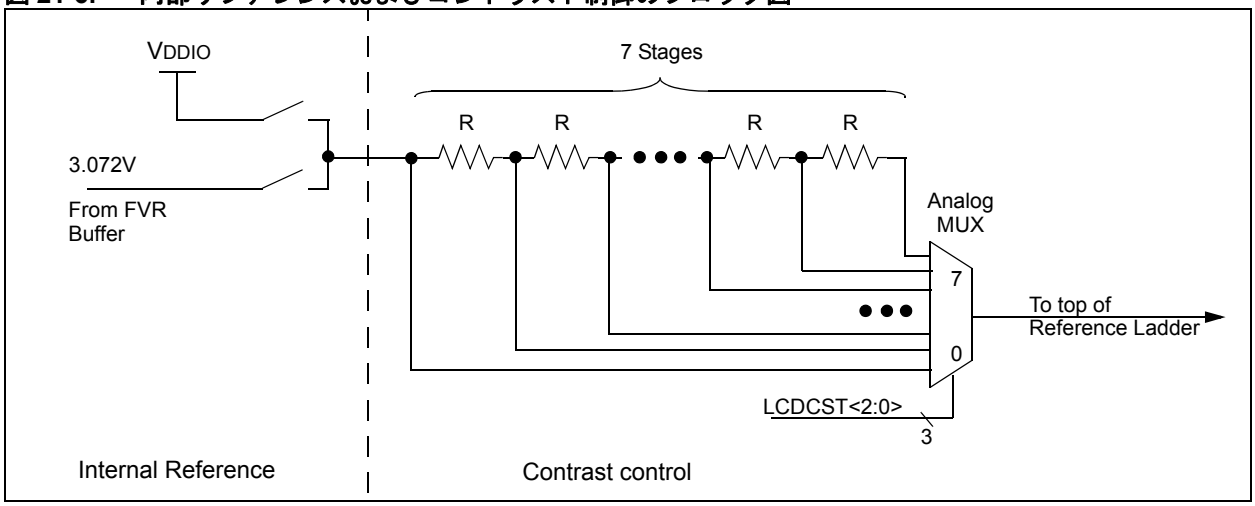
21.4.4 コントラスト制御

LCD コントラスト制御回路には、LCDCST ビットで制御される 7 タップのラダー抵抗があります。詳細は図 21-6 を参照してください。

コントラスト回路を使用した場合、LCDCST = 111 のときに信号ソースの出力電圧を全体で約 10% 削減できます。

LCD モジュールが非アクティブ (LCDA = 0) の場合、コントラスト制御ラダーは常に無効 (オープン) になります。

図 21-6: 内部リファレンスおよびコントラスト制御のブロック図



21.4.5 内部リファレンス

ファームウェア制御で、LCD バイアス電圧の内部リファレンスを有効にできます。有効の場合、この電圧ソースは VDDIO または主要固定電圧リファレンス (3.072V) の 3 倍になります。内部リファレンスが選択されていない場合、LCD コントラスト制御回路が無効となるため、LCD バイアスを外部で提供する必要があります。

LCD モジュールが非アクティブ (LCDA = 0) の場合は、常に内部リファレンスが無効となります。

内部リファレンスが有効で固定電圧リファレンスが選択されている場合は、LCDIRI ビットを使用して LCD リファレンス ラダーの自動電力モード切り替えを行うことによって消費電力を最小限に抑えることが可能です。LCDIRI = 1 の場合は、電力モード A のときに内部 LCD リファレンス ラダーがバッファを有効にし、電力モード B のときに無効にします。

注 :	LCD モジュールは、必要に応じて自動的に固定電圧リファレンスを有効にします。

21.4.6 VLCD<3:1> ピン

VLCD<3:1> ピンは、内部ラダーの代替として外部 LCD バイアス ネットワークの使用を可能にします。VLCD<3:1> ピンの使用によって、内部ラダーの使用が妨げられることはありません。各 VLCD ピンは、LCDREF レジスタ (レジスタ 21-3 参照) で個別に制御でき、すべての LCD バイアス信号へアクセスできます。この構造によって、さまざまなアプリケーションにおいて最大限の柔軟性が得られます。

たとえば、VLCD<3:1> ピンを使用して内部リファレンス ラダーにキャパシタを追加し、駆動容量を向上させます。

内部コントラスト制御が不十分なアプリケーションでは、ファームウェアで VLCD3 ピンを有効にして外部コントラスト制御回路が内部リファレンス分周器を使用できるように選択するしかありません。

21.5 LCD マルチプレクスの種類

LCD ドライバ モジュールは、4 種類のマルチプレクスで設定できます。

- スタティック (COM0 のみ使用)
- 1/2 マルチプレクス (COM<1:0> を使用)
- 1/3 マルチプレクス (COM<2:0> を使用)
- 1/4 マルチプレクス (COM<3:0> を使用)

LCDCON レジスタの LMUX<1:0> ビットを設定して、使用する LCD コモン ピンを決定します (詳細は表 21-4 を参照)。

ピンがデジタル I/O の場合は、対応する TRIS ビットがデータ方向を制御します。ピンが COM ドライブの場合、TRIS ビットの設定は上書きされます。

表 21-4: コモン ピンの使用

Multiplex	LMUX <1:0>	COM3	COM2	COM1
Static	00	Unused	Unused	Unused
1/2	01	Unused	Unused	Active
1/3	10	Unused	Active	Active
1/4	11	Active	Active	Active

21.6 セグメント イネーブル

各セグメント ピンの機能を選択するには、LCDSEn レジスタを使用します。これによって、各ピンを LCD セグメント ドライバとして、またはかわりの機能として動作させることが可能です。セグメント ピンとして設定する場合は、LCDSEn レジスタの対応ビットを「1」に設定する必要があります。

ピンがデジタル I/O の場合は、対応する TRIS ビットがデータ方向を制御します。LCDSEn レジスタで設定されたビットは、TRIS レジスタの対応ビットの設定を上書きします。

注 : POR 時、これらのピンは LCD ピンとしてではなく通常 I/O として設定されます。

21.7 ピクセル制御

LCDDATAx レジスタには、各ピクセルのステートを定義するビットが含まれています。1 ビットが 1 ピクセルを定義します。

レジスタ 21-6 に、LCDDATAx レジスタの各ビットとコモン信号およびセグメント信号の相互関係を示します。

ディスプレイ用に使用されていない LCD ピクセル ロケーションは、汎用 RAM として使用できます。

21.8 LCD フレーム周波数

LCD フレーム周波数とは、COM 出力と SEG 出力が変化するレートのことを言います。

表 21-5: フレーム周波数の式

Multiplex	Frame Frequency =
Static	Clock source/(4 x 1 x (LP<3:0> + 1))
1/2	Clock source/(2 x 2 x (LP<3:0> + 1))
1/3	Clock source/(1 x 3 x (LP<3:0> + 1))
1/4	Clock source/(1 x 4 x (LP<3:0> + 1))

注 : クロック ソースは FOSC/256、T1OSC または LFINTOSC です。

表 21-6: FOSC @ 8 MHz、TIMER1 @ 32.768 kHz または LFINTOSC を使用した場合のフレーム周波数概算値 (Hz)

LP<3:0>	Static	1/2	1/3	1/4
2	85	85	114	85
3	64	64	85	64
4	51	51	68	51
5	43	43	57	43
6	37	37	49	37
7	32	32	43	32

 © 2009 Microchip Technology Inc.

表 21-7:　LCD のセグメント マップ

LCD Function	COM0		COM1		COM2		COM3	
	LCDDATAx Address	LCD Segment	LCDDATAx Address	LCD Segment	LCDDATAx Address	LCD Segment	LCDDATAx Address	LCD Segment
SEG0	LCDDATA0, 0		LCDDATA3, 0		LCDDATA6, 0		LCDDATA9, 0	
SEG1	LCDDATA0, 1		LCDDATA3, 1		LCDDATA6, 1		LCDDATA9, 1	
SEG2	LCDDATA0, 2		LCDDATA3, 2		LCDDATA6, 2		LCDDATA9, 2	
SEG3	LCDDATA0, 3		LCDDATA3, 3		LCDDATA6, 3		LCDDATA9, 3	
SEG4	LCDDATA0, 4		LCDDATA3, 4		LCDDATA6, 4		LCDDATA9, 4	
SEG5	LCDDATA0, 5		LCDDATA3, 5		LCDDATA6, 5		LCDDATA9, 5	
SEG6	LCDDATA0, 6		LCDDATA3, 6		LCDDATA6, 6		LCDDATA9, 6	
SEG7	LCDDATA0, 7		LCDDATA3, 7		LCDDATA6, 7		LCDDATA9, 7	
SEG8	LCDDATA1, 0		LCDDATA4, 0		LCDDATA7, 0		LCDDATA10, 0	
SEG9	LCDDATA1, 1		LCDDATA4, 1		LCDDATA7, 1		LCDDATA10, 1	
SEG10	LCDDATA1, 2		LCDDATA4, 2		LCDDATA7, 2		LCDDATA10, 2	
SEG11	LCDDATA1, 3		LCDDATA4, 3		LCDDATA7, 3		LCDDATA10, 3	
SEG12	LCDDATA1, 4		LCDDATA4, 4		LCDDATA7, 4		LCDDATA10, 4	
SEG13	LCDDATA1, 5		LCDDATA4, 5		LCDDATA7, 5		LCDDATA10, 5	
SEG14	LCDDATA1, 6		LCDDATA4, 6		LCDDATA7, 6		LCDDATA10, 6	
SEG15	LCDDATA1, 7		LCDDATA4, 7		LCDDATA7, 7		LCDDATA10, 7	
SEG16	LCDDATA2, 0		LCDDATA5, 0		LCDDATA8, 0		LCDDATA11, 0	
SEG17	LCDDATA2, 1		LCDDATA5, 1		LCDDATA8, 1		LCDDATA11, 1	
SEG18	LCDDATA2, 2		LCDDATA5, 2		LCDDATA8, 2		LCDDATA11, 2	
SEG19	LCDDATA2, 3		LCDDATA5, 3		LCDDATA8, 3		LCDDATA11, 3	
SEG20	LCDDATA2, 4		LCDDATA5, 4		LCDDATA8, 4		LCDDATA11, 4	
SEG21	LCDDATA2, 5		LCDDATA5, 5		LCDDATA8, 5		LCDDATA11, 5	
SEG22	LCDDATA2, 6		LCDDATA5, 6		LCDDATA8, 6		LCDDATA11, 6	
SEG23	LCDDATA2, 7		LCDDATA5, 7		LCDDATA8, 7		LCDDATA11, 7	

21.9 LCD 波形の生成

LCD 波形が生成され、暗ピクセルに対する実際の AC 電圧が最大化し、明ピクセルに対する実際の AC 電圧が最小化されます。すべてのピクセルの DC 電圧はゼロになる必要があります。

COM 信号では各コモンのタイム スライスを表し、SEG にはピクセル データが含まれます。

ピクセル信号 (COM-SEG) は DC コンポーネントを持たず、2 つの RMS 値のいずれかを取得できます。高い方の RMS 値は暗ピクセルを生成し、低い方の RMS 値は明ピクセルを生成します。

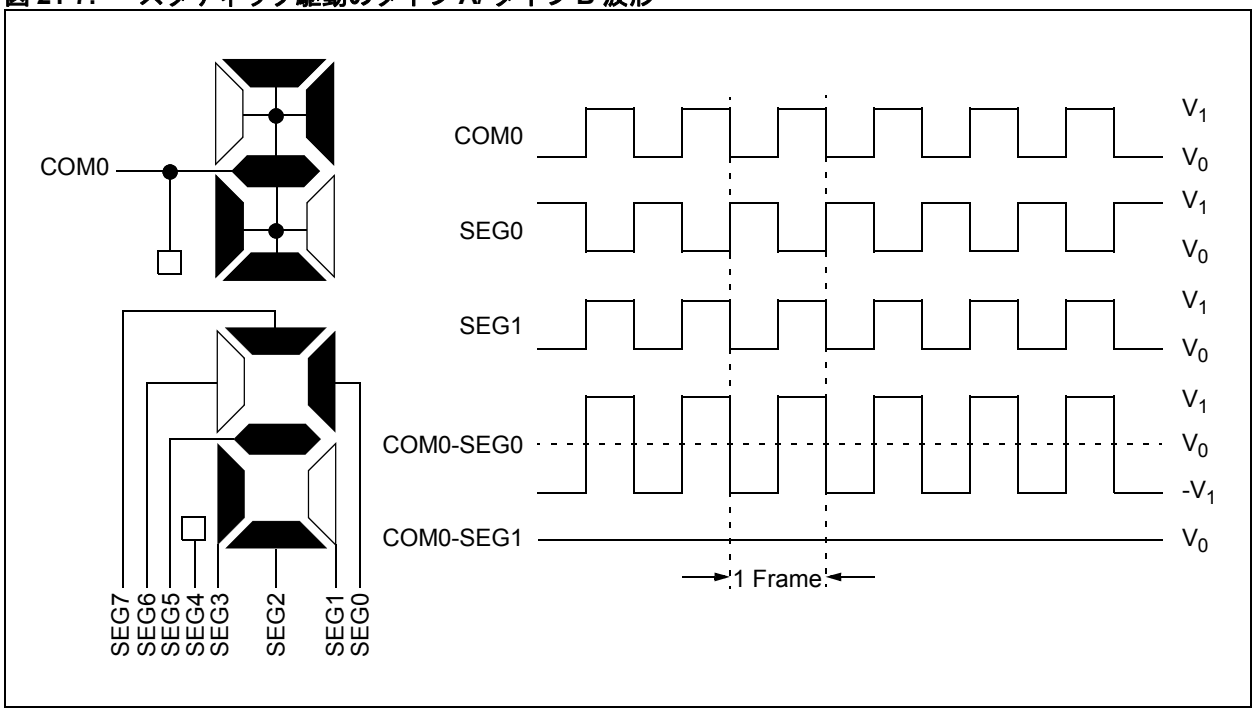
コモン数が増加すると、2 つの RMS 値の差分が減少します。この差分が、ディスプレイに反映される最大コントラストを示します。

LCD は、2 つの波形タイプ (タイプ A とタイプ B) で駆動できます。タイプ A の場合は、各コモン タイプ内で位相が変化しますが、タイプ B の場合は、各フレームの境界で位相が変化します。このため、タイプ A は 1 フレーム内で 0 VDC を保持しますが、タイプ B は 2 フレーム必要になります。

注 1:	LCD のスリープ機能が無効 (LCDCON <SLPEN> が「1」) の場合にスリープの実行が必要な場合は、すべてのピクセルの VDC が「0」のときのみスリープを実行するように注意してください。
2:	LCD クロック ソースが FOSC/256 の場合、スリープが実行されると、LCDCON <SLPEN> の設定に関わらず LCD がすぐにスリープ モードへ遷移します。このため、スリープが実行されるとき、すべてのピクセルの VDC が「0」になっていることを確認してください。

図 21-7 ～ 図 21-17 に、スタティック、1/2 マルチプレクス、1/3 マルチプレクス、1/4 マルチプレクスの波形 (タイプ A およびタイプ B) を示します。

図 21-7: スタティック駆動のタイプ A/ タイプ B 波形



 © 2009 Microchip Technology Inc.

図 21-8: 1/2 MUX、1/2 バイアスにおけるタイプ A 波形

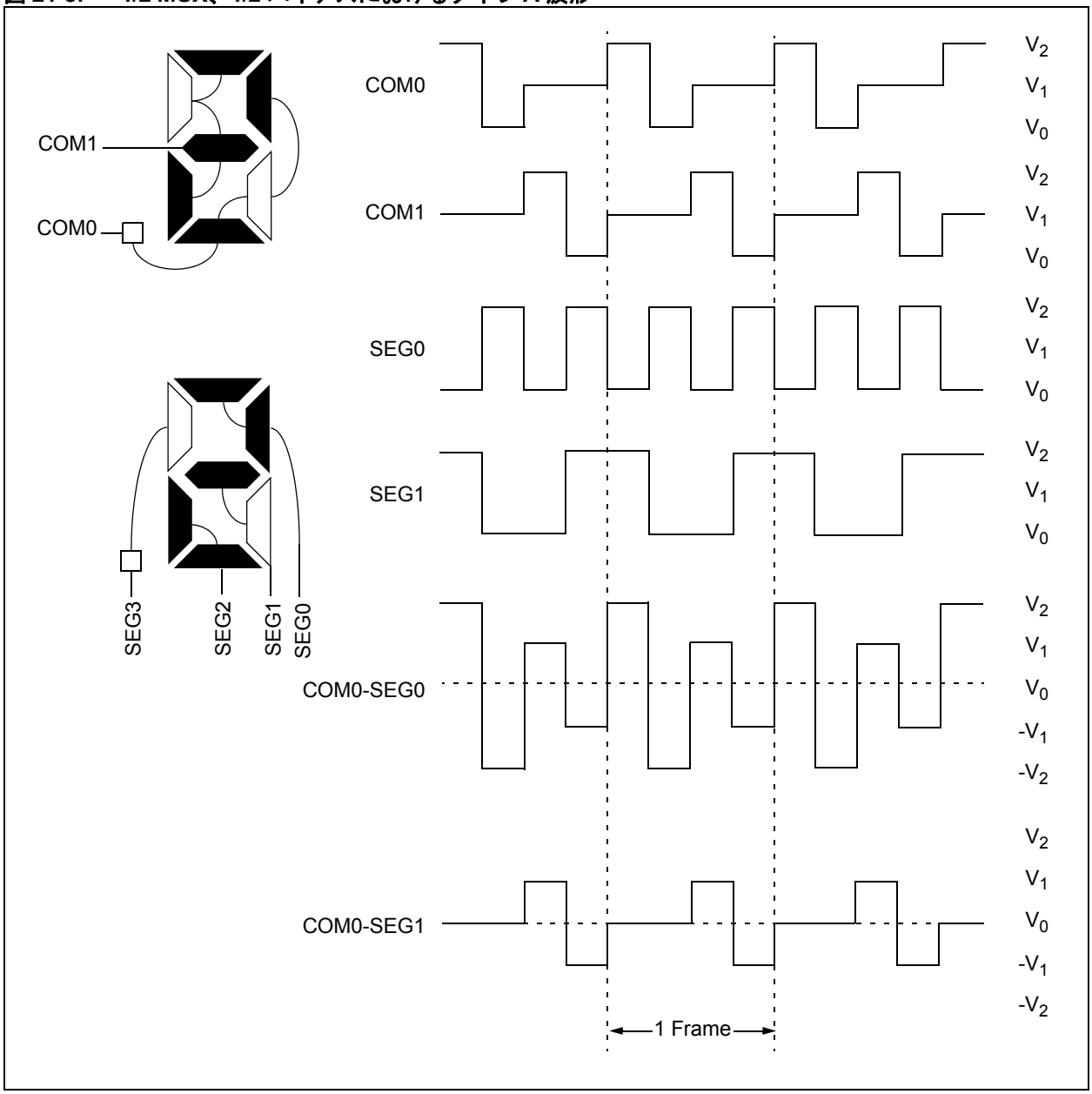
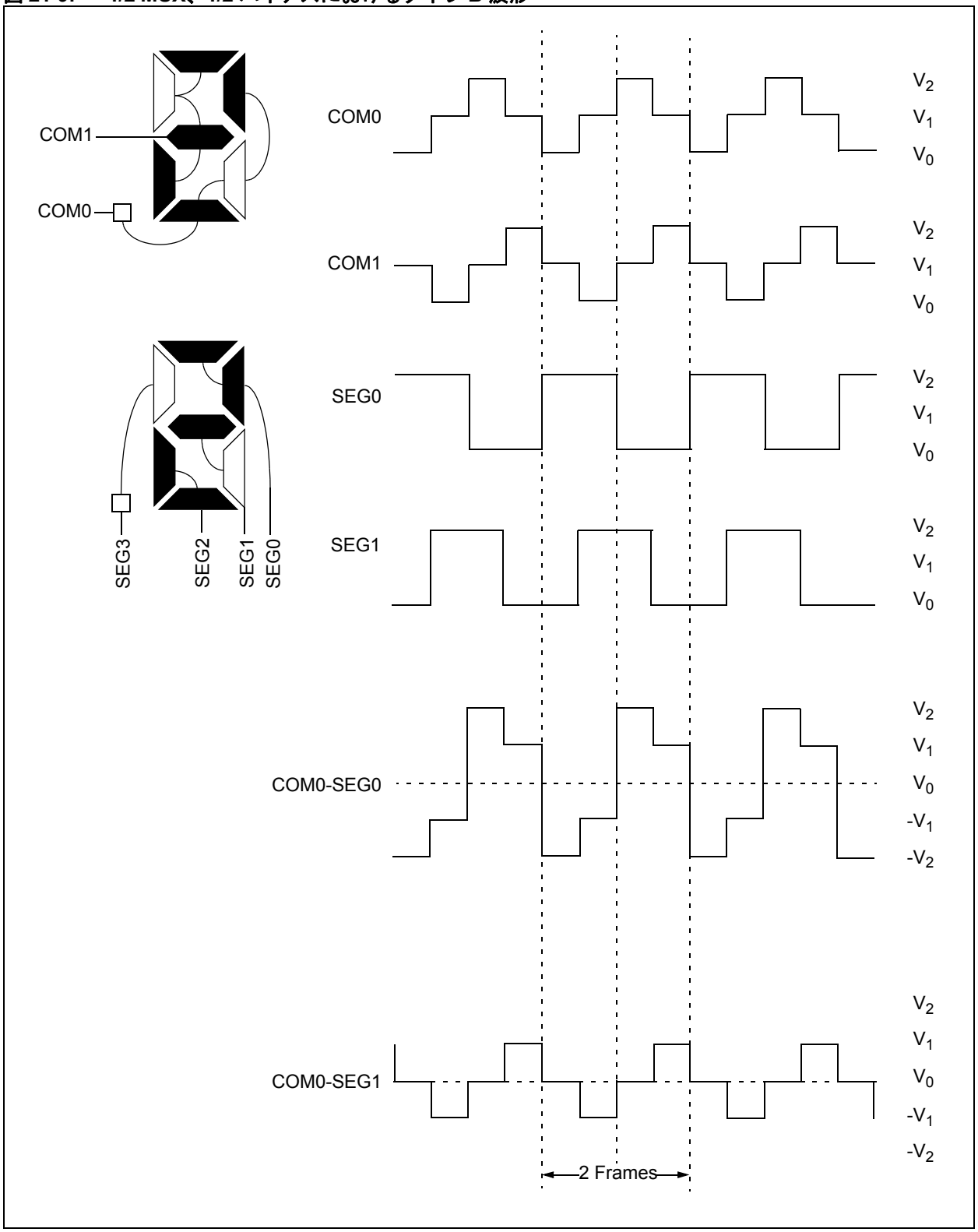


図 21-9:　1/2 MUX、1/2 バイアスにおけるタイプ B 波形



© 2009 Microchip Technology Inc.

図 21-10:　1/2 MUX、1/3 バイアスにおけるタイプ A 波形

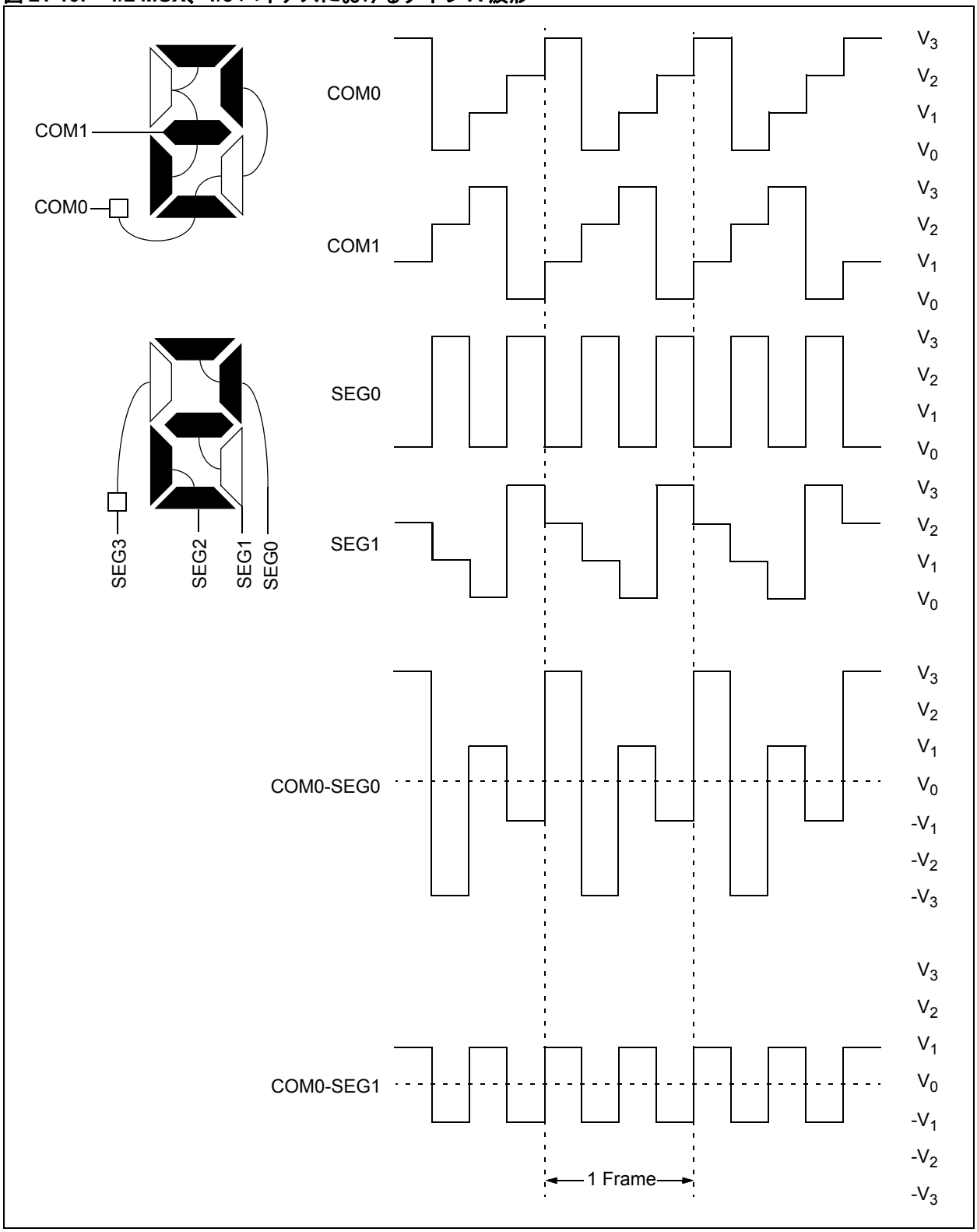
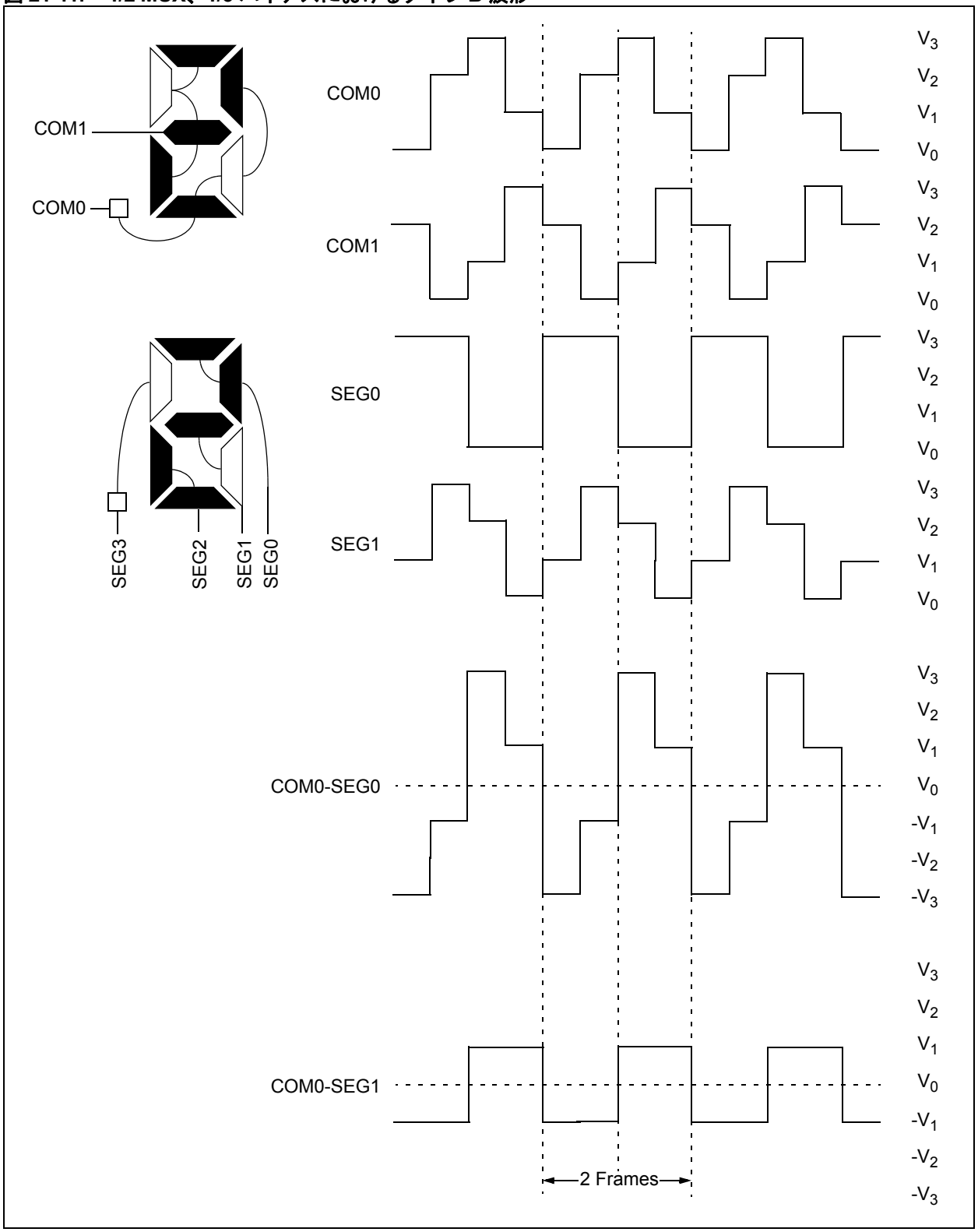


図 21-11:　1/2 MUX、1/3 バイアスにおけるタイプ B 波形



© 2009 Microchip Technology Inc.

図 21-12:　1/3 MUX、1/2 バイアスにおけるタイプ A 波形

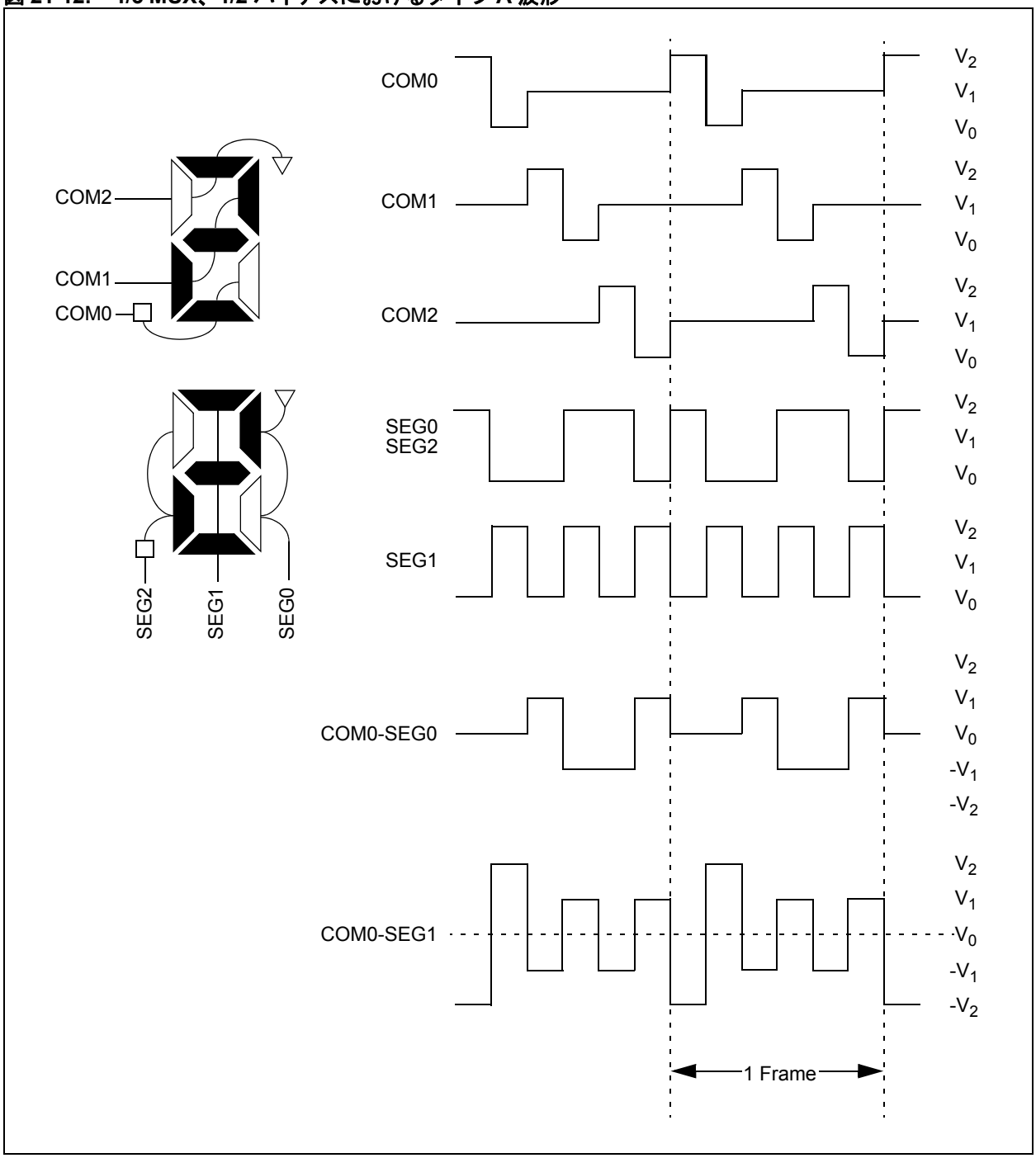
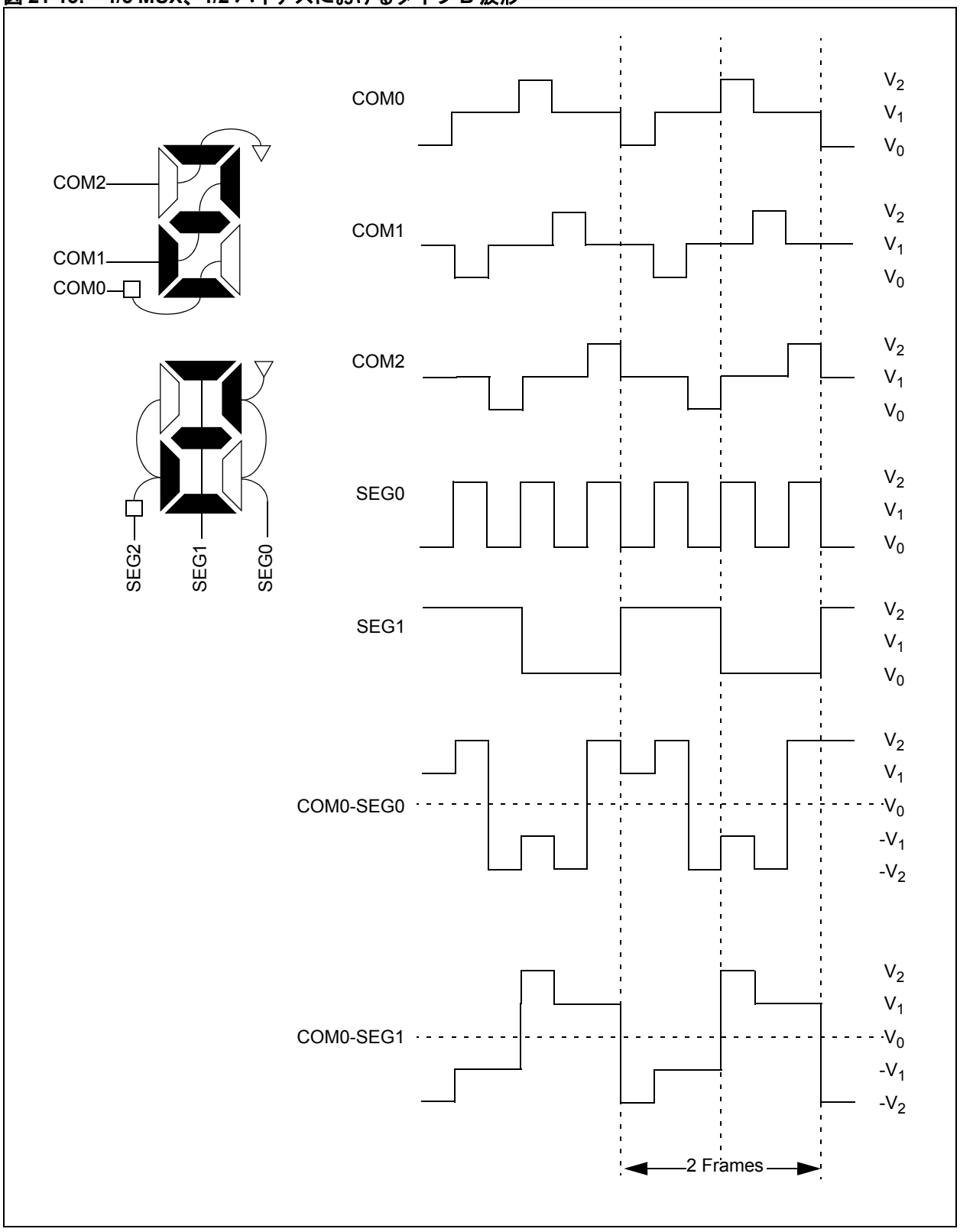


図 21-13:　1/3 MUX、1/2 バイアスにおけるタイプ B 波形



© 2009 Microchip Technology Inc.

図 21-14:　1/3 MUX、1/3 バイアスにおけるタイプ A 波形

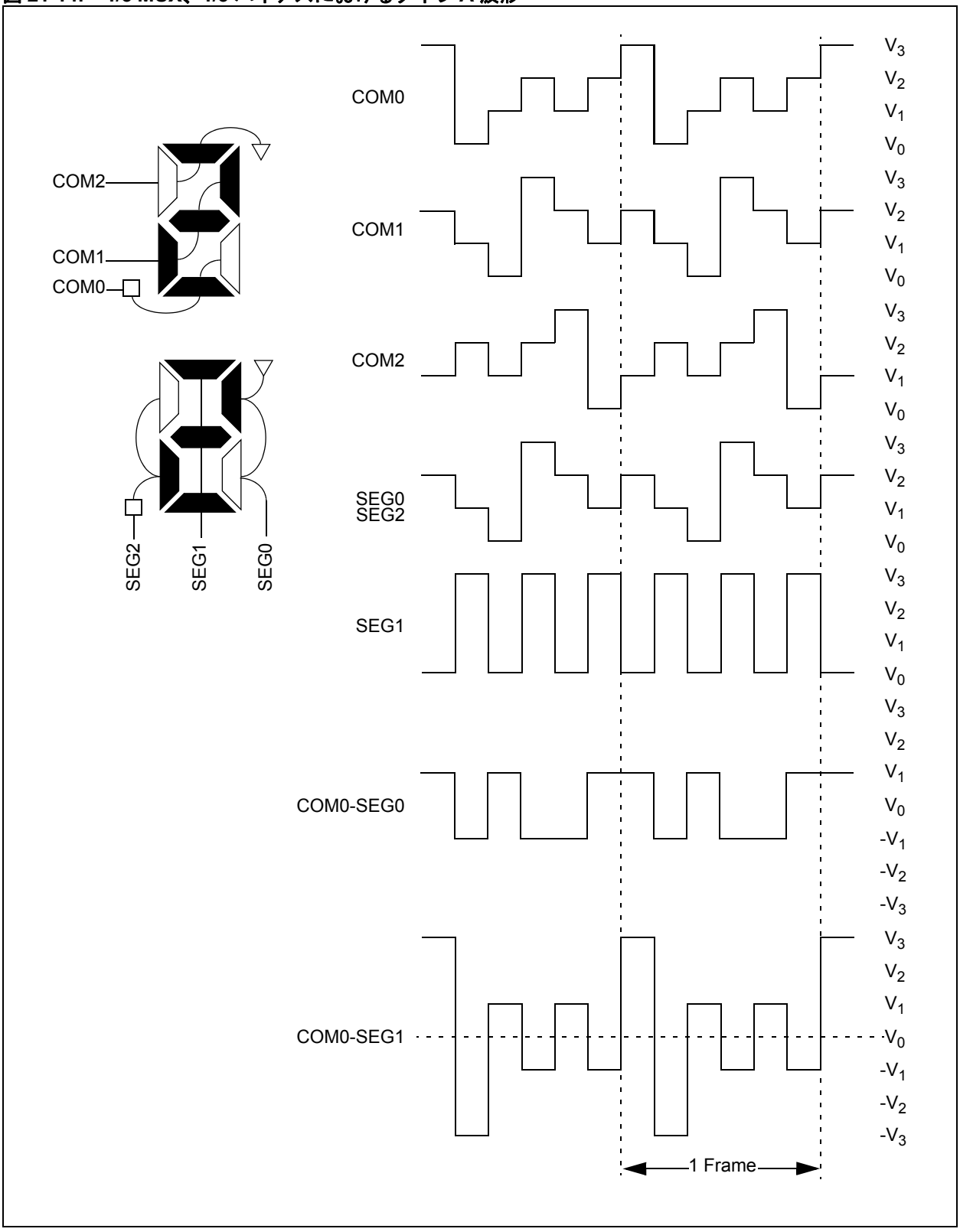
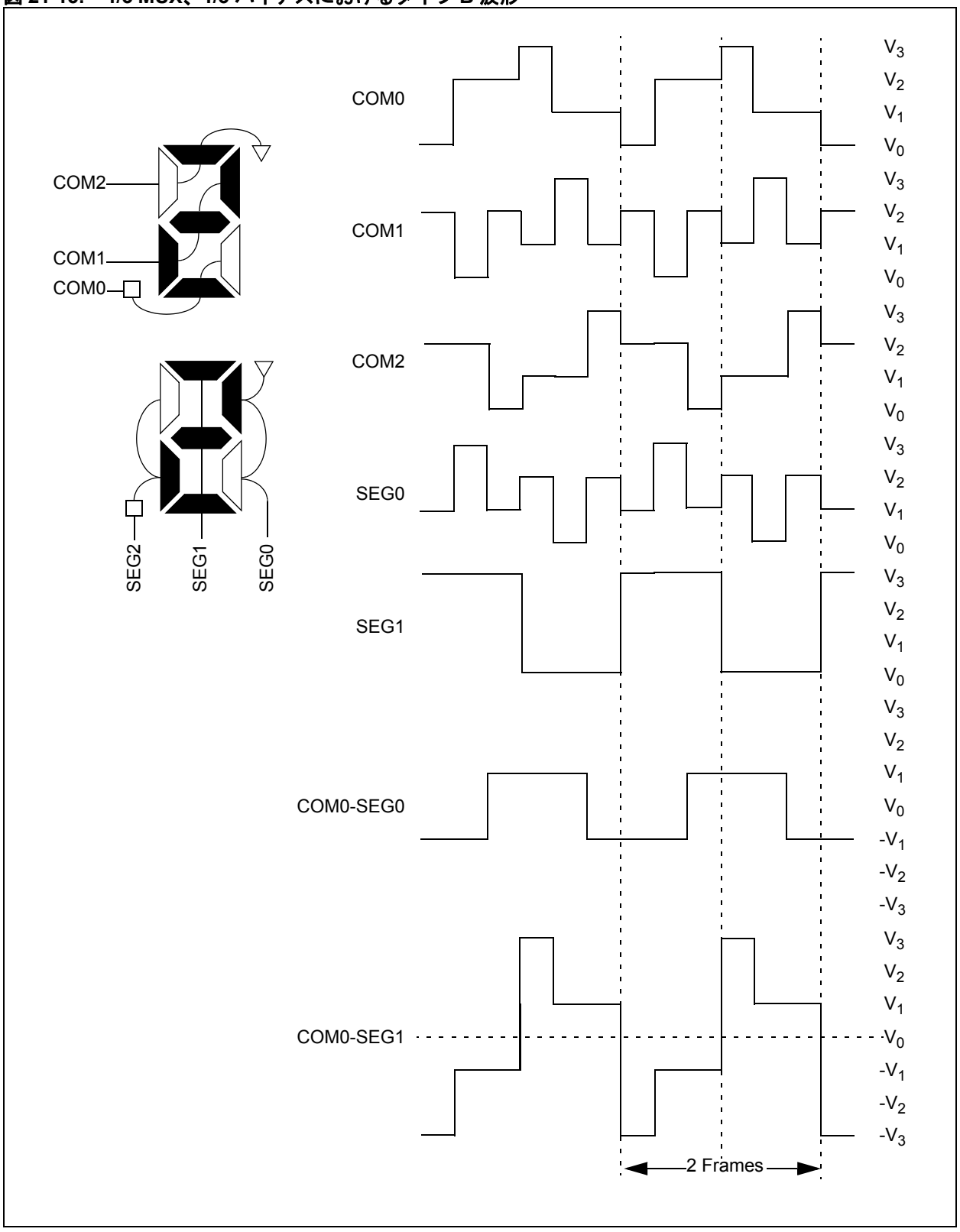


図 21-15:　1/3 MUX、1/3 バイアスにおけるタイプ B 波形



© 2009 Microchip Technology Inc.

図 21-16:　1/4 MUX、1/3 バイアスにおけるタイプ A 波形

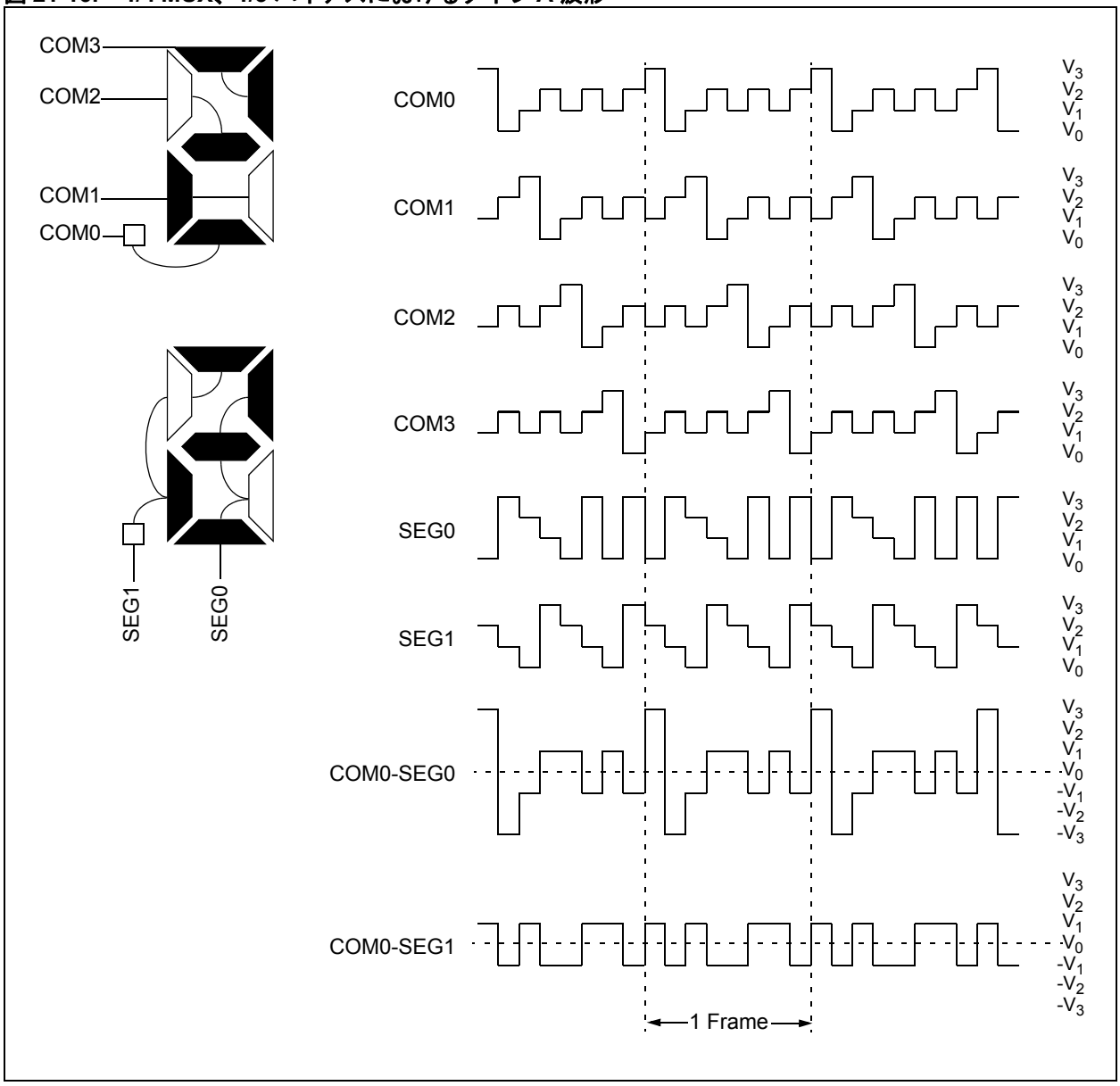
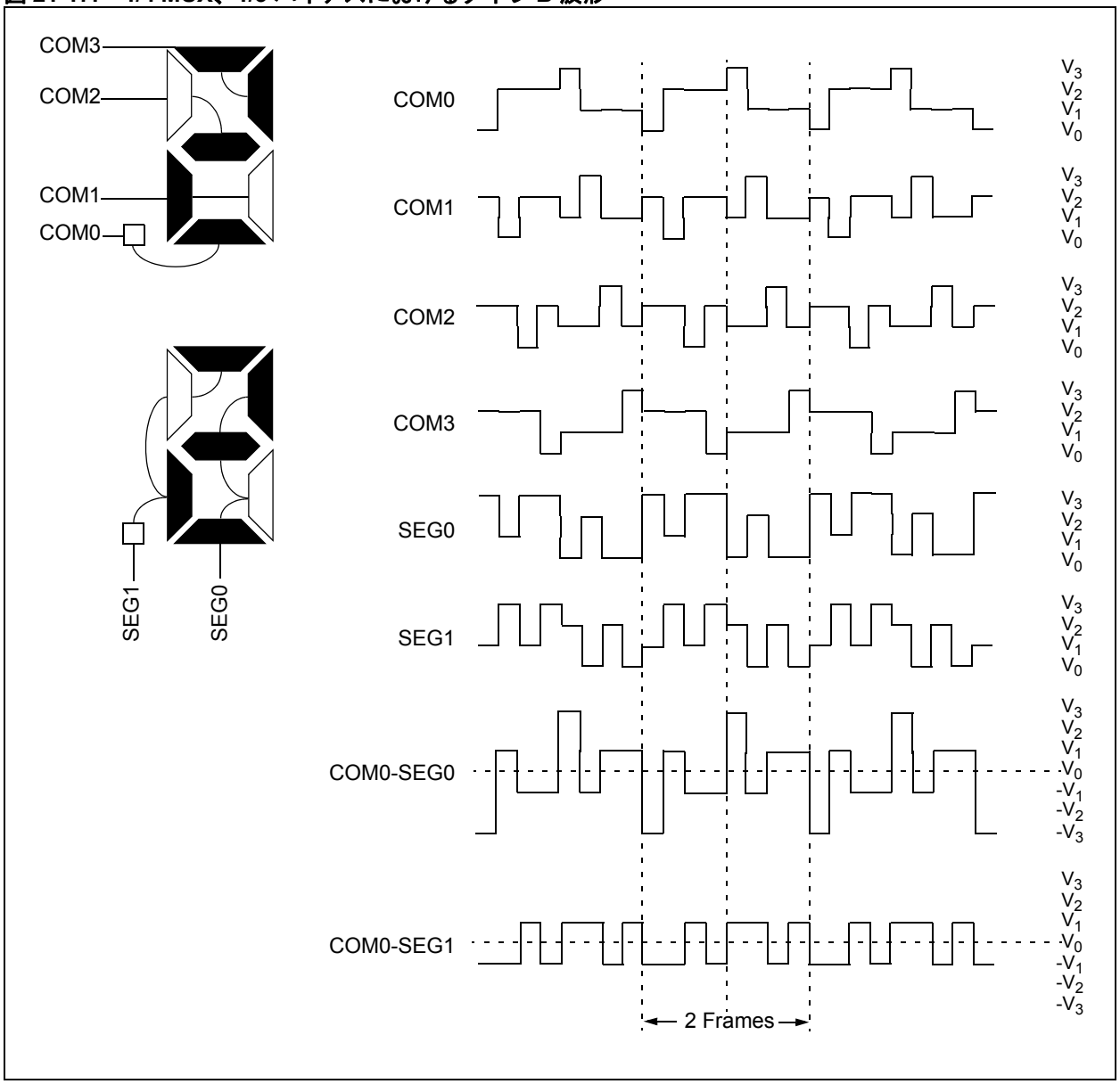


図 21-17:　1/4 MUX、1/3 バイアスにおけるタイプ B 波形



© 2009 Microchip Technology Inc.

21.10 LCD 割り込み

LCD モジュールは、2 つのケースで割り込みを発生します。1 つは、LCD コントローラがアクティブから非アクティブに遷移するときです。また、タイプ B 波形では、バウンダリでないところでも割り込みを発生します。つまり、LCD のタイミング生成が LCD フレーム タイミングで定義される割り込みを発生します。

21.10.1 モジュール停止時の LCD 割り込み

モジュールが完全にシャットダウン (LCDA が「1」から「0」へ遷移) したときに LCD 割り込みが生成されます。

21.10.2 LCD フレーム割り込み

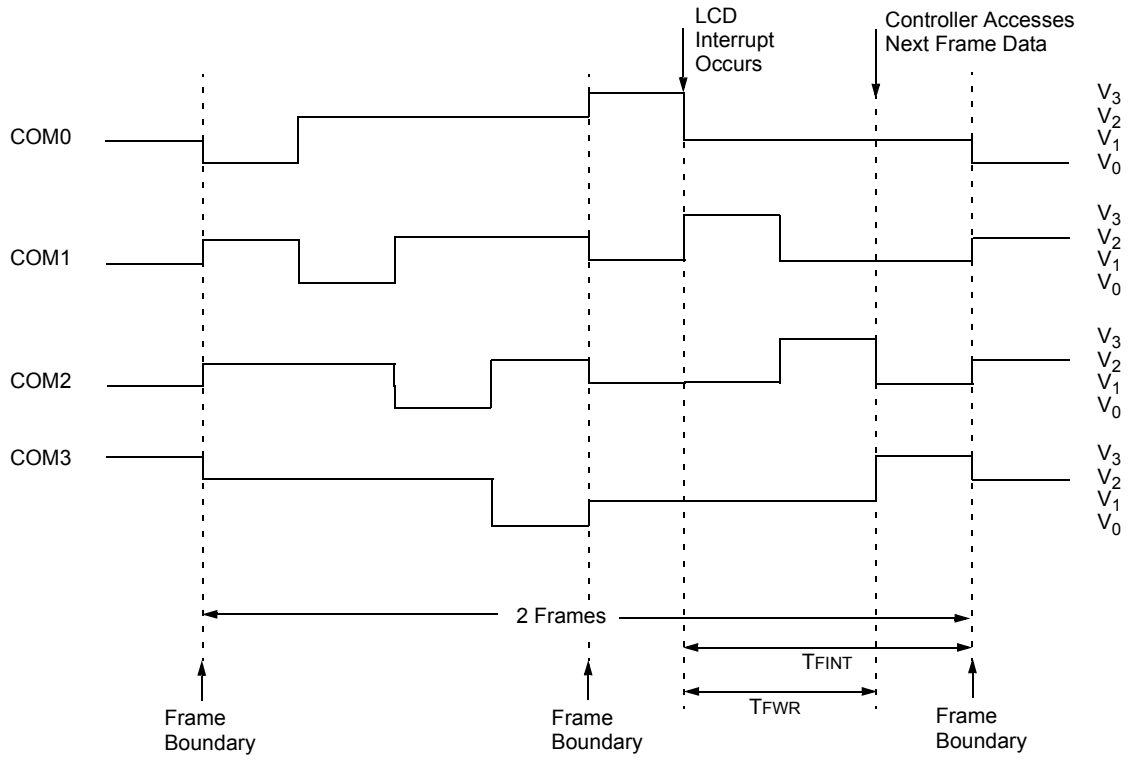
新しいフレームは、COM0 コモン信号のリーディング エッジで開始するように定義されます。LCD コントローラが、1 フレームで必要なすべてのピクセル データへアクセス完了すると、割り込みがセットされます。これは、図 21-18 で示すようにフレーム バウンダリ (TFINT) 前の固定インターバルで生じます。LCD コントローラは、割り込みが生成されてからコントローラがデータ アクセス開始するまでの期間内 (TFWR) で次のフレームのデータへアクセス開始します。新しいデータは、LCD コントローラが次のフレームのデータへアクセスする期間 (TFWR) 内に書き込む必要があります。

LCD ドライバがタイプ B 波形を実行し、LMUX<1:0> ビットが「00」(スタティック ドライブ) でない場合は、さらなる対応が必要となります。ピクセルに適用される DC 電圧は、0 ボルトを保持するのに 2 フレーム必要であるため、ピクセル データは次のフレームで変化してはいけません。ピクセル データが変化可能な場合とは、奇数フレームの波形が偶数フレームで生成された波形と対になっておらず、パネルに DC コンポーネントが提供されている状況です。したがって、タイプ B 波形を使用する場合は、フレーム割り込み発生後のサブフレーム内で LCD ピクセルのアップデートを同期させる必要があります。

タイプ B 波形で正常な連続書き込みを実行するため、割り込みがフェーズ インターバル完了時のみ生成されます。書き込みが無効のときにユーザーが書き込みを実行すると、LCDCON レジスタの WERR ビットがセットされて書き込みは実行されません。

注 :	タイプ A 波形が選択されている場合、およびタイプ B でスタティック (マルチプレクスなし) が選択されている場合は、LCD フレーム割り込みが生成されません。

図 21-18:　1/4 デューティ サイクルでの波形および割り込みタイミング (例ータイプ B、非スタティック)



$T_{FWR} = T_{FRAME}/2*(LMUX<1:0> + 1) + T_{CY}/2$

$T_{FINT} = (T_{FWR}/2 – (2\ T_{CY} + 40\ ns)) \rightarrow minimum = 1.5(T_{FRAME}/4) – (2\ T_{CY} + 40\ ns)$
$(T_{FWR}/2 – (1\ T_{CY} + 40\ ns)) \rightarrow maximum = 1.5(T_{FRAME}/4) – (1\ T_{CY} + 40\ ns)$

© 2009 Microchip Technology Inc.

21.11 スリープ時の動作

LCD モジュールはスリープ時にも動作することができます。その設定は、LCDCON レジスタの SLPEN ビットで行います。SLPEN ビットをセットすると LCD モジュールはスリープ モードになります。SLPEN ビットをクリアすると、スリープ中でも動作を継続します。

SLPEN = 1 で SLEEP 命令が実行された場合、LCD モジュールはすべての機能を停止して最低限の電流消費モードに切り替わります。つまり、モジュール動作は直ぐに動作停止し、セグメント ラインとコモン ラインには最低限の LCD 電圧が適用されます。図 21-19 に、この動作を示します。

LCD モジュールをスリープ時に動作するように設定することもできます。その設定は、LCDCON レジスタの SLPEN ビットで行います。SLPEN をクリアして LCD モジュール クロックを適切に設定すると、スリープ時に LCD モジュールを動作させることが可能です。SLPEN をセットして LCD モジュールのシャットダウンを実行すると、スリープ時およびパワー セーブ時の LCD モジュールは無効になります。

SLPEN = 1 で SLEEP 命令が実行された場合、LCD モジュールはすべての機能を停止し、Vss 出力を駆動して最低限の電流消費モードに切り替わります。SLEEP 命令は、LCD モジュールが無効になり現在のサイクルが完了して LCD ガラスに DC 電圧が供給されていない場合のみ実行できます。LCD モジュールを無効にするには、LCDEN ビットをクリアします。LCD モジュールは、現在のフレームの後に無効にするプロセスを完了し、LCDA ビットをクリアします。この場合、オプションで割り込みを生成できます。

LCD が無効の場合にスリープ モードへ切り替える手順を次に示します。

- LCDEN をクリアする
- LCDA = 0 になるまで待機する (ポーリングまたは割り込みで確認)
- SLEEP 命令を実行する

LCD モジュール クロック ソースが FOSC/4 のとき、SLPEN = 0 で SLEEP が実行されると、LCD モジュールは最後の LCD 電圧パターンを駆動したピン状態で停止します。固定 LCD 電圧パターンの長時間出力は、LCD ガラスを破損させます。これを回避するには、スリープ モードに遷移する前に LCD モジュールをシャットダウンするか、LCD モジュール クロックを変更してスリープ時の動作継続を有効にしてください。

SLPEN = 0 の設定で SLEEP 命令が実行され、LCD モジュール クロックが T1OSC または LFINTOSC のいずれかである場合、モジュールは LCDDATA レジスタの現在の内容を継続して表示します。スリープ中、LCD データは変更できません。LCDIE ビットがセットされている場合は、次の LCD フレームの境界でデバイスがウェイクアップします。

このモードの場合、LCD モジュールの電流消費は削減しませんが、CPU およびその他の周辺装置がシャットダウンするため、全体の消費電力は削減されます。

表 21-8 に、3 つのクロック ソースを使用した場合のスリープ時における LCD モジュールのステータスを示します。

> **注 :** LCDEN ビットがクリアされると、LCD モジュールはフレーム完了時に無効になります。このとき、ポート ピンがデジタル機能に戻ります。フローティングのデジタル入力による消費電力を最小限に抑えるためには、PORT レジスタおよび TRIS レジスタを使用して LCD ピンを Low 駆動させる必要があります。

SLPEN = 0 の設定で、SLEEP 命令が実行された場合、モジュールは LCDDATA レジスタの現在の内容を継続して表示します。モジュールの継続動作を可能にするには、LFINTOSC オシレータまたは外部の T1OSC オシレータをクロック ソースとして使用する必要があります。スリープ中、LCD データは変更できません。このモードの場合、LCD モジュールの電流消費は削減しませんが、コアおよびその他の周辺装置がシャットダウンするため、デバイス全体の消費電力は削減されます。

表 21-8 に、3 つのクロック ソースを使用した場合のスリープ時における LCD モジュールのステータスを示します。

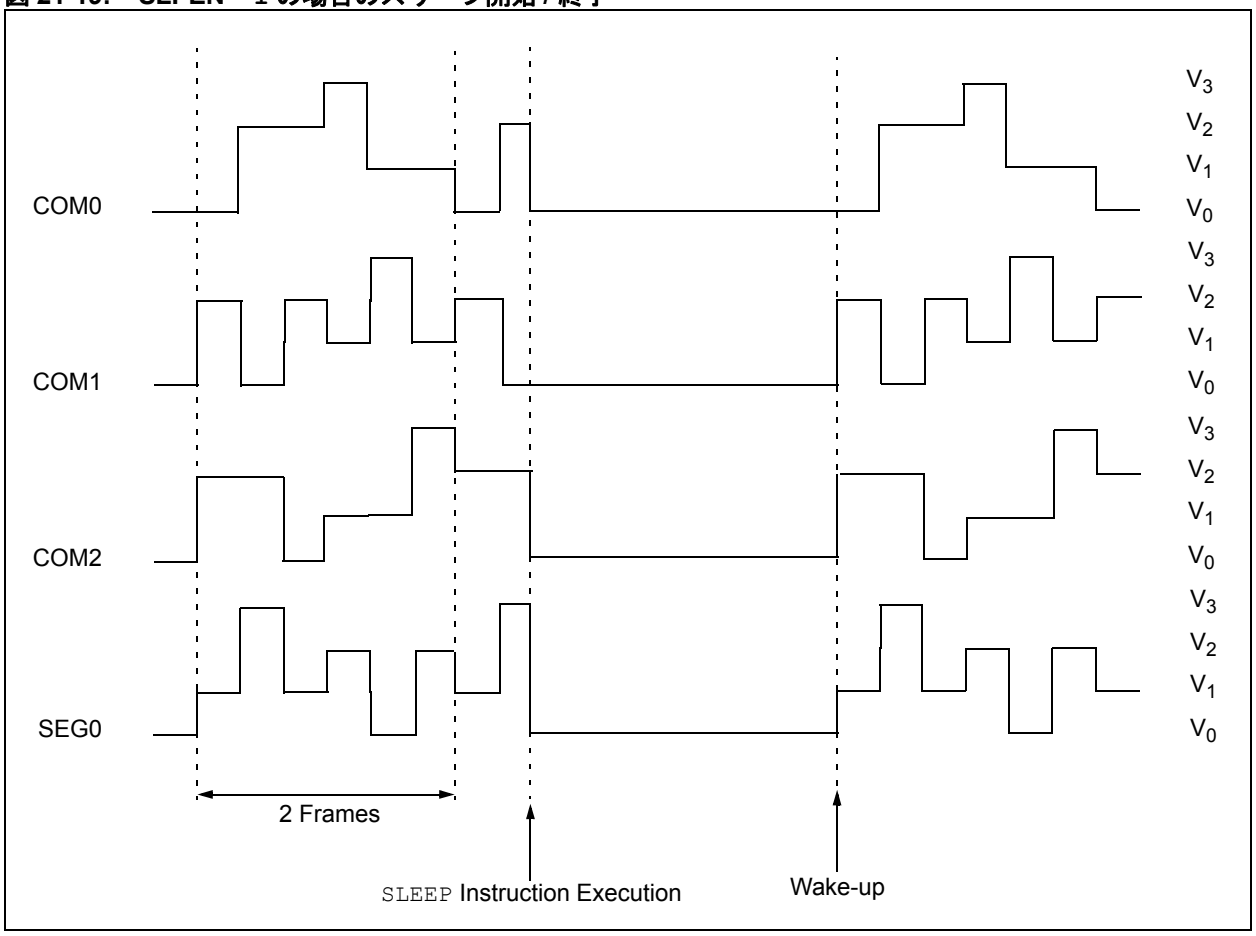
表 21-8: スリープ時の LCD モジュール ステータス

Clock Source	SLPEN	Operational During Sleep
T1OSC	0	Yes
	1	No
LFINTOSC	0	Yes
	1	No
FOSC/4	0	No
	1	No

> **注 :** スリープ時に LCD モジュールを動作させる場合は、LFINTOSC オシレータまたは外部の T1OSC オシレータを使用する必要があります。

LCD 割り込みが生成されている状態 (スタティックではなくマルチプレクス モードのタイプ B 波形) で LCDIE = 1 の場合は、次のフレーム境界でデバイスがウェイクアップします。

図 21-19:　SLPEN = 1 の場合のスリープ開始 / 終了



© 2009 Microchip Technology Inc.

21.12 LCD モジュールの設定

LCD モジュールの設定手順を次に示します。

1. LCDPS レジスタの LP<3:0> ビットを使用してフレーム クロック プリスケールを選択します。
2. LCDSEn レジスタを使用して適切なピンをセグメント ドライバとして機能するように設定します。
3. LCDCON レジスタを使用して次のように LCD モジュールを設定します。
   - マルチプレクスおよびバイアス モード (ビット MUX<1:0>)
   - タイミング ソース (ビット CS<1:0>)
   - スリープ モード (ビット SLPEN)
4. ピクセル データ レジスタ (LCDDATA0 ～ LCDDATA11) に初期値を書き込みます (PIC16F1938 の場合は LCDDATA0 ～ LCDDATA23)。
5. LCD 割り込みフラグである PIR2 レジスタの LCDIF ビットをクリアします。必要な場合は、PIE2 レジスタの LCDIE ビットをセットして割り込みを有効にします。
6. LCDRL、LCDREF および ANSELx レジスタを必要に応じてセットし、バイアス電圧を設定します。
7. LCDCON レジスタの LCDEN ビットをセットして、LCD モジュールを有効にします。

21.13 LCD モジュールの無効化

LCD モジュールを無効にする場合は、LCDCON レジスタをすべて「0」にします。

21.14 LCD の消費電流

LCD モジュールを使用する際、電流を消費する要因は次の 3 つです。

- 発振器選択
- LCD のバイアス ソース
- LCD セグメントの静電容量

LCD モジュールのみの消費電流を考えた場合、これらの要因以外の影響はごくわずかです。

21.14.1 オシレータの選択

LCD モジュールを使用する場合は、指定したクロック ソースが消費する電流量を考慮する必要があります。オシレータの消費電流については、**28.0 項「電気的仕様」**を参照してください。

21.14.2 LCD のバイアス ソース

LCD のバイアス ソース (内部または外部) は、消費電流に多大な影響を与えます。できるだけ高い抵抗値を使用して、電流量を最小限に抑えたコントラスト保持を行う必要があります。

21.14.3 LCD セグメントの静電容量

コンデンサとしてモデル化される LCD セグメントは、すべてのフレーム内でチャージとディスチャージの両方を行う必要があります。LCD セグメントのサイズおよび技術によって、セグメントの静電容量が決定します。

表 21-9: LCD 動作関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
LCDCON	LCDEN	SLPEN	WERR	—	CS1	CS0	LMUX1	LMUX0	243
LCDCST	—	—	—	—	—	LCDCST2	LCDCST1	LCDCST0	246
LCDDATA0	SEG7 COM0	SEG6 COM0	SEG5 COM0	SEG4 COM0	SEG3 COM0	SEG2 COM0	SEG1 COM0	SEG0 COM0	247
LCDDATA1	SEG15 COM0	SEG14 COM0	SEG13 COM0	SEG12 COM0	SEG11 COM0	SEG10 COM0	SEG9 COM0	SEG8 COM0	247
LCDDATA2	SEG23 COM0	SEG22 COM0	SEG21 COM0	SEG20 COM0	SEG19 COM0	SEG18 COM0	SEG17 COM0	SEG16 COM0	247
LCDDATA3	SEG7 COM1	SEG6 COM1	SEG5 COM1	SEG4 COM1	SEG3 COM1	SEG2 COM1	SEG1 COM1	SEG0 COM1	247
LCDDATA4	SEG15 COM1	SEG14 COM1	SEG13 COM1	SEG12 COM1	SEG11 COM1	SEG10 COM1	SEG9 COM1	SEG8 COM1	247
LCDDATA5	SEG23 COM1	SEG22 COM1	SEG21 COM1	SEG20 COM1	SEG19 COM1	SEG18 COM1	SEG17 COM1	SEG16 COM1	247
LCDDATA6	SEG7 COM2	SEG6 COM2	SEG5 COM2	SEG4 COM2	SEG3 COM2	SEG2 COM2	SEG1 COM2	SEG0 COM2	247
LCDDATA7	SEG15 COM2	SEG14 COM2	SEG13 COM2	SEG12 COM2	SEG11 COM2	SEG10 COM2	SEG9 COM2	SEG8 COM2	247
LCDDATA8	SEG23 COM2	SEG22 COM2	SEG21 COM2	SEG20 COM2	SEG19 COM2	SEG18 COM2	SEG17 COM2	SEG16 COM2	247
LCDDATA9	SEG7 COM3	SEG6 COM3	SEG5 COM3	SEG4 COM3	SEG3 COM3	SEG2 COM3	SEG1 COM3	SEG0 COM3	247
LCDDATA10	SEG15 COM3	SEG14 COM3	SEG13 COM3	SEG12 COM3	SEG11 COM3	SEG10 COM3	SEG9 COM3	SEG8 COM3	247
LCDDATA11	SEG23 COM3	SEG22 COM3	SEG21 COM3	SEG20 COM3	SEG19 COM3	SEG18 COM3	SEG17 COM3	SEG16 COM3	247
LCDPS	WFT	BIASMD	LCDA	WA	LP3	LP2	LP1	LP0	244
LCDREF	LCDIRE	LCDIRS	LCDIRI	—	VLCD3PE	VLCD2PE	VLCD1PE	—	245
LCDRL	LRLAP1	LRLAP0	LRLBP1	LRLBP0	—	LRLAT2	LRLAT1	LRLAT0	252
LCDSE0	SE7	SE6	SE5	SE4	SE3	SE2	SE1	SE0	247
LCDSE1	SE15	SE14	SE13	SE12	SE11	SE10	SE9	SE8	247
LCDSE2	SE23	SE22	SE21	SE20	SE19	SE18	SE17	SE16	247
PIE2	OSFIE	C2IE	C1IE	EEIE	BCLIE	LCDIE	—	CCP2IE	75
PIR2	OSFIF	C2IF	C1IF	EEIF	BCLIF	LCDIF	—	CCP2IF	78
T1CON	TMR1CS1	TMR1CS0	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{\text{T1SYNC}}$	—	TMR1ON	169

記号の説明： x = 不明。u = 不変。— = 未実装、「0」として読み出し。網掛けのビットは LCD モジュールでは使用しません。

© 2009 Microchip Technology Inc.

22.0 マスター同期シリアル ポート (MSSP) モジュール

22.1 マスター SSP (MSSP) モジュールの概要

マスター同期シリアル ポート (MSSP) モジュールは、他の周辺装置やマイクロコントローラ デバイスと通信するために有効なシリアル インターフェースです。これらの周辺装置とは、シリアル EEPROM、シフト レジスタ、ディスプレイ ドライバ、A/D 変換器などです。MSSP モジュールは、2 つのモードの一つで動作します。

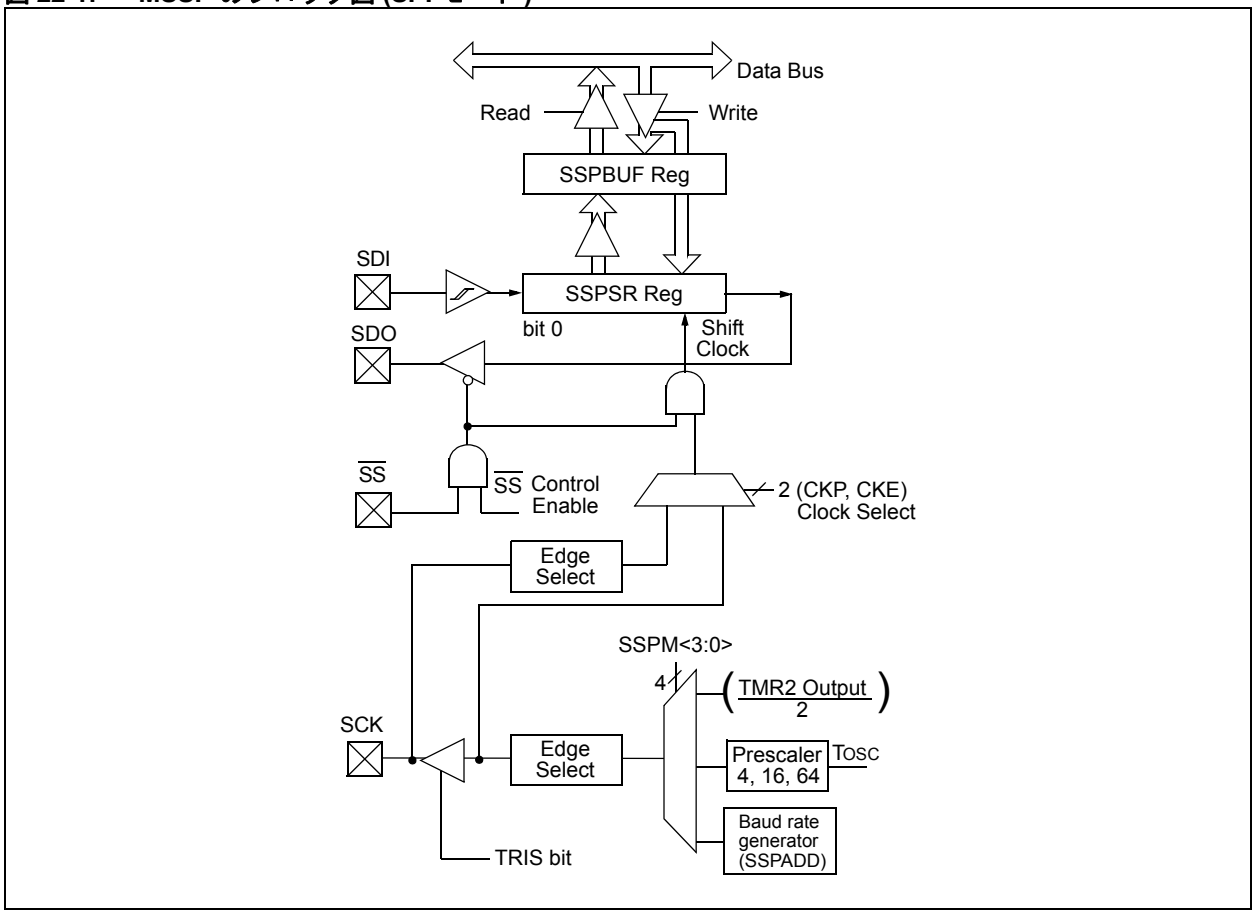
- シリアル ペリフェラル インターフェース (SPI)
- インター インテグレーテッド回路 (I^2C™)

SPI インターフェイスは、次のモードおよび機能をサポートします。

- マスター モード
- スレーブ モード
- クロック パリティ
- スレーブ セレクト ピン同期 (スレーブ モードのみ)
- スレーブ デバイスのデイジー チェーン接続

図 22-1 に、SPI インターフェイス モジュールのブロック図を示します。

図 22-1: MSSP のブロック図 (SPI モード)

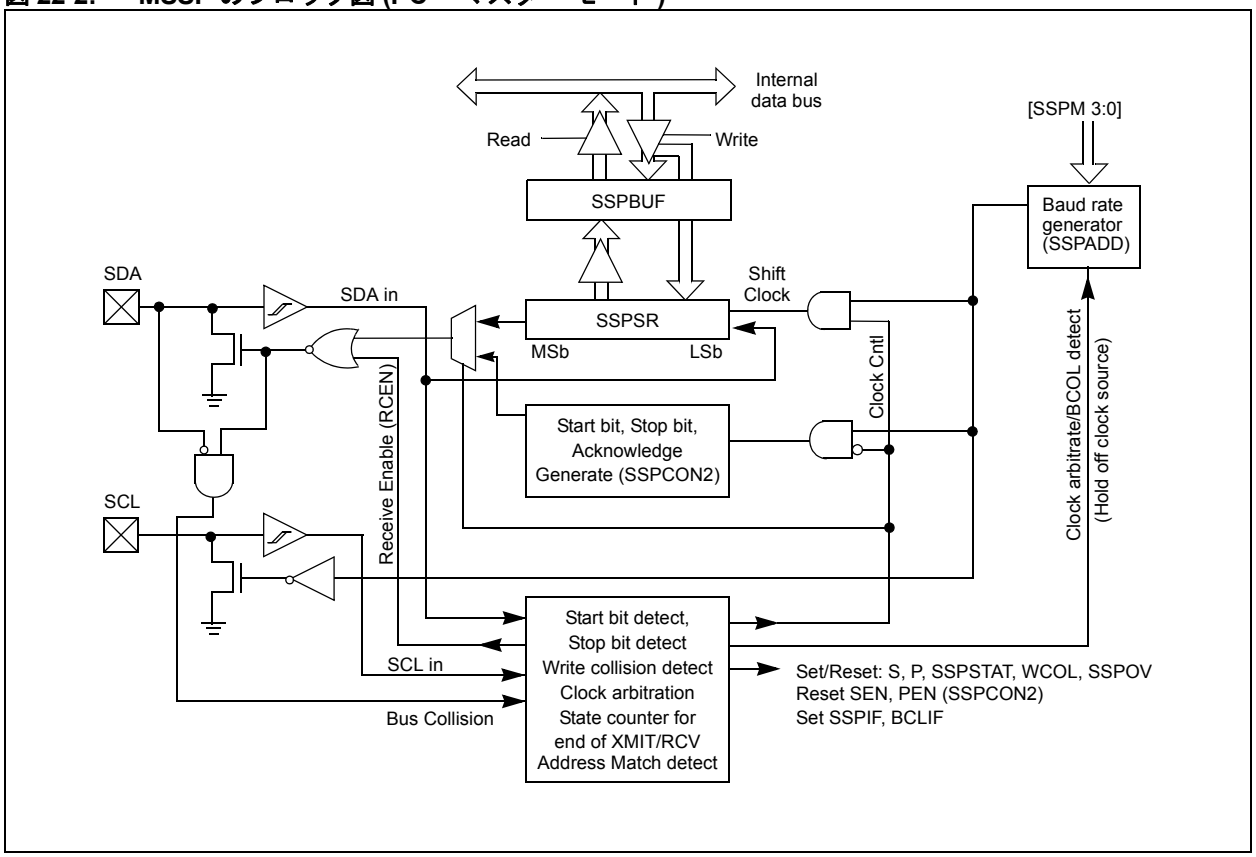


I²C インターフェイスは、次のモードおよび機能をサポートします。

- マスター モード
- スレーブ モード
- Byte NACKing (スレーブ モード)
- 制約されたマルチマスターのサポート
- 7 ビットおよび 10 ビットのアドレッシング
- Start および Stop 割り込み
- 割り込みマスク
- クロック ストレッチ
- バス衝突の検出
- 一括呼び出しアドレスの一致
- アドレス マスク
- アドレス ホールド モードおよびデータ ホールド モード
- 選択可能な SDA のホールド時間

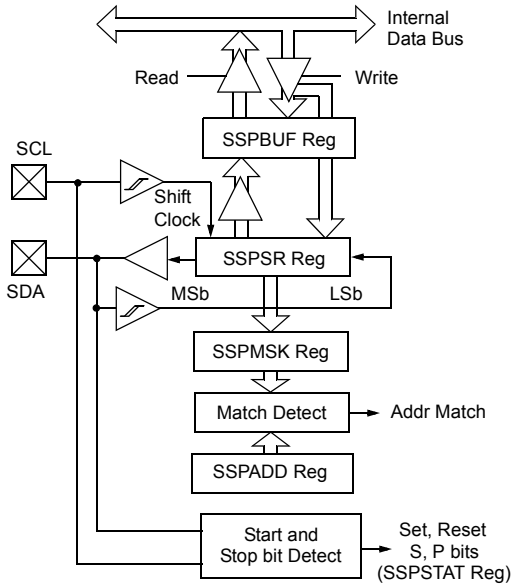
図 22-2 に、マスター モードでの I²C インターフェイスのブロック図を示し、図 22-3 に、スレーブ モードでの I²C インターフェイスのブロック図を示します。

図 22-2: MSSP のブロック図 (I²C™ マスター モード)



 © 2009 Microchip Technology Inc.

図 22-3: MSSP のブロック図 (I²C™ スレーブ モード)



22.2 MSSP の制御レジスタ

MSSP モジュールには、関連するレジスタが 7 個あります。

- MSSP STATUS レジスタ (SSPSTAT)
- MSSP 制御レジスタ 1 (SSPCON1)
- MSSP 制御レジスタ 2 (SSPCON2)
- MSSP 制御レジスタ 3 (SSPCON3)
- MSSP のアドレス マスク レジスタ (SSPMSK)
- MSSP のデータ バッファ レジスタ (SSPBUF)
- MSSP のアドレス レジスタ (SSPADD)

レジスタ 22-1: SSPSTAT: SSP STATUS レジスタ

R/W-0/0	R/W-0/0	R-0/0	R-0/0	R-0/0	R-0/0	R-0/0	R-0/0
SMP	CKE	D/$\overline{A}$	P	S	R/$\overline{W}$	UA	BF
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **SMP:** SPI データ入力サンプル ビット

SPI マスター モード :
1 = データ出力時間の後縁で入力データをサンプリングする
0 = データ出力時間の中央で入力データをサンプリングする

SPI スレーブ モード :
SPI がスレーブ モードのときは、SMP をクリアする必要があります。

I^2C マスターまたはスレーブ モード :
1 = 標準速度モード (100 kHz および 1 MHz) のスルー レート制御が無効
0 = 高速モード (400 kHz) のスルー レート制御が有効

ビット 6 **CKE:** SPI クロック エッジ選択ビット (SPI モードのみ)

CKP = 0:
1 = SCK の立ち上がりエッジでデータ送信される
0 = SCK の立ち下がりエッジでデータ送信される

CKP = 1:
1 = SCK の立ち下がりエッジでデータ送信される
0 = SCK の立ち上がりエッジでデータ送信される

ビット 5 **D/$\overline{A}$:** Data/$\overline{Address}$ ビット (I^2C モードのみ)
1 = 最後の受信バイトまたは送信バイトがデータであることを示す
0 = 最後の受信バイトまたは送信バイトがアドレスであることを示す

ビット 4 **P:** ストップ ビット
(I^2C モードのみ。MSSP モジュールが無効のときに SSPEN がクリアされると、このビットがクリアされます。)
1 = ストップ ビットが最後に検出されたことを示す (このビットは、リセット時に「0」となる)
0 = ストップ ビットが最後に検出されなかった

ビット 3 **S:** スタート ビット
(I^2C モードのみ。MSSP モジュールが無効のときに SSPEN がクリアされると、このビットがクリアされます。)
1 = スタート ビットが最後に検出されたことを示す (このビットは、リセット時に「0」となる)
0 = スタート ビットが最後に検出されなかった

ビット 2 **R/$\overline{W}$:** Read/$\overline{Write}$ ビット情報 (I^2C モードのみ)
このビットは、最後のアドレス一致後の R/$\overline{W}$ ビット情報を含みます。有効期間は、アドレス一致後から次のスタート ビット、ストップ ビットまたは NOT $\overline{ACK}$ ビットを受信するまでです。

I^2C スレーブ モード :
1 = 読み出し
0 = 書き込み

I^2C マスター モード :
1 = 送信動作中
0 = 送信動作中ではない
このビットと SEN、RSEN、PEN、RCEN または ACKEN を OR 回路で接続して、MSSP がアイドル モードであるかを示す。

ビット 1 **UA:** アップデート アドレス ビット (10 ビット I^2C モードのみ)
1 = ユーザーが SSPADD レジスタのアドレスを変更する必要があることを示す
0 = アドレスを変更する必要はない

ビット 0 **BF:** バッファ フル ステータス ビット

受信 (SPI および I^2C モード):
1 = 受信完了、SSPBUF フル
0 = 受信は未完了、SSPBUF は空

送信 (I^2C モードのみ):
1 = データ送信中 ($\overline{ACK}$ およびストップ ビットを含まない)、SSPBUF はフル
0 = データ送信完了 ($\overline{ACK}$ およびストップ ビットは含まない)、SSPBUF は空

 © 2009 Microchip Technology Inc.

レジスタ 22-2: SSPCON1: SSP 制御レジスタ 1

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **WCOL:** 書き込み衝突検出ビット
マスター モード :
1 = 送信開始用の I^2C コンディションが有効でないときに SSPBUF レジスタへの書き込みが実行された
0 = 衝突なし
スレーブ モード :
1 = 前のワードが送信中であるのに SSPBUF レジスタに書き込みされた (ソフトウェアでクリアされる必要がある)
0 = 衝突なし

ビット 6 **SSPOV:** 受信 オーバーフロー インジケータ ビット **(1)**
SPI モード :
1 = SSPBUF レジスタが前のデータを保持中に次のバイトを受信する。オーバーフローした場合は、SSPSR のデータを失う。オーバーフローは、スレーブ モードの場合のみ発生する。スレーブ モードの場合、オーバーフロー設定を回避するには、データ送信でも SSPBUF を読み出す必要がある。マスター モードの場合、SSPBUF レジスタへの書き込みによって新規の受信を開始するため、オーバーフロー ビットはセットされない (ソフトウェアでクリアされる必要がある)
0 = ＝オーバーフローなし
I^2C モード :
1 = SSPBUF レジスタが前のバイトを保持中に次のバイトを受信する。送信モードの場合、SSPOV ビットは無視される (ソフトウェアでクリアされる必要がある)
0 = オーバーフローなし

ビット 5 **SSPEN:** 同期シリアル ポート イネーブル ビット
いずれのモードでも、これらのピンが有効の場合は、入力または出力として適切に設定される必要があります。
SPI モード :
1 = シリアル ポートが有効となり、SCK、SDO、SDI および $\overline{SS}$ はシリアル ポート ピン **(2)** のソースとして設定される
0 = シリアル ポートは無効となり、これらのピンは I/O ポートピンとして設定される
I^2C モード :
1 = シリアル ポートは有効となり、SDA ピンおよび SCL ピンはシリアル ポート ピン **(3)** のソースとして設定される
0 = シリアル ポートは無効となり、これらのピンは I/O ポートピンとして設定される

ビット 4 **CKP:** クロック極性選択ビット
SPI モード :
1 = クロックが High のときアイドル状態になる
0 = クロックが Low のときアイドル状態になる
I^2C スレーブ モード :
SCK リリース制御
1 = クロックを有効にする
0 = クロックを Low に保持 (クロック ストレッチ)、(データ セットアップ時間を確保するために使用)
I^2C マスター モード :
このモードでは使用しない

ビット 3-0 **SSPM<3:0>:** 同期シリアル ポート モードの選択ビット
0000 = SPI マスター モード、クロック = Fosc/4
0001 = SPI マスター モード、クロック = Fosc/16
0010 = SPI マスター モード、クロック = Fosc/64
0011 = SPI マスター モード、クロック = TMR2 出力 /2
0100 = SPI スレーブ モード、クロック = SCK ピン、$\overline{SS}$ ピン制御は有効
0101 = SPI スレーブ モード、クロック = SCK ピン、$\overline{SS}$ ピン制御は無効、$\overline{SS}$ は I/O ピンとして使用可能
0110 = I^2C スレーブ モード、7 ビット アドレス
0111 = I^2C スレーブ モード、10 ビット アドレス
1000 = I^2C マスター モード、クロック = Fosc / (4 * (SSPADD+1)) **(4)**
1001 = 予約
1010 = SPI マスター モード、クロック = Fosc/(4 * (SSPADD+1))
1011 = I^2C ファームウェア制御のマスター モード (スレーブ アイドル)
1100 = 予約
1101 = 予約
1110 = I^2C スレーブ モード、7 ビット アドレス (スタートおよびストップ割り込みが有効)
1111 = I^2C スレーブ モード、10 ビット アドレス (スタートおよびストップ割り込みが有効)

注 1: マスター モードの場合、各送信 (受信) は SSPBUF レジスタへの書き込みによって開始されるため、オーバーフロー ビットはセットされません。
2: 有効の場合、これらのピンは入力または出力として適切に設定される必要があります。
3: 有効の場合、SDA および SCL ピンは入力として設定される必要があります。
4: I^2C モードの場合、SSPADD の値 0、1 および 2 はサポートされていません。

レジスタ 22-3: SSPCON2: SSP 制御レジスタ 2

R/W-0/0	R-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **GCEN:** 一括呼び出しイネーブル ビット (I^2C スレーブ モードのみ)
1 = SSPSR で一括呼び出しアドレス (0x00 または 00h) を受信したとき、割り込みが有効になる
0 = 一括呼び出しアドレスは無効

ビット 6 **ACKSTAT:** アクノレッジ ステータス ビット (I^2C モードのみ)
1 = アクノレッジ信号は受信されていない
0 = アクノレッジ信号が受信された

ビット 5 **ACKDT:** アクノレッジ データ ビット (I^2C モードのみ)
受信モード :
受信の最後でユーザーがアクノレッジ シーケンスを開始すると送信される値です。
1 = NACK (拒否)
0 = ACK (了解)

ビット 4 **ACKEN:** アクノレッジ シーケンス イネーブル ビット (I^2C マスター モードのみ)
マスター受信モード :
1 = SDA ピンと SCL ピンでアクノレッジ シーケンスを開始し、ACKDT データ ビットを送信する。ハードウェアで自動的にクリアされる
0 = アクノレッジ シーケンスはアイドル状態

ビット 3 **RCEN:** 受信イネーブル ビット (I^2C マスター モードのみ)
1 = I^2C の受信モードを有効にする
0 = 受信はアイドル状態

ビット 2 **PEN:** ストップ コンディションのイネーブル ビット (I^2C マスター モードのみ)
SCK リリース制御 :
1 = SDA ピンと SCL ピンでストップコンディションを開始する。ハードウェアで自動的にクリアされる
0 = ストップ コンディションはアイドル状態

ビット 1 **RSEN:** リピート スタート コンディションのイネーブル ビット (I^2C マスター モードのみ)
1 = SDA ピンと SCL ピンでリピート スタートコンディションを開始する。ハードウェアで自動的にクリアされる
0 = リピート スタート コンディションはアイドル状態

ビット 0 **SEN:** スタート コンディションのイネーブル ビット (I^2C マスター モードのみ)
マスター モード :
1 = SDA ピンと SCL ピンでスタート コンディションを開始する。ハードウェアで自動的にクリアされる
0 = スタート コンディションはアイドル状態
スレーブ モード :
1 = スレーブ送信およびスレーブ受信の両方に対してクロック ストレッチ機能が有効 (ストレッチ イネーブル)
0 = クロック ストレッチ機能は無効

注 1: ACKEN、RCEN、PEN、RSEN および SEN について : I^2C モジュールがアイドル状態でない場合、このビットはセットされず (スプーリング処理なし) SSPBUF には書き込まれません (SSPBUF への書き込みは無効)。

 © 2009 Microchip Technology Inc.

レジスタ 22-4: SSPCON3: SSP 制御レジスタ 3

R-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
ACKTIM	PCIE	SCIE	BOEN	SDAHT	SBCDE	AHEN	DHEN
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **ACKTIM:** アクノレッジ タイム ステータス ビット (I^2C モードのみ)
1 = I^2C バスはアクノレッジ シーケンス中であることを示す。SCL クロックの 8 番目の立ち下がりエッジでセットされる
0 = アクノレッジ シーケンスではない。SCL クロックの 9 番目の立ち上がりエッジでクリアされる

ビット 6 **PCIE**: ストップ コンディション割り込みイネーブル ビット (I^2C モードのみ)
1 = ストップ コンディションの検出で割り込みが有効になる
0 = ストップ コンディションの検出による割り込みは無効 **(2)**

ビット 5 **SCIE**: スタート コンディションの割り込みイネーブル ビット (I^2C モードのみ)
1 = スタート / リスタート コンディションの検出による割り込みが有効
0 = スタート コンディションの検出による割り込みは無効 **(2)**

ビット 4 **BOEN:** バッファの上書きイネーブル ビット
SPI スレーブ モード : **(1)**
1 = SSPBUF は、新しいバイトがシフトされるたびにアップデートされる (BF ビットは無視)
0 = SSPSTAT レジスタの BF ビットがすでにセットされている状態で新しいバイトを受信した場合、SSPCON1 レジスタの SSPOV ビットがセットされ、バッファはアップデートされない
I^2C マスター モード :
このビットは無視される
I^2C スレーブ モード :
1 = SSPBUF はアップデートされ、受信したアドレス / データ バイトに対して $\overline{ACK}$ 信号が生成される。BF ビットが 0 の場合のみ、SSPOV ビットのステートは無視される
0 = SSPOV がクリアされたときのみ SSPBUF がアップデートされる

ビット 3 **SDAHT:** SDA ホールド時間の選択ビット (I^2C モードのみ)
1 = SDA のホールド時間は SCL の立ち下がりエッジから最小 300 ns
0 = SDA のホールド時間は SCL の立ち下がりエッジから最小 100 ns

ビット 2 **SBCDE:** スレーブ モードのバス衝突検出イネーブル ビット (I^2C スレーブ モードのみ)
SCL の立ち上がりエッジで、モジュール出力が High のときに SDA が Low としてサンプリングされた場合、PIR2 レジスタの BCLIF ビットがセットされてバスはアイドル状態になります。
1 = スレーブ バスの衝突割り込みが有効
0 = スレーブ バスの衝突割り込みは無効

ビット 1 **AHEN:** アドレス ホールド イネーブル ビット (I^2C スレーブ モードのみ)
1 = アドレス受信用の SCL の 8 番目の立ち下がりエッジ後、SSPCON1 レジスタの CKP ビットがクリアされて SCL は Low を保持する
0 = アドレスのホールド機能は無効

ビット 0 **DHEN:** データ ホールド イネーブル ビット (I^2C スレーブ モードのみ)
1 = データ受信用の SCL の 8 番目の立ち下がりエッジ後、スレーブ ハードウェアによって SSPCON1 レジスタの CKP ビットがクリアされ、SCL が Low を保持する
0 = データのホールド機能は無効

注 1: デイジーチェーン接続された SPI の動作 ; ユーザーは、最後の受信バイト以外はすべて無視できます。新しいバイトが受信されても SSPOV はセットされており、BF = 1 ですが、ハードウェアは最新のバイトを SSPBUF へ書き込み続けます。
2: このビットは、スタートおよびストップ コンディション検出を有効として明確に認識しているスレーブ モードには影響しません。

レジスタ 22-5: SSPMSK: SSP マスク レジスタ

R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1	R/W-1/1
MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0(2)
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-1 **MSK<7:1>:** マスク ビット
1 = 受信したアドレス ビット n が SSPADD<n> と比較されて I2C アドレスの一致を検出する
0 = 受信したアドレス ビット n は、I2C アドレスの一致検出用に使用されない

ビット 0 **MSK<0>:** I2C スレーブ モードのマスク ビット、10 ビット アドレス
I2C スレーブ モード、10 ビット アドレス (SSPM<3:0> = 0111 または 1111):
1 = 受信したアドレス ビット 0 が SSPADD<0> と比較されて I2C アドレスの一致を検出する
0 = 受信したアドレス ビット 0 は、I2C アドレスの一致検出用に使用されない
I2C スレーブ モード、7 ビット アドレス時、このビットは無視される

レジスタ 22-6: SSPADD: MSSP アドレスおよびボーレート レジスタ (I2C モード)

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

マスター モード :

ビット 7-0 **ADD<7:0>:** ボーレート クロック分周ビット
SCL ピンのクロック周期 = ((ADD<7:0> + 1) *4)/FOSC

10 ビットのスレーブ モード — 最上位アドレス バイト :

ビット 7-3 **使用されない :** 最上位アドレス バイトには使用されない。このレジスタのビット ステートは「don't care (無視)」となる。マスターから送信されるビット パターンは I2C の仕様で固定されており、「11110」と等価になる必要がある。ただし、これらのビットはハードウェアで比較されるため、このレジスタ内の値によって影響されるものではない

ビット 2-1 **ADD<2:1>:** 10 ビット アドレスの上位 2 ビット

ビット 0 **使用されない :** このモードでは使用しない、ビット ステートは「don't care (無視)」となる

10 ビットのスレーブ モード — 最下位アドレス バイト :

ビット 7-0 **ADD<7:0>:** 10 ビット アドレスの下位 8 ビット

7 ビットのスレーブ モード :

ビット 7-1 **ADD<7:1>:** 7 ビット アドレス

ビット 0 **使用されない :** このモードでは使用しない、ビット ステートは「don't care (無視)」となる

 © 2009 Microchip Technology Inc.

22.3 SPI モード

SPI モードでは、8 ビット データを同期させて同時に送受信できます。マスター モードとスレーブ モードの両方にて、SPI の 4 つのクロック モードがサポートされています。通常、通信には次の 3 つのピンが使用されます。

- シリアル データ出力 (SDO)
- シリアル データ入力 (SDI)
- シリアル クロック (SCK)

スレーブ モード動作では、さらに 4 つ目のピンを使用する場合があります。

- スレーブ セレクト ($\overline{SS}$)

図 22-1 に、SPI モード動作での MSSP モジュールのブロック図を示します。

22.3.1 レジスタ

SPI モード動作の場合、MSSP モジュールには次の 5 個のレジスタがあります。

- MSSP STATUS レジスタ (SSPSTAT)
- MSSP 制御レジスタ 1 (SSPCON1)
- MSSP 制御レジスタ 3 (SSPCON3)
- MSSP のデータ バッファ レジスタ (SSPBUF)
- MSSP のアドレス レジスタ (SSPADD)
- MSSP シフト レジスタ (SSPSR)
  (直接アクセス不可)

SSPCON1 および SSPSTAT は、SPI モード動作における制御およびステータス レジスタです。
SSPCON1 レジスタは、読み出しおよび書き込みの両方可能です。SSPSTAT の下位 6 ビットは読み出し専用で、SSPSTAT の上位 2 ビットは読み出しおよび書き込みの両方可能です。

1 つの SPI マスター モードの場合、SSPADD にボーレート ジェネレータで使用される値をロードできます。ボーレート ジェネレータの詳細は、**22.7 項「ボーレート ジェネレータ」**を参照してください。

SSPSR は、データのシフト インまたはシフト アウトに使用するシフト レジスタです。SSPBUF は、SSPSR レジスタへの間接アクセスを提供するバッファ レジスタであり、データ バイトを書き込む場所やデータ バイトを読み出す場所です。

受信動作では、SSPSR と SSPBUF が共にバッファ回路付き受信部を構成します。SSPSR が 1 バイトを受信すると、SSPBUF に転送され、SSPIF 割り込みがセットされます。

送信時、SSPBUF にバッファ回路は付きません。SSPBUF へ書き込みを行うと、SSPBUF と SSPSR の両方へ書き込みが実行されます。

22.3.2 動作

SPI の初期化時には、いくつかのオプション指定があります。これは、適切な制御ビット (SSPCON1 <5:0> および SSPSTAT<7:6>) を設定して行います。これらの制御ビットにより、次の設定が可能になります。

- マスター モード (SCK はクロック出力)
- スレーブ モード (SCK はクロック入力)
- クロック極性 (SCK はアイドル状態)
- データ入力サンプル位相 (データ出力時間の中間または最後)
- クロック エッジ (SCK の立ち上がり / 立ち下がりエッジでデータ出力)
- クロック レート (マスター モードのみ)
- スレーブ セレクト モード (スレーブ モードのみ)

MSSP は、1 個の送信 / 受信シフト レジスタ (SSPSR) と 1 個のバッファ レジスタ (SSPBUF) で構成されています。SSPSR は、デバイスに対して MSB (上位ビットから) 順にデータをシフト インまたはシフト アウトします。SSPBUF は、受信データの準備が整うまで SSPSR に書き込まれたデータをホールドします。8 ビット データが受信されると、そのバイト データは SSPBUF レジスタへ移されます。そのとき、バッファ フル検出ビット (SSPSTAT レジスタの BF) と割り込みフラグ ビット (SSPIF) がセットされます。受信データ (SSPBUF) の二重バッファ構造によって、受信データを読み出す前に次のバイトを受信開始できます。データの送信 / 受信中における SSPBUF レジスタへのすべての書き込みは無視され、書き込み衝突検出ビット (SSPCON1 レジスタの WCOL) がセットされます。その後、ユーザーがソフトウェアで WCOL ビットをクリアして、SSPBUF レジスタへの書き込みを有効にする必要があります。

アプリケーション ソフトウェアが有効データを受信する場合、送信される次のバイト データが SSPBUF へ書き込まれる前に SSPBUF のデータを読み出す必要があります。SSPBUF に受信データがロード (送信完了) されると、SSPSTAT レジスタのバッファ フル ビット (BF) がセットされます。そして SSPBUF が読み出されると、BF ビットはクリアされます。SPI が単なる送信装置である場合、このデータは無意味となります。通常、送信 / 受信の完了を判断するには、MSSP 割り込みを使用します。割り込みを使用しない場合は、ソフトウェア ポーリングを実行して書き込みの衝突を防ぐことができます。

SSPSR へは、直接書き込みまたは直接読み出しできないため、SSPBUF レジスタを介してアクセスします。また、SSPSTAT では、さまざまなステータスを示します。

22.3.3 SPI I/O の有効化

シリアル ポート (SSP) を有効にする場合は、SSP イネーブル ビット (SSPCON1 レジスタの SSPEN) をセットする必要があります。SPI モードをリセットまたは再設定する場合は、SSPEN ビットをクリアし、SSPCONx レジスタを再び初期化して SSPEN ビットをセットしてください。これによって、SDI、SDO、SCK および $\overline{SS}$ ピンがシリアル ポート ピンとして設定されます。シリアル ポート機能として動作するピンの中には、データ方向ビット (TRIS レジスタ) を次のように設定する必要があります。

- SDI では、対応する TRIS ビットをセットする
- SDO では、対応する TRIS ビットをクリアする
- SCK (マスター モード) では、対応する TRIS ビットをクリアする
- SCK (スレーブ モード) では、対応する TRIS ビットをセットする
- $\overline{SS}$ では、対応する TRIS ビットをセットする

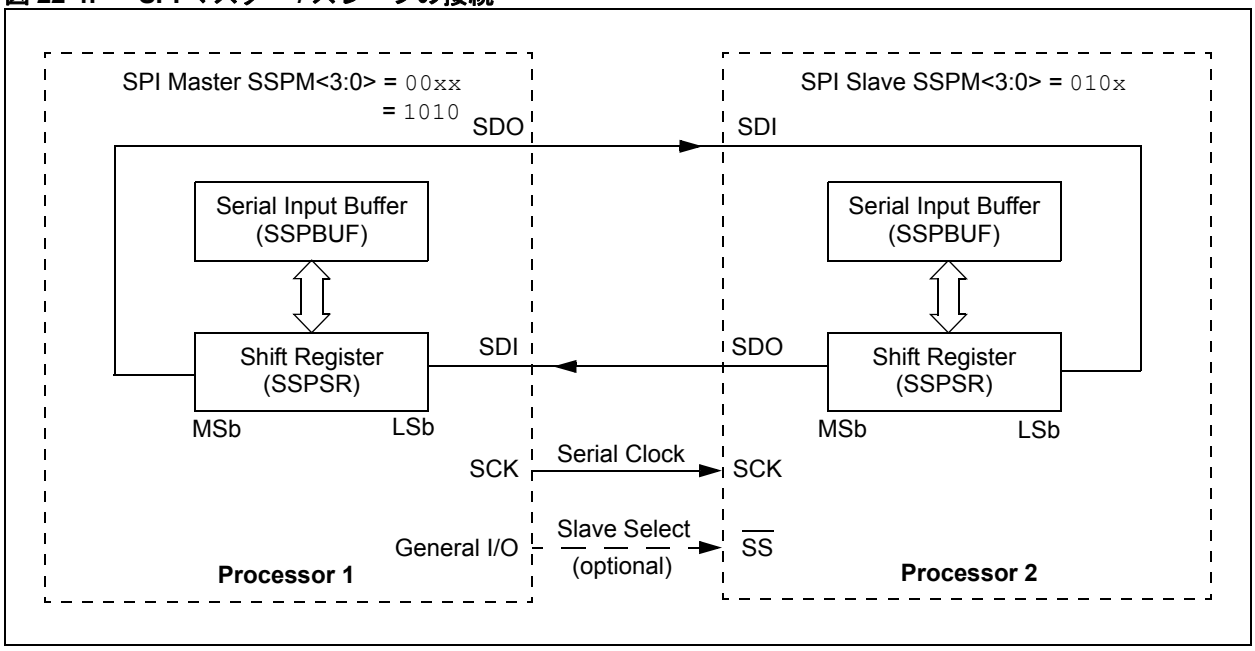
不要なシリアル ポート機能は、対応するデータ方向 (TRIS) レジスタの値を反対に設定することで上書きできます。

22.3.4 一般的な接続

図 22-4 に、2 つのマイクロコントローラの一般的な接続を示します。マスターコントローラが SCK 信号を送信して、(プロセッサ 1) データ送信を開始します。データは、プログラムされたクロック エッジでシフト レジスタから出力され、逆のクロック エッジでシフト レジスタにラッチされます。両方のプロセッサには同じクロック極性 (CKP) をプログラムする必要があり、同時に送受信します。それらのデータが意味を持つか、またはダミー データであるかは、アプリケーション ソフトウェアに依存します。データ送信における 3 つのシナリオは次のとおりです。

- マスターがデータを送信する (スレーブはダミー データを送信)
- マスターがデータを送信する (スレーブは通常データを送信)
- マスターがダミー データを送信する (スレーブは通常データを送信)

図 22-4: SPI マスター / スレーブの接続



 © 2009 Microchip Technology Inc.

22.3.5 マスター モード

マスターは SCK を制御するので、常にデータ送信を開始できます。また、マスターはスレーブ (プロセッサ 2、図22-4) がソフトウェア プロトコルでデータをブロードキャスト送信するタイミングを決定します。

マスター モードの場合、SSPBUF レジスタに書き込みが実行されるとすぐにデータが送信 / 受信されます。SPI を受信のみに対応させる場合は、SDO 出力を無効にできます (入力として設定)。SSPSR レジスタは、設定したクロック レートで SDI ピンに現れる信号を継続的にシフト インします。各バイトを受信すると、通常の受信バイト (割り込みビットおよびステータス ビットをセット) のように SSPBUF レジスタへ格納します。

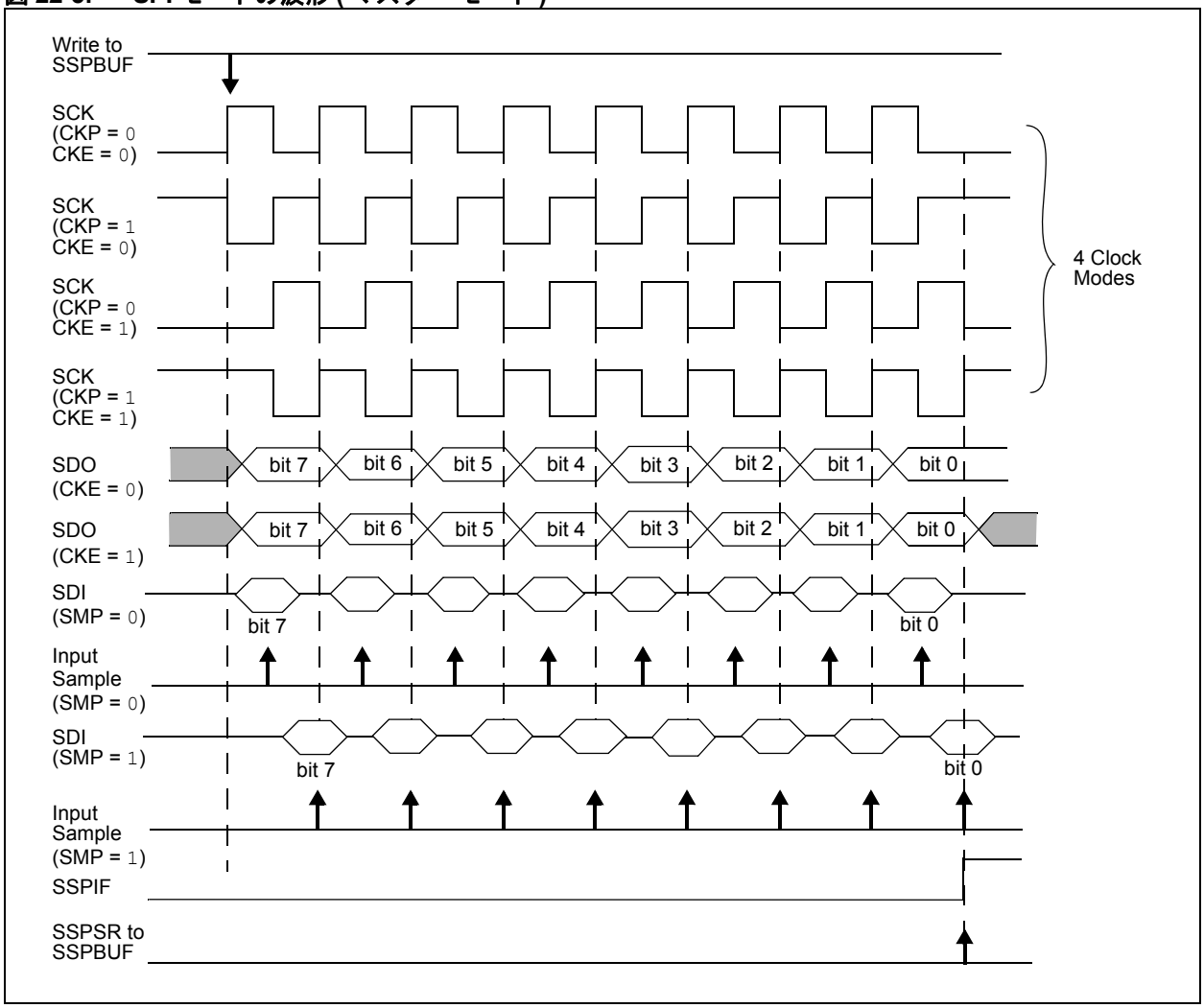
クロック極性の選択は、SSPCON1 レジスタの CKP ビットおよび SSPSTAT レジスタの CKE ビットを適切に設定して行います。図 22-5、図 22-6、図 22-7 および図 22-8 に、MSB 順に送信される SPI 通信の波形を示します。マスター モードの場合、SPI クロック レート (ビット レート) は次のいずれかにユーザーが設定できます。

- FOSC/4 (または TCY)
- FOSC/16 (または 4 * TCY)
- FOSC/64 (または 16 * TCY)
- Timer2 output/2
- Fosc/(4 * (SSPADD + 1))

図 22-5 に、マスター モードの波形を示します。

CKE ビットがセットされている場合、SDO データは SCK のクロック エッジが来る前に有効になります。入力サンプルの変更は、SMP ビットの状態に基づいて実行されています。また、SSPBUF に受信データがロードされるタイミングを示しています。

図 22-5: SPI モードの波形 (マスター モード)



22.3.6 スレーブ モード

スレーブ モードの場合、SCK に外部クロックのパルスが現れるとデータが送信および受信されます。最後のビットがラッチされると、SSPIF 割り込みフラグ ビットがセットされます。

SPI スレーブ モードのモジュールを有効にする前に、クロック ラインが確実にアイドル状態になっていることを確認する必要があります。クロック ラインは、SCK ピンを読み出すことによって確認できます。SSPCON1 レジスタの CKP ビットでアイドル状態であるかを判断します。

スレーブ モードの場合、外部クロック ソースによって SCK ピンに外部クロックが供給されます。この外部クロックは、電気的仕様で指定されている最低限の High 時間および最低限の Low 時間を満たす必要があります。

スリープ モード時、スレーブはデータの送信 / 受信が可能です。シフト レジスタは SCK ピン入力からクロックが供給されるため、バイト データを受信すると、デバイスが割り込みを生成します。割り込み機能が有効の場合は、デバイスがスリープ モードからウェイクアップします。

22.3.6.1 バッファの上書きイネーブル

SPI デイジー チェーン コンフィギュレーションの場合、バス上にある最も新しいバイトがスレーブで必要になります。SSPCON3 レジスタの BOEN ビットをセットすると、前のバイトが SSPBUF レジスタから読み出されていない場合でも SSPBUF への書き込みが可能になります。つまり、ソフトウェアは適用されないデータを無視できます。

22.3.7 スレーブ セレクト同期

$\overline{SS}$ ピンによって、同期スレーブ モードが可能になります。SPI は、$\overline{SS}$ ピン制御が有効 (SSPCON1<3:0> = 0100) に設定されたスレーブ モードである必要があります。

$\overline{SS}$ ピンが Low のとき、送信および受信が有効となり、SDO ピンが駆動されます。

$\overline{SS}$ ピンが High に遷移すると、バイト送信が未完了であっても SDO ピンは駆動されず、出力はフローティング状態になります。アプリケーションによっては、外部プルアップ / プルダウン抵抗の追加を推奨します。

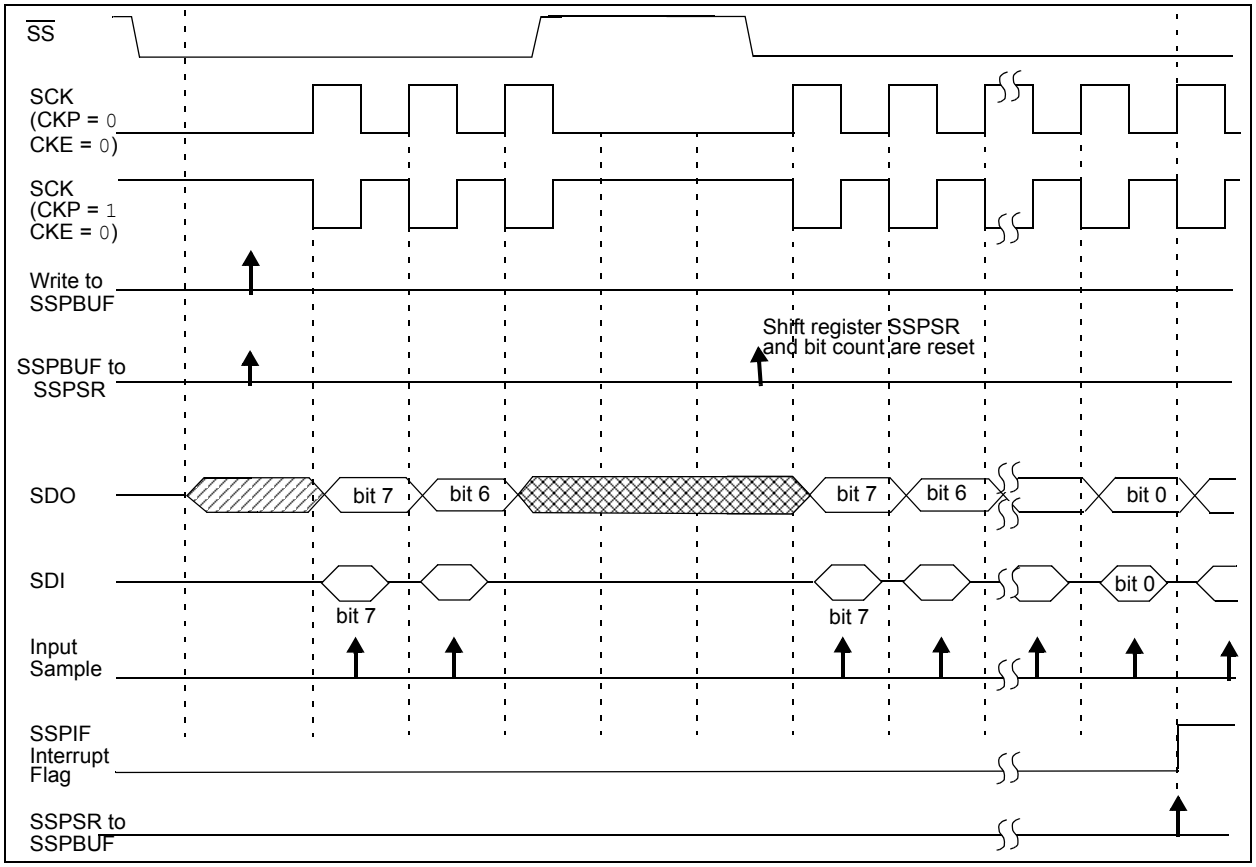
注 1: SPI が、$\overline{SS}$ ピン制御を有効 (SSPCON1<3:0> = 0100) として設定したスレーブ モードである場合、$\overline{SS}$ ピンが VDD に設定されると SPI モジュールはリセットします。

2: SPI が、CKE をセットしたスレーブ モードとして使用される場合、ユーザーは $\overline{SS}$ ピン制御を有効にする必要があります。

3: SPI スレーブ モードで動作している間、SSPSTAT レジスタの SMP ビットはクリア状態を保持する必要があります。

SPI モジュールがリセットすると、ビット カウンタは「0」に戻ります。$\overline{SS}$ ピンを強制的に High 駆動させるか、SSPEN ビットをクリアすると、モジュールがリセットされます。

図 22-6: スレーブ セレクト同期の波形



© 2009 Microchip Technology Inc.

図 22-7: SPI モードの波形 (CKE = 0 のスレーブ モード)

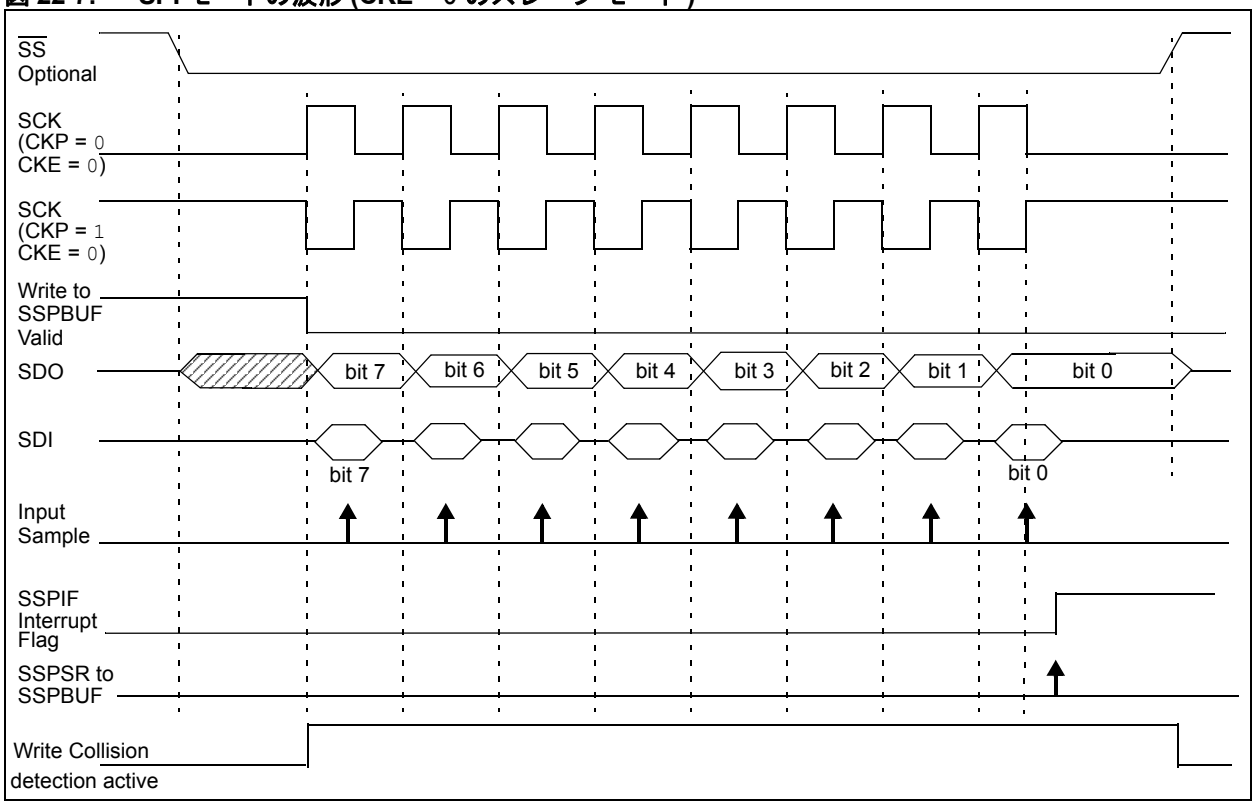
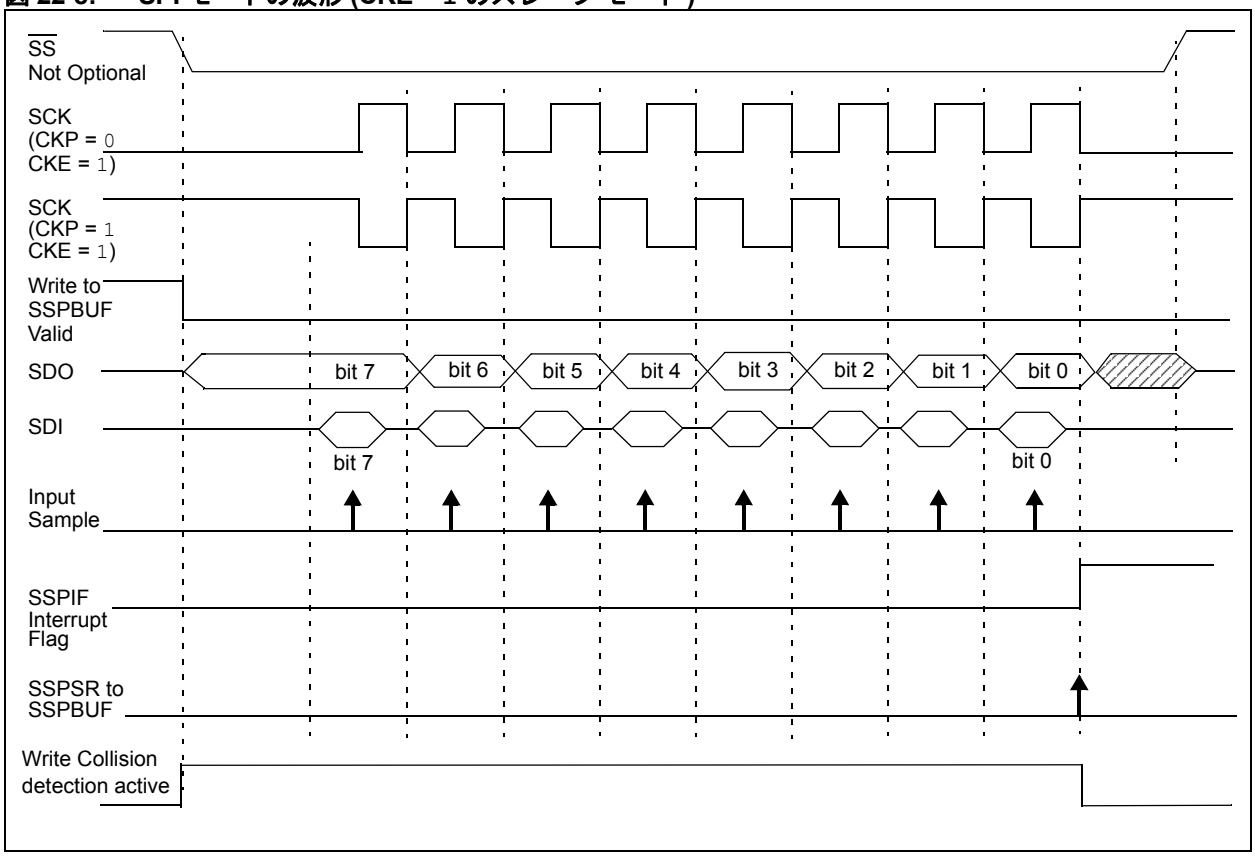


図 22-8: SPI モードの波形 (CKE = 1 のスレーブ モード)



22.3.8 電力管理モードの動作

SPI マスター モードの場合、モジュール クロックはフル パワー モード時と異なるスピードで動作する場合があります。スリープ時は、すべてのクロックが停止します。

MSSP クロックがシステム クロックよりも大幅に高速動作する場合は、特に注意する必要があります。

MSSP 割り込みが有効の場合は、マスターがデータを送信すると MSSP 割り込みによってコントローラがウェイクアップします。

- スリープからウェイクアップ (スレーブ モード)
- アイドル状態からウェイクアップ (スレーブまたはマスター モード)

スリープまたはアイドル モードからウェイクアップさせる必要がない場合は、MSSP 割り込みを無効にしてください。

SPI マスター モードの場合、スリープ モードに遷移するとすべてのモジュール クロックが停止し、送信 / 受信はデバイスがウェイクアップするまで、そのままのステートを保持します。デバイスが実行モードに戻ると、モジュールはデータの送信 / 受信を再開します。

SPI スレーブ モードの場合、SPI 送信 / 受信シフト レジスタはデバイスと非同期に動作します。このため、デバイスがいかなる電力管理モードの場合でも対応でき、データは SPI 送信 / 受信シフト レジスタへシフトされます。8 ビットすべてを受信すると、MSSP 割り込みフラグ ビットがセットされるため、割り込み機能が有効の場合はデバイスがウェイクアップします。

表 22-1: SPI 動作関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
APFCON	—	CCP3SEL	T1GSEL	P2BSEL	SRNQSEL	C2OUTSEL	SSSEL	CCP2SEL	84
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIR1	TMR1GIf	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
SSPBUF	Synchronous Serial Port Receive Buffer/Transmit Register								281*
SSPCON1	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	277
SSPCON3	ACKTIM	PCIE	SCIE	BOEN	SDAHT	SBCDE	AHEN	DHEN	279
SSPSTAT	SMP	CKE	D/$\overline{A}$	P	S	R/$\overline{W}$	UA	BF	276
TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	86
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	94

記号の説明 : 網掛けのビットは SPI モードの MSSP では使用しません。
* このページにはレジスタ情報が記載されています。

 © 2009 Microchip Technology Inc.

22.4 I²C モード

すべての MSSP I²C 通信は、MSB 順にバイト単位でシフトされます。6 個の SFR レジスタと 2 個の割り込みフラグが PIC® マイクロコントローラとユーザー ソフトウェアをモジュールと結び付けます。モジュールがその他の外部 I²C デバイスと通信するために、2 つのピン (SDA および SCL) を使用します。

22.4.1 SDA ピンおよび SCL ピン

I²C モードで SSPEN ビットがセットされている場合は、SCL と SDA ピンが強制的にオープン ドレインになります。これらのピンは、適切な TRIS ビットをセットしてユーザーが入力としてセットする必要があります。

注 : I²C モードが有効の場合、データ出力は 0 になります。

22.4.2 バイト形式

I²C のすべての通信は 9 ビットセグメントで実行されます。バイトは、マスターからスレーブ (またはその逆) へ送信され、その後に ACK ビットが返されます。SCL ラインの 8 番目の立ち下がりエッジの後、デバイスはデータ出力に使用していた SDA ピンを入力に切り替えて、次のクロック パルスで ACK ビットを受け取ります。

クロック信号 SCL は、マスター デバイスから供給されます。データは、SCL 信号が Low の間に変更可能で、クロックの立ち上がりエッジでサンプルされます。SCL 信号の High の間での SDA の変更は、バスの特定コンディションを示します。詳細は次のとおりです。

22.4.3 I²C に関する用語の説明

I²C で使用される特有の I²C 通信用語があります。用語の説明は、次の表を参照してください。これらの用語は、本データ シート内で特に説明せずに使用されています。この表は、Phillips 社の I²C 仕様書より引用したものです。

表 22-2: I²C バスの用語

TERM	Description
Transmitter	The device which shifts data out onto the bus.
Receiver	The device which shifts data in from the bus.
Master	The device that initiates a transfer, generates clock signals and terminates a transfer.
Slave	The device addressed by the master.
Multi-master	A bus with more than one device that can initiate data transfers.
Arbitration	Procedure to ensure that only one master at a time controls the bus. Winning arbitration ensures that the message is not corrupted.
Synchronization	Procedure to synchronize the clocks of two or more devices on the bus.
Idle	No master is controlling the bus, and both SDA and SCL lines are high.
Active	Any time one or more master devices are controlling the bus.
Addressed Slave	Slave device that has received a matching address and is actively being clocked by a master.
Matching Address	Address byte that is clocked into a slave that matches the value stored in SSPADD.
Write Request	Slave receives a matching address with R/$\overline{W}$ bit clear, and is ready to clock in data.
Read Request	Master sends an address byte with the R/$\overline{W}$ bit set, indicating that it wishes to clock data out of the Slave. This data is the next and all following bytes until a Restart or Stop.
Clock Stretching	When a device on the bus hold SCL low to stall communication.
Bus Collision	Any time the SDA line is sampled low by the module while it is outputting and expected high state.

22.4.4 スタート コンディション

I²C の仕様書によると、スタート コンディションとは、SCL が High の間に SDA が High から Low へ遷移する期間のことであると定義されています。スタート コンディションは常にマスターで生成され、バスがアイドル状態からアクティブ状態になったことを示します。図 22-9 に、スタート コンディションとストップ コンディションの波形を示します。

SDA が Low になる前にモジュールがこの信号を Low としてサンプルした場合、バスの衝突が発生します。この場合は、スタート時にバスの衝突は発生しないという I²C 仕様内容とは異なります。

注： Philips 社の I²C 仕様書には、アドレス シーケンス中には生じる場合があるが、スタート時にバス衝突は生じないと記述されています。

22.4.5 ストップ コンディション

ストップ コンディションは SCL が High の間に SDA が Low から High へ遷移する期間を示します。

注： ストップ コンディションが有効になる前に SCL が一度 Low 駆動する必要があります。つまり、SCL が High を保持したままの状態で SDA が High から Low へ遷移し、再び High へ遷移した場合はスタート コンディションのみ検出されます。

22.4.6 リスタート コンディション

リスタートは、ストップが有効の場合には常に有効です。マスターがリスタート コンディションを発行すると、現在の転送停止後にバスをホールドできます。リスタートはスタートと同じようにスレーブへ作用し、すべてのスレーブ ロジックをリセットしてアドレスへクロックを供給する準備をします。マスターは、同じスレーブまたは別のスレーブへアドレス指定できます。

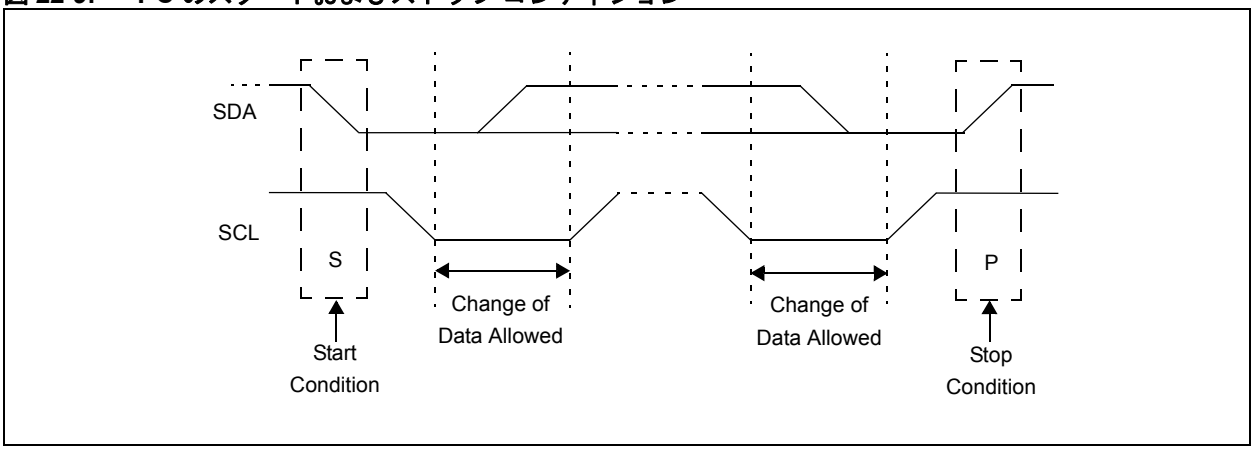
10 ビット アドレッシングのスレーブ モードの場合、指定したスレーブからデータを読み取るためにマスターがリスタートする必要があります。スレーブの全アドレスが指定され、上位アドレス バイトと下位アドレス バイトが両方一致すると、マスターがリスタートを生成し、R/$\overline{W}$ ビットがセットされた上位アドレス バイトを生成します。そして、スレーブ ロジックがクロックをホールドしてデータ出力の準備をします。

R/$\overline{W}$ ビットがクリアの状態で 10 ビットのアドレスがすべて一致した後、一致フラグの状態は、ストップ コンディションに続いて R/$\overline{W}$ ビットがクリアの状態で上位アドレスを受信したとき、または上位アドレスが一致しなかったときまでセットされたままです。

22.4.7 スタート / ストップ コンディションの割り込みマスク

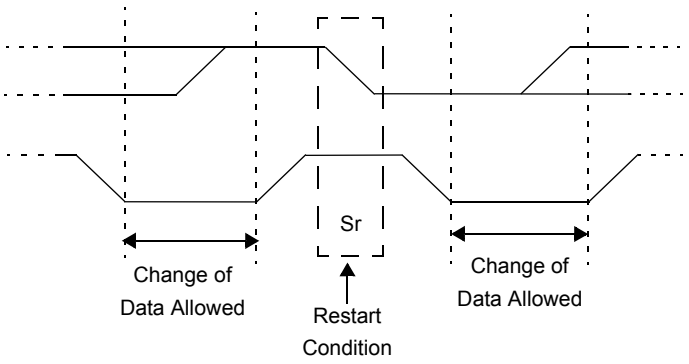
SSPCON3 レジスタの SCIE ビットおよび PCIE ビットを使用して、スレーブ モードの割り込み生成を有効にできます。スタート コンディションおよびストップ コンディションでの割り込み検出機能がすでに有効に設定されているスレーブ モードでは、これらのビットは影響しません。

図 22-9: I²C のスタートおよびストップ コンディション



 © 2009 Microchip Technology Inc.

図 22-10: I²C のリスタート コンディション



22.4.8 アクノレッジ シーケンス

I²C で転送されるバイトの 9 番目の SCL パルスは、アクノレッジ ビット専用です。これで、受信デバイスが SDA ラインを Low 駆動することで送信デバイスへ応答できるようになります。送信デバイスは、応答ビットをシフトインする間、ラインの制御を開放する必要があります。アクノレッジ (ACK) はアクティブ Low 信号であり、SDA 信号を Low 駆動することによって、送信されたデータ受信の完了および次のデータ受信の準備が整っていることを送信デバイスへ伝えます。

ACK の結果は、SSPCON2 レジスタの ACKSTAT ビットに配置されます。

AHEN ビットおよび DHEN ビットがセットされている場合は、ユーザーがスレーブ ソフトウェアを使用して送信デバイスへ送り返される ACK の値をセットできます。SSPCON2 レジスタの ACKDT ビットをセット / クリアして、応答を決定します。

SSPCON3 レジスタの AHEN ビットおよび DHEN ビットがクリアされている場合、スレーブ ハードウェアが ACK 応答を生成します。

例外として、スレーブが ACK を送信しない場合があります。それは、バイトが受信されたときに、SSPSTAT レジスタの BF ビットまたは SSPCON1 レジスタの SSPOV ビットがセットされた場合です。

22.5 I²C スレーブ モードの動作

MSSP スレーブ モードは 4 種類の動作モードがあり、SSPCON1 レジスタの SSPM ビットで選択します。これらの動作モードは、7 ビットと 10 ビットのアドレッシング モードに分かれています。10 ビット アドレッシング モードは、7 ビットの場合と同じ動作ですが、増加分のアドレス ビットを処理する時間 (オーバーヘッド) が余分に必要です。

スタートおよびストップ ビット割り込み付きモードは、SSPIF 付きのその他モードと同じ動作を行い、その上、スタート、リスタートまたはストップ コンディションの検出で割り込みビットがセットされます。

22.5.1 スレーブ モード アドレス

SSPADD レジスタ (レジスタ 22-6) には、スレーブ モード用のアドレスがあります。スタートまたはリスタート コンディション後、最初に受信したバイトがこのレジスタ内の値と比較されます。一致した値が SSPBUF レジスタにロードされると、割り込みが生成されます。値が一致しない場合は、モジュールがアイドル状態になり、ソフトウェアへの通知は何もありません。

SSP マスク レジスタ (レジスタ 22-5) は、アドレス一致プロセスに影響を与えます。詳細は、**22.5.9 項「SSP マスク レジスタ」**を参照してください。

22.5.1.1 I²C スレーブの 7 ビット アドレッシング モード

7 ビット アドレッシング モードでは、アドレスの一致を判断する際に受信データ バイトの LSB が無視されます。

22.5.1.2 I²C スレーブの 10 ビット アドレッシング モード

10 ビット アドレッシング モードの場合、最初の受信バイトがバイナリ値「1 1 1 1 0 A9 A8 0」と比較されます。A9 および A8 が 10 ビット アドレスの上位 2 ビットとなり、SSPADD レジスタのビット 2 およびビット 1 に格納されます。

上位バイトのアクノレッジ後、ユーザーが SSPADD レジスタに下位アドレスを書き込むまで UA ビットはセットされて SCL が Low を保持します。下位アドレス バイトが入力されると、8 ビットすべてが SSPADD レジスタにある下位アドレスと比較されます。アドレスが一致しない場合でも、SSPIF と UA がセットされ、SSPADD がアップデートされて再び上位バイトを受信するまで SCL は Low を保持します。SSPADD がアップデートされると、UA ビットはクリアされます。これにより、モジュールは次の通信で上位アドレス バイトを受信できるようになります。

すべての 10 ビット アドレッシング通信開始時には書き込み要求が必要なため、上位アドレスと下位アドレスが一致します。スレーブがアドレス指定されると、リスタートを発行して通信を開始でき、R/W ビットがセットされた上位アドレスを取り込みます。そしてスレーブ ハードウェアが読み出し要求を承認し、データ送信の準備をします。この動作は、スレーブが上位アドレス バイトと下位アドレス バイトが一致した完全データを受信した後にのみ有効です。

22.5.2 スレーブの受信

一致した受信アドレス バイトの R/W ビットがクリアされると、SSPSTAT レジスタの R/W ビットがクリアされます。受信アドレスが SSPBUF レジスタにロードされ、アクノレッジされます。

受信アドレスにオーバーフロー コンディションが適用されると、NACK が適用されます。オーバーフローは、SSPSTAT レジスタの BF ビットまたは SSPCON1 レジスタの SSPOV ビットがセットされることで定義されます。この動作を変更するには、SSPCON3 レジスタの BOEN ビットを使用します。詳細はレジスタ 22-4 を参照してください。

データ バイトが転送されるたびに MSSP 割り込みが生成されます。フラグ ビットの SSPIF は、ソフトウェアでクリアする必要があります。

SSPCON2 レジスタの SEN ビットをセットした場合は、各バイトの受信後に SCL が Low 駆動を続けます (クロック ストレッチ)。このクロックは、SSPCON1 レジスタの CKP ビットをセットして開

 © 2009 Microchip Technology Inc.

放する必要があります (10 ビット モードの場合は例外があります)。詳細は、**22.3.5 項「マスター モード」**を参照してください。

22.5.2.1 7 ビット アドレスの受信

本セクションでは、7 ビット アドレッシング モードの I^2C として設定された MSSP モジュールの一般的なシーケンスについて説明します。すべての判断は、ハードウェアまたはソフトウェアで行われ、受信デバイスへ影響します。図22-11 および 図22-12 に、これらのシーケンスの波形を示します。

I^2C 通信で必要な一般的な手順を次に示します。

1. スタート ビットが検出されます。
2. SSPSTAT の S ビットがセットされます。スタート割り込み検出機能を有効にする場合は SSPIF がセットされます。
3. R/$\overline{W}$ ビットがクリアの状態で一致アドレスが受信されます。
4. スレーブがマスターへ $\overline{ACK}$ 信号を送信して SDA を Low 駆動し、SSPIF ビットをセットします。
5. ソフトウェアで SSPIF ビットをクリアします。
6. ソフトウェアが SSPBUF から受信アドレスを読み出して BF フラグをクリアします。
7. SEN = 1 の場合、スレーブ ソフトウェアが CKP ビットをセットして SCL ラインを開放します。
8. マスターがデータ バイトを送信します。
9. スレーブがマスターへ $\overline{ACK}$ 信号を送信して SDA を Low 駆動し、SSPIF ビットをセットします。
10. ソフトウェアで SSPIF をクリアします。
11. ソフトウェアが SSPBUF から受信バイトを読み出して、BF ビットをクリアします。
12. マスターからのすべての受信バイトに対して、手順 8 ～ 12 が繰り返されます。
13. SSPSTAT の P ビットをセットしてマスターがストップ コンディションを送信し、バスがアイドル状態になります。

22.5.2.2 AHEN と DHEN を使用する 7 ビット受信

AHEN および DHEN をセットしたスレーブ デバイスの受信動作は、これらのオプションを使用しない場合と類似していますが、SCL の 8 番目の立ち下がりエッジの後に割り込みとクロック ストレッチが追加されます。これらの割り込みによって、ハードウェアではなくスレーブ ソフトウェアが受信アドレス バイトや受信データ バイトに対して $\overline{ACK}$ 応答信号を生成できます。この機能により、このモジュールの前バージョンにはない PMBus™ が新たにサポートされるようになりました。

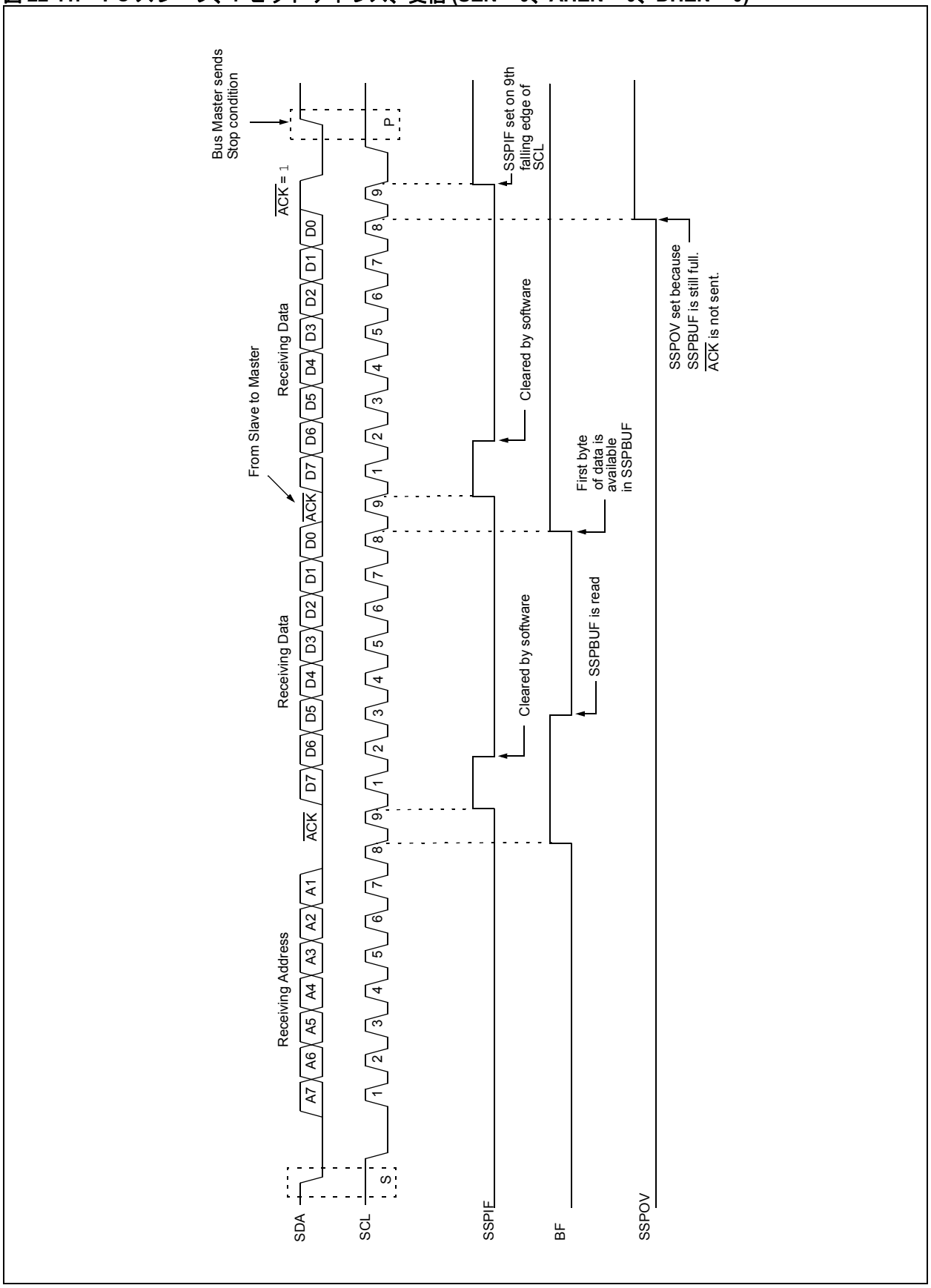
ここでは、I^2C 通信においてスレーブ ソフトウェアがこれらのオプションをした場合に必要な手順を説明します。図 22-13 に、AHEN と DHEN を両方有効にしたモジュールの波形を示し、図 22-14 に、SSPCON2 レジスタの SEN ビットをセットした波形を示します。

1. SSPSTAT の S ビットがセットされます。スタート割り込み検出機能が有効の場合は SSPIF がセットされます。
2. R/$\overline{W}$ ビットがクリアの状態で一致アドレスが取り込まれます。SSPIF がセットされ、SCL の 8 番目の立ち下がりエッジの後に CKP がクリアされます。
3. スレーブが SSPIF をクリアします。
4. スレーブは、SSPCON3 レジスタの ACKTIM ビットを確認して、SSPIF が $\overline{ACK}$ の前または後のいずれであるかを判断できます。
5. ソフトウェアが SSPBUF から受信アドレスを読み出して BF フラグをクリアします。
6. スレーブが ACKDT をセットして、$\overline{ACK}$ 値をマスターへ送信します。
7. CKP をセットしてスレーブがクロックを開放します。
8. $\overline{ACK}$ パルスの後に SSPIF がセットされます (NACK の場合はセットされない)。
9. SEN = 1 の場合、スレーブ ハードウェアが $\overline{ACK}$ の後のクロック ステートをホールド (クロック ストレッチ) します。
10. スレーブが SSPIF をクリアします。

> **注 :** クロック ストレッチが無効で、BF がクリアされた場合でも、SSPIF は SCL の 9 番目の立ち下がりエッジ後にセットされた状態となります。NACK がマスターへ送信された場合のみ、SSPIF がクリアされた状態になります。

11. データ バイト受信における SCL の 8 番目の立ち下がりエッジ後で SSPIF がセットされて CKP がクリアされます。
12. スレーブが SSPCON3 レジスタの ACKTIM ビットを確認して、割り込みソースを決定します。
13. スレーブが SSPBUF から受信バイトを読み出して、BF ビットをクリアします。
14. 各受信データ バイトに対して、手順 7 ～ 14 が繰り返されます。
15. スレーブが $\overline{ACK}$ = 1 を送信、またはマスターがストップ コンディションを送信すると、通信が終了されます。ストップ コンディションが送信されても、ストップ コンディション割り込み検出が無効になっている場合は、スレーブが通信の終了を認識するために SSTSTAT レジスタの P ビットをポーリングする必要があります。

図 22-11: I²C スレーブ、7 ビット アドレス、受信 (SEN = 0、AHEN = 0、DHEN = 0)



© 2009 Microchip Technology Inc.

図 22-12: I²C スレーブ、7 ビット アドレス、受信 (SEN = 1、AHEN = 0、DHEN = 0)

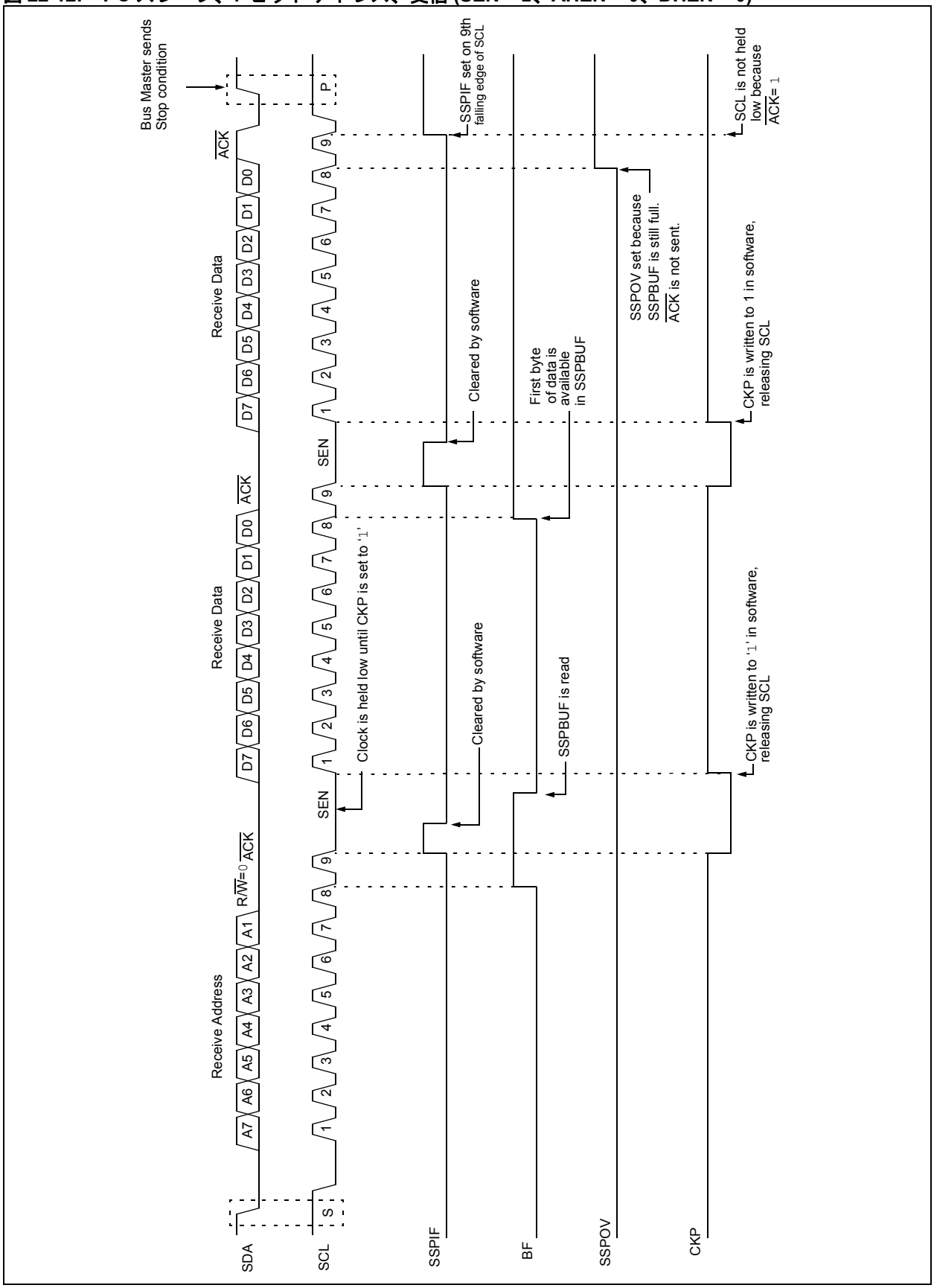
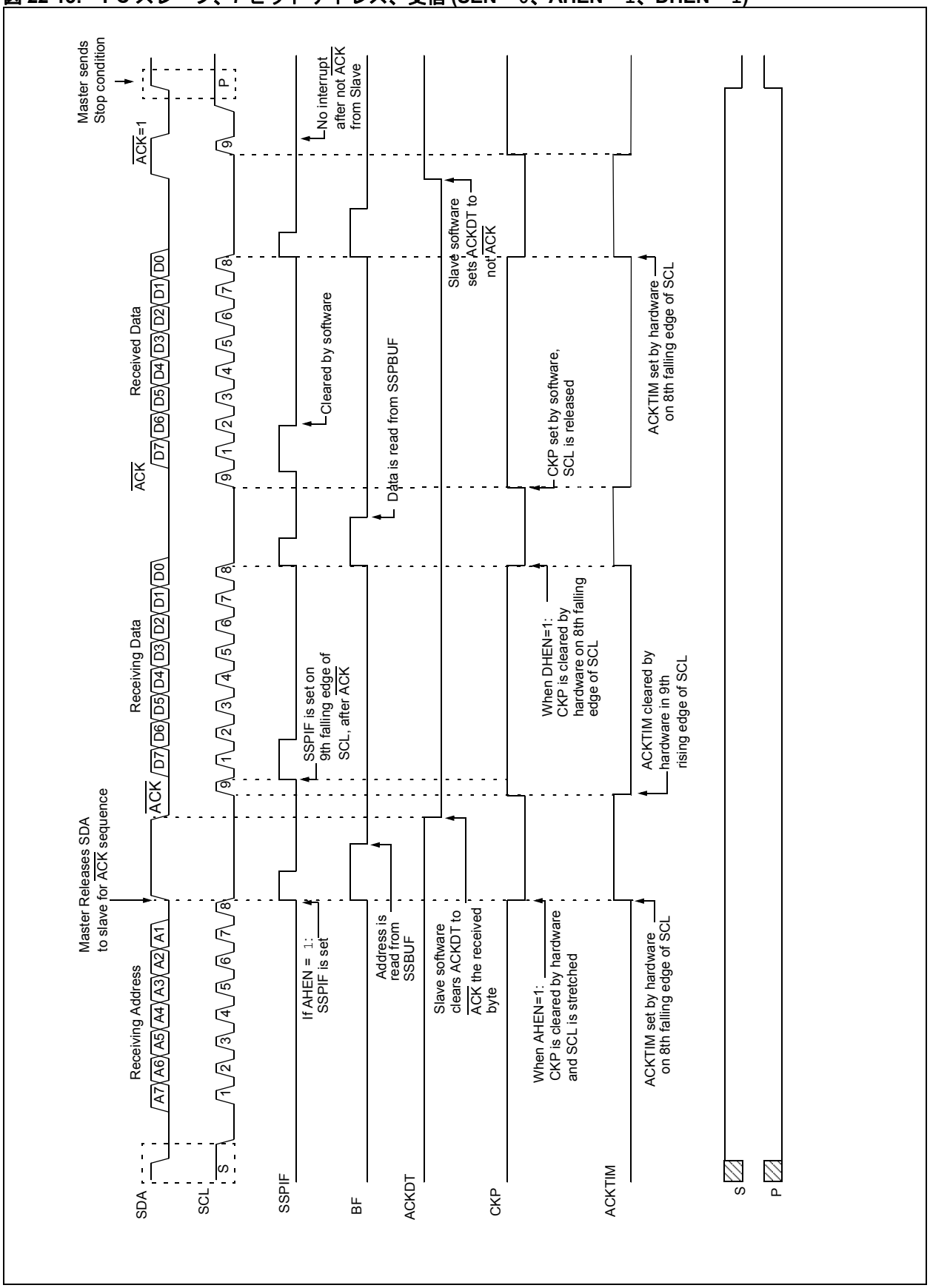
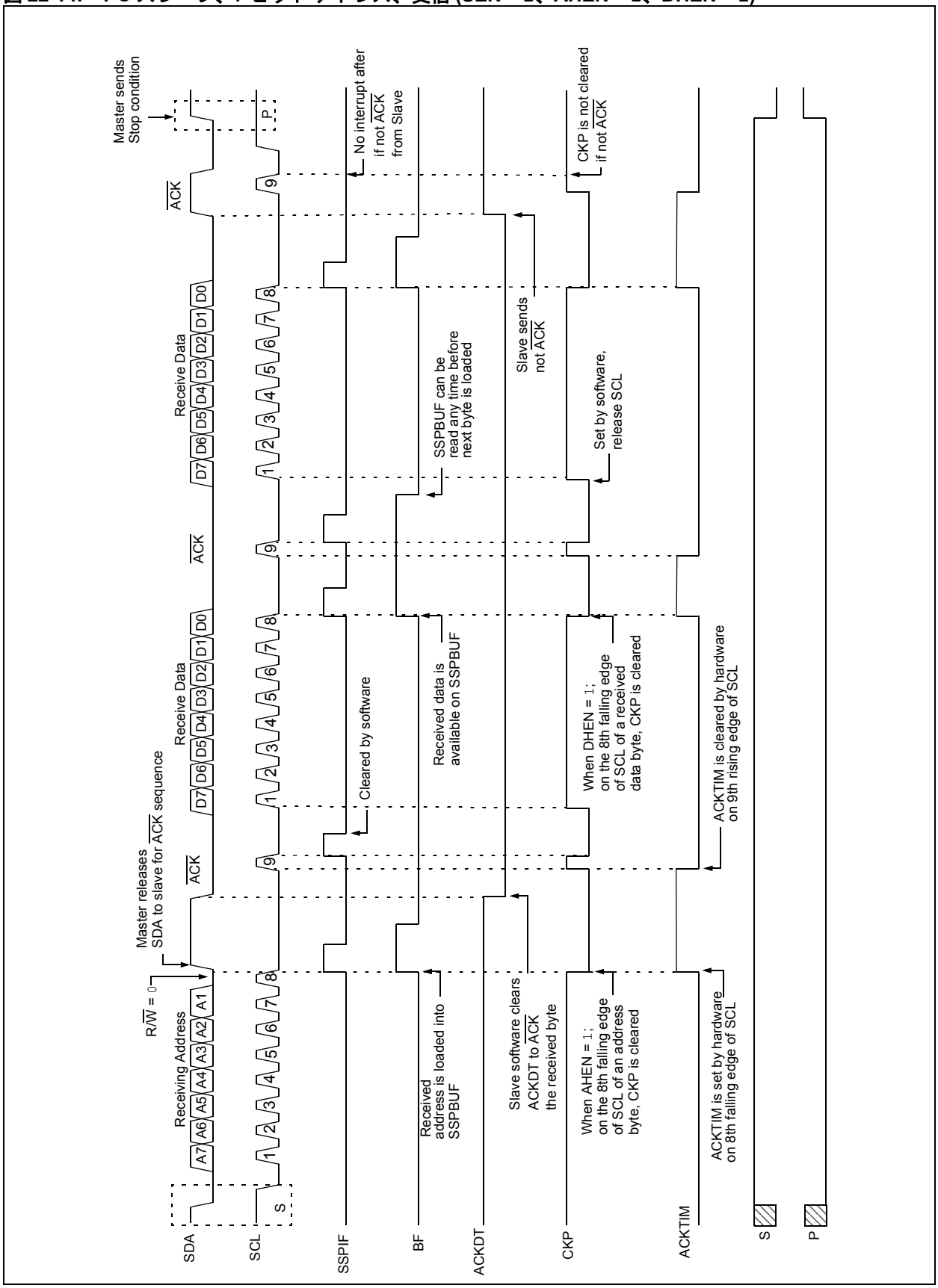


図 22-13: I²C スレーブ、7 ビット アドレス、受信 (SEN = 0、AHEN = 1、DHEN = 1)



© 2009 Microchip Technology Inc.

図 22-14: I²C スレーブ、7 ビット アドレス、受信 (SEN = 1、AHEN = 1、DHEN = 1)



22.5.3 スレーブ送信

入力されるアドレス バイトの R/$\overline{W}$ ビットがセットされおり、アドレスが一致している場合は、SSPSTAT レジスタの R/$\overline{W}$ ビットがセットされます。受信したアドレスが SSPBUF レジスタへロードされると、スレーブによって 9 番目のビットで $\overline{ACK}$ パルスが送信されます。

$\overline{ACK}$ の後、スレーブ ハードウェアが CKP ビットをクリアして SCL ピンでは Low が保持されます (詳細は **22.5.6 項「クロック ストレッチ」**を参照してください。)。クロック ストレッチ機能を有効にすることによって、スレーブの送信データ準備が完了するまでマスターが次のクロック パルスをアサートできなくなります。

送信データは SSPBUF レジスタにロードされてから、SSPSR レジスタへ送信されます。その後、SSPCON1 レジスタの CKP ビットをセットすることによって SCL ピンが開放されます。8 ビット データは、SCL 入力の立ち下がりエッジでシフト アウトされます。これにより、SCL が High 駆動している間は SDA 信号が確実に有効になります。

マスター レシーバからの $\overline{ACK}$ パルスは、SCL 入力パルスの 9 番目の立ち上がりエッジでラッチされます。この $\overline{ACK}$ 値は、SSPCON2 レジスタの ACKSTAT ビットへコピーされます。ACKSTAT がセット (NOT $\overline{ACK}$) されると、データ送信が完了したことを示します。この場合、NOT $\overline{ACK}$ がスレーブでラッチされると、スレーブがアイドル状態に遷移して次のスタート ビットが到達するまで待機します。SDA が Low ($\overline{ACK}$) の場合は、次の送信データが SSPBUF レジスタにロードされます。そして、CKP ビットをセットして SCL ピンを開放する必要があります。

データ バイトが転送されるたびに MSSP 割り込みが生成されます。SSPIF ビットは、ユーザーによってソフトウェアでクリアされる必要があり、バイトのステータスを判断するには SSPSTAT レジスタを使用します。SSPIF ビットは、クロック パルスの 9 番目の立ち下がりエッジでセットされます。

22.5.3.1 7 ビットの送信

マスター デバイスは、スレーブ デバイスへ読み出し要求を送信し、スレーブからデータを読み出すことが可能です。ここでは、通常の送信動作においてスレーブ ソフトウェアが実行すべき手順を説明します。図 22-15 には、この動作の波形を示します。

1. マスターが SDA および SCL にスタート コンディションを送信します。
2. SSPSTAT の S ビットがセットされます。スタート割り込み検出機能が有効の場合は SSPIF がセットされます。
3. R/$\overline{W}$ ビットがセットの状態で一致アドレスがスレーブで受信されます。
4. スレーブ ハードウェアが $\overline{ACK}$ を生成して SSPIF をセットします。
5. ユーザーによって SSPIF ビットがクリアされます。
6. ソフトウェアが SSPBUF から受信アドレス読み出して、BF ビットをクリアします。
7. R/$\overline{W}$ がセットされているため、CKP は $\overline{ACK}$ の後に自動的にクリアされています。
8. スレーブ ソフトウェアが SSPBUF へ送信データをロードします。
9. CKP ビットがセットされて SCL が開放されると、マスターはスレーブからデータを読み出すことができます。
10. マスターからの $\overline{ACK}$ 応答後、SSPIF がセットされます。ACK の値は、ACKSTAT レジスタへロードされます。
11. SSPIF ビットがクリアされます。
12. スレーブ ソフトウェアは、ACKSTAT ビットをチェックしてマスターに送信データがあるか確認します。

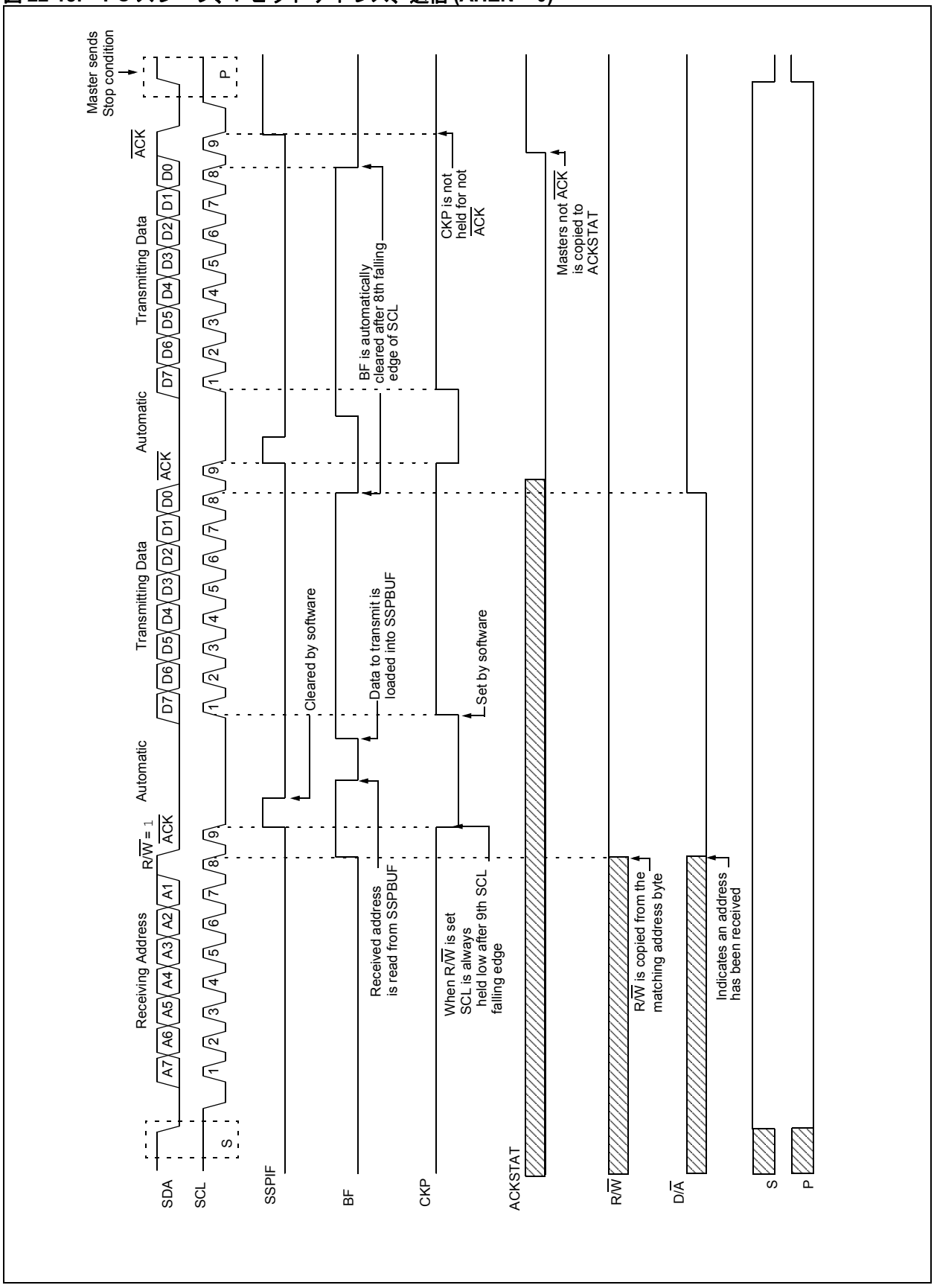
注 1: マスターが $\overline{ACK}$ を生成すると、クロックがストレッチされます。

2: ACKSTAT は、SCL の 9 番目の立ち上がりエッジ (立ち下がりエッジではない) でアップデートされるビットです。

13. すべての送信バイトに対して、手順 9 ～ 13 が繰り返されます。
14. マスターが NOT $\overline{ACK}$ を送信した場合、クロックはホールドされませんが、SSPIF はセットされたままの状態になります。
15. マスターがリスタート コンディションまたはストップ コンディションを送信します。
16. スレーブは、アドレス指定されません。

 © 2009 Microchip Technology Inc.

図 22-15: I²C スレーブ、7 ビット アドレス、送信 (AHEN = 0)



22.5.3.2 7 ビット送信 (アドレス ホールド機能が有効)

SSPCON3 レジスタの AHEN ビットをセットすると、一致アドレスの受信 (8 番目の立ち下がりエッジ) 後にクロック ストレッチおよび割り込み生成が追加されます。一致アドレスの読み出しが完了すると、CKP がクリアされて SSPIF 割り込みがセットされます。

図 22-16 に、AHEN を有効にした 7 ビットのスレーブ送信の一般的な波形を示します。

1. バスがアイドル状態に遷移します。
2. マスターがスタート コンディションを送信します。SSPSTAT の S ビットがセットされます。スタート割り込み検出機能が有効の場合は SSPIF がセットされます。
3. マスターは、R/$\overline{W}$ ビットがセット状態で一致アドレスを送信します。SCL の 8 番目の立ち下がりエッジの後、CKP ビットがクリアされて SSPIF 割り込みが生成されます。
4. スレーブ ソフトウェアで SSPIF をクリアします。
5. スレーブ ソフトウェアが、SSPCON3 レジスタの ACKTIM ビットおよび SSPSTAT レジスタの R/$\overline{W}$ と D/$\overline{A}$ を読み出して、割り込みソースを決定します。
6. ソフトウェアが SSPBUF からアドレス値を読み出して BF フラグをクリアします。
7. スレーブ ソフトウェアは、この情報に基づいて $\overline{ACK}$ または NOT $\overline{ACK}$ のいずれかを判断し、それによって SSPCON2 レジスタの ACKDT ビットをセットします。
8. スレーブが CKP ビットをセットして SCL を開放します。
9. マスターは、スレーブから $\overline{ACK}$ 値を取得します。
10. R/$\overline{W}$ ビットがセットされている場合は、$\overline{ACK}$ の後にスレーブ ハードウェアが自動的に CKP ビットをクリアして SSPIF ビットをセットします。
11. スレーブ ソフトウェアで SSPIF をクリアします。
12. スレーブが、マスターへ送信する値を SSPBUF へロードして、BF ビットがセットされます。

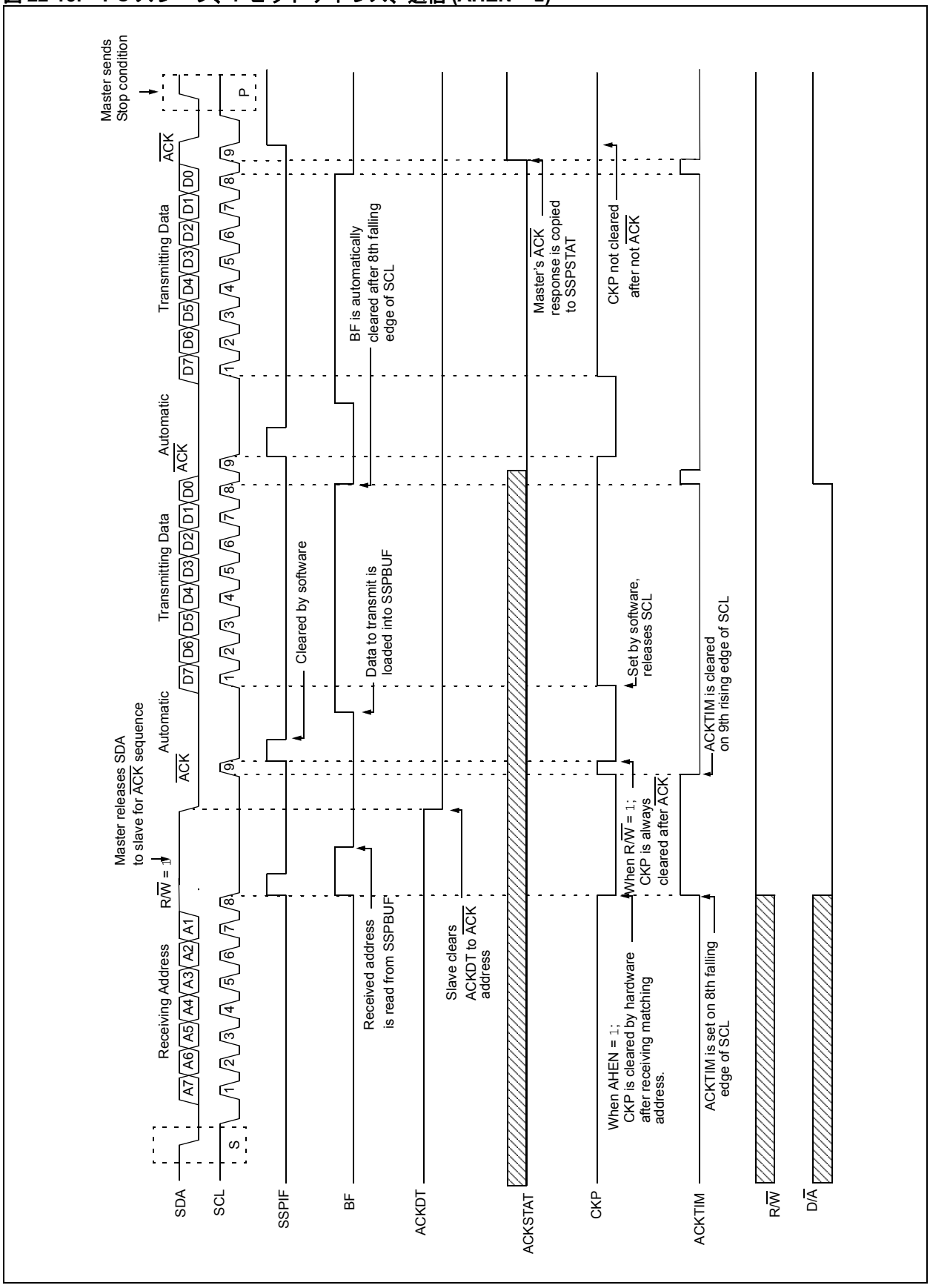
> **注 :** $\overline{ACK}$ が生成されるまで、SSBUF にデータをロードできません。

13. スレーブが CKP ビットをセットしてクロックを開放します。
14. マスターは、スレーブからデータを取得し、SCL の 9 番目のパルスで $\overline{ACK}$ 値を送信します。
15. スレーブ ハードウェアは、SSPCON2 レジスタの ACKSTAT ビットへ $\overline{ACK}$ 値をコピーします。
16. スレーブからマスターへバイト送信されるたびに、手順 10 ～ 15 が繰り返されます。
17. マスターが NOT $\overline{ACK}$ を送信した場合は、スレーブがバスを開放するため、ストップ コンディションを送信することによって通信を終了できます。

> **注 :** 最後のバイト送信では、スレーブが SCL を開放してストップ コンディションを受信できるようにするため、マスターは NOT $\overline{ACK}$ を送信する必要があります。

 © 2009 Microchip Technology Inc.

図 22-16: I²C スレーブ、7 ビット アドレス、送信 (AHEN = 1)



22.5.4 スレーブ モードの 10 ビット アドレス受信

本セクションでは、10 ビット アドレッシング モードの I^2C として設定された MSSP モジュールの一般的なシーケンスについて説明します。

図 22-17 、図 22-18、および図 22-19 に、このシーケンスの波形を示します。

I^2C 通信でスレーブ ソフトウェアがすべき一般的な手順を次に示します。

1. バスがアイドル状態に遷移します。
2. マスターがスタート コンディションを送信します。SSPSTAT の S ビットがセットされます。スタート割り込み検出機能が有効の場合は SSPIF がセットされます。
3. マスターが、R/$\overline{W}$ ビットがクリアされた一致上位アドレスを送信します。SSPSTAT レジスタの UA ビットがセットされます。
4. スレーブが $\overline{ACK}$ を送信し、SSPIF がセットされます。
5. ソフトウェアで SSPIF ビットをクリアします。
6. ソフトウェアが SSPBUF から受信アドレスを読み出して BF フラグをクリアします。
7. スレーブが SSPADD に下位アドレスをロードし、SCL を開放します。
8. マスターが、一致する下位アドレス バイトをスレーブへ送信します。UA ビットがセットされます。

注 : $\overline{ACK}$ シーケンスが完了するまで、SSPADD レジスタへのアップデートは許可されません。

9. スレーブが $\overline{ACK}$ を送信し、SSPIF がセットされます。

注 : 下位アドレスが一致しない場合、SSPIF および UA はセットされたままなので、スレーブ ソフトウェアが SSPADD に上位アドレス戻すことが可能です。一致していないため、BF はセットされません。CKP には影響しません。

10. スレーブが SSPIF をクリアします。
11. スレーブが SSPBUF から受信した一致アドレスを読み出して、BF ビットをクリアします。
12. スレーブが SSPADD へ上位アドレスをロードします。
13. マスターがスレーブへデータ バイトを送信し 9 番目の SCL パルスでスレーブの $\overline{ACK}$ を認識し、SSPIF がセットされます。
14. SSPCON2 の SEN ビットがセットされている場合は、ハードウェアによって CKP がクリアされてクロックがストレッチされます。
15. スレーブが SSPIF をクリアします。
16. スレーブが SSPBUF から受信バイトを読み出して、BF ビットをクリアします。
17. SEN ビットがセットされている場合、スレーブは SCL を開放するために CKP をセットします。
18. 各受信バイトに対して、手順 13 ～ 17 が繰り返されます。
19. マスターがストップ コンディションを送信して、通信が停止します。

22.5.5 10 ビット アドレッシング (アドレス ホールド / データ ホールドあり)

AHEN または DHEN をセットした 10 ビット アドレッシングを使用する受信動作は、7 ビット モードの場合と同じです。唯一異なる点は、UA ビットを使用して SSPADD レジスタをアップデートする必要があることです。CKP ビットがクリアされて SCL が Low を保持するタイミングなど、すべての動作が同じです。図 22-18 に、AHEN がセットされた 10 ビット アドレッシングのスレーブ波形を示します。

図 22-19 に、10 ビット アドレッシング モードでのスレーブ送信デバイスの一般的な波形を示します。

 © 2009 Microchip Technology Inc.

図 22-17: I²C スレーブ、10 ビット アドレス、受信 (SEN = 1、AHEN = 0、DHEN = 0)

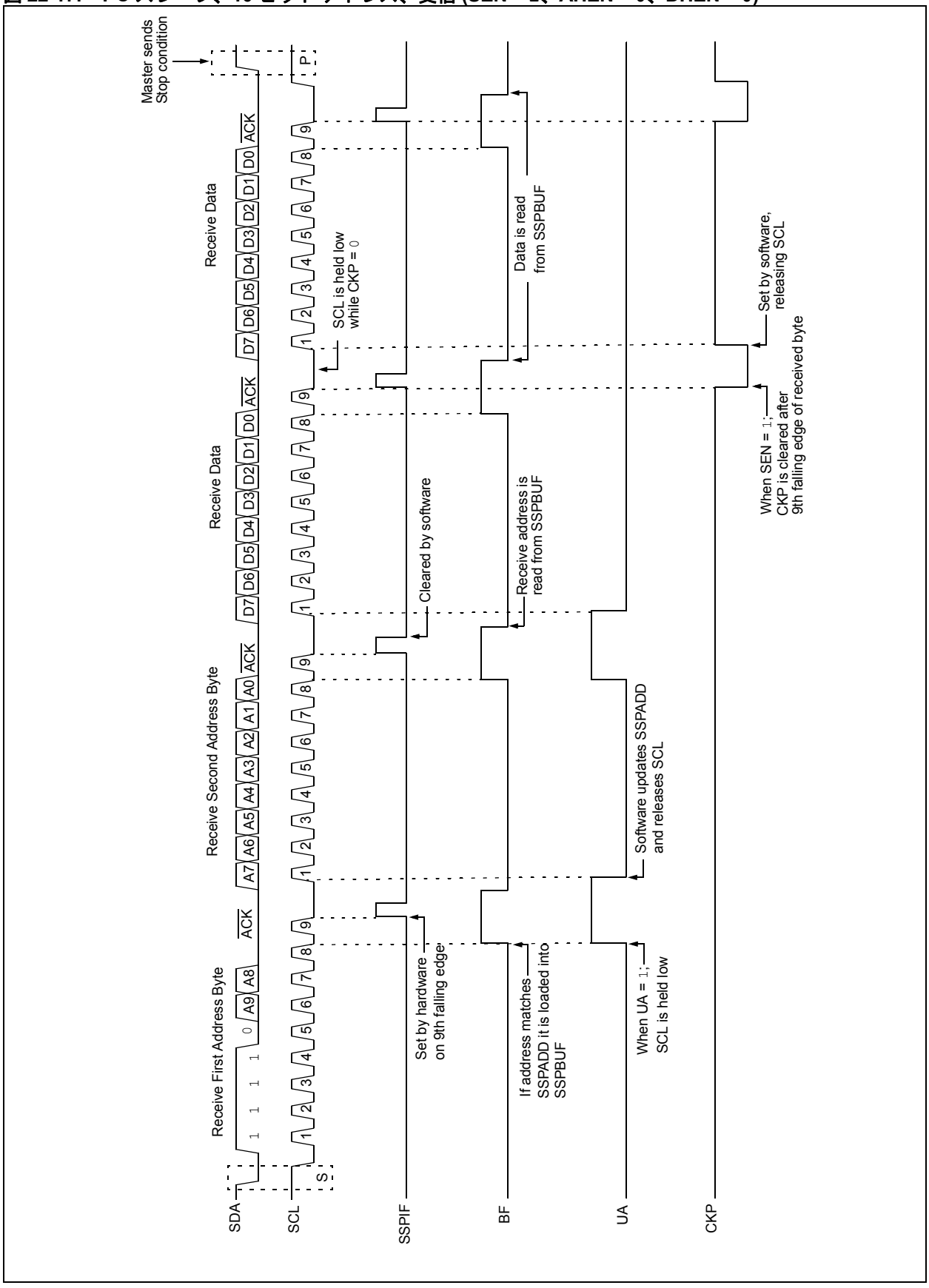
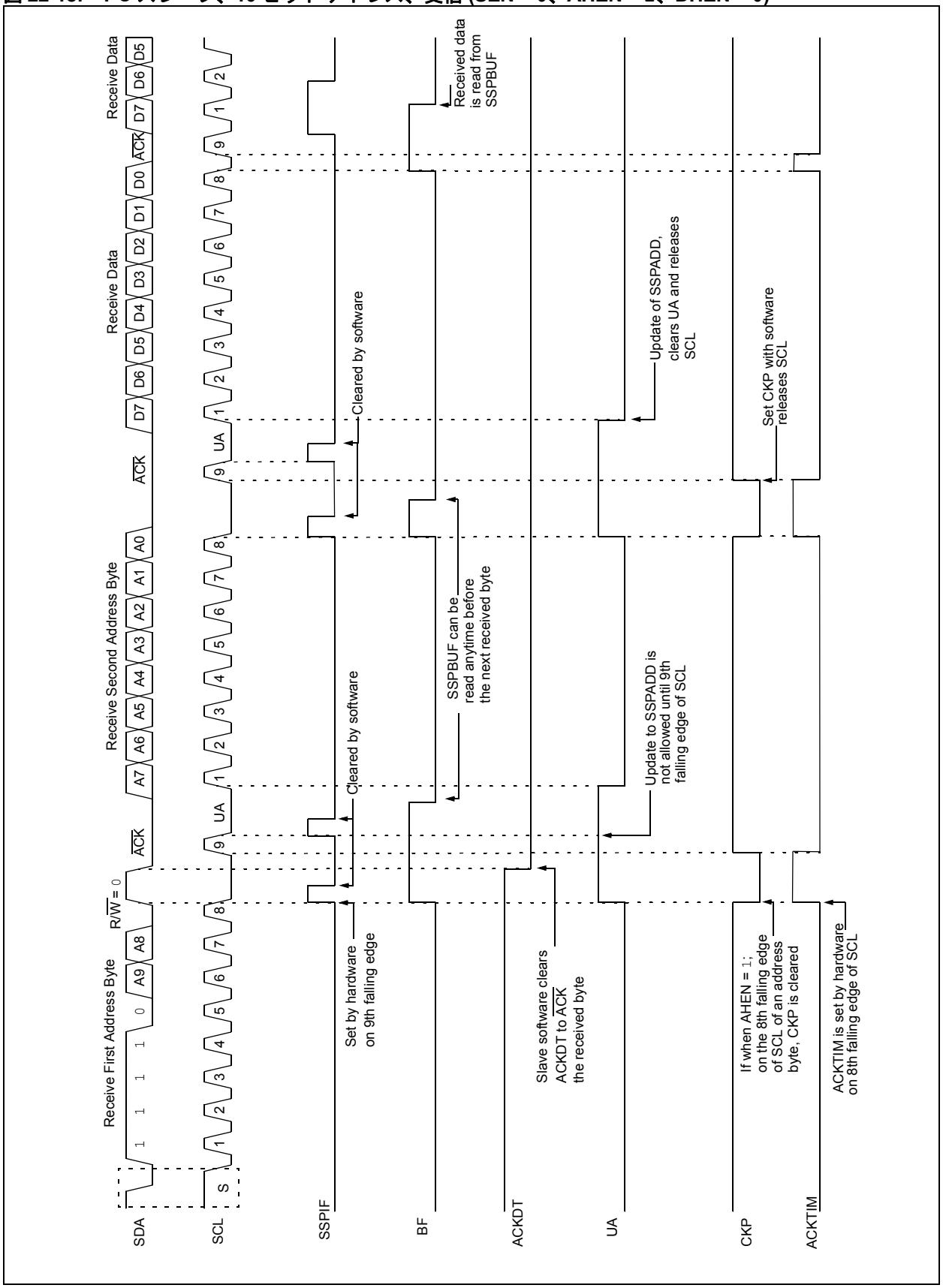
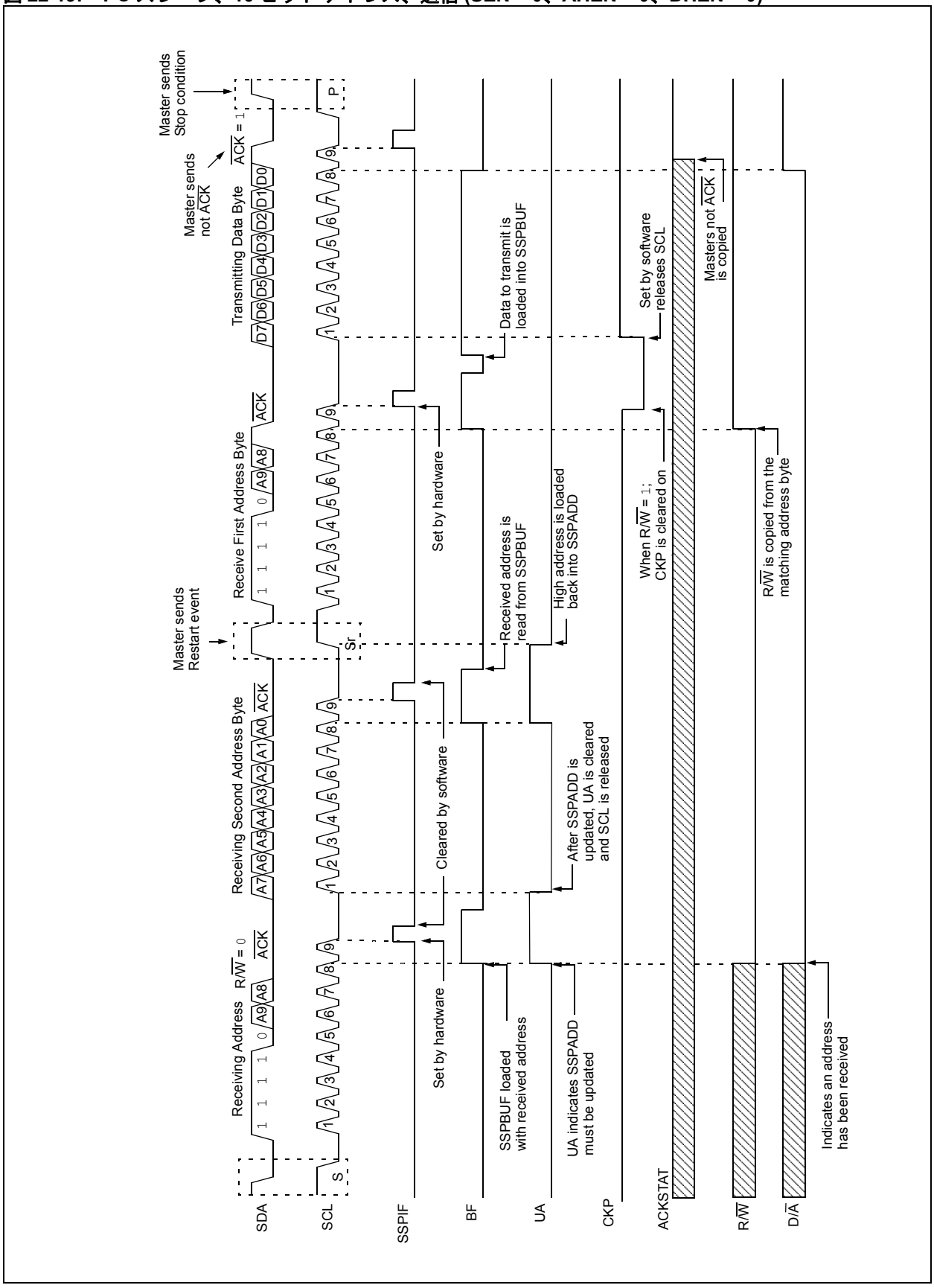


図 22-18: I²C スレーブ、10 ビット アドレス、受信 (SEN = 0、AHEN = 1、DHEN = 0)



© 2009 Microchip Technology Inc.

図 22-19: I²C スレーブ、10 ビット アドレス、送信 (SEN = 0、AHEN = 0、DHEN = 0)



22.5.6 クロック ストレッチ

クロック ストレッチとは、バス上に接続されたデバイスが SCL ラインを強制的に Low 駆動することで実際に通信が停止することです。スレーブは、このクロック ストレッチ機能を使用することによって、データ処理やマスターへの応答準備の時間を作ることができます。マスターは、この機能とは無関係に動作し常にアクティブとなりますが、クロックが Low 駆動されている間はデータを送信できません。マスター ソフトウェアは、スレーブによるクロック ストレッチを認識できないため、この動作は SCL を生成するハードウェアで処理されます。

SSPCON1 レジスタの CKP ビットを使用して、ソフトウェアのストレッチを制御します。CKP ビットがクリアされると、モジュールは SCL 信号が Low になるまで待機し、その後 Low を保持します。CKP をセットすると、SCL の Low レベル保持が開放されて通信が再開します。

22.5.6.1 通常のクロック ストレッチ

SSPSTAT レジスタの R/$\overline{W}$ ビットがセットされ、読み出し要求が実行された場合、$\overline{ACK}$ パルスの後にスレーブ ハードウェアが CKP をクリアします。これによって、スレーブは、マスターへ送信するデータを SSPBUF へロードする時間を確保することができます。SSPCON2 の SEN がセットされている場合は常に、スレーブが $\overline{ACK}$ シーケンスの後にクロック ストレッチを実行できます。スレーブの準備が整うと、ソフトウェアによって CKP がセットされて通信が再開します。

注 1: BF ビットは、クロック ストレッチ機能を制御できません。これは、以前のバージョンと異なります。以前は、SCL の 9 番目の立ち下がりエッジより前に SSPBUF が読み出された場合に、クロックがストレッチされず、CKP がクリアされました。

2: 以前のモジュール バージョンでは、SCL の 9 番目の立ち下がりエッジより前に SSPBUF へデータがロードされた場合、送信用のクロックはストレッチ (停止) されませんでした。現バージョンでは、読み出し要求に対して常に CKP がクリアされます。

22.5.6.2 10 ビット アドレッシング モード

10 ビット アドレッシング モードの場合、UA ビットがセットされるとクロックは常にストレッチされます。これは、CKP がクリアされずに SCL がストレッチされる唯一の時間です。SSPADD への書き込みが実行されるとすぐに、SCL は開放されます。

注 : 以前のモジュール バージョンでは、2 番目のアドレス バイトが一致しない場合、モジュールはクロックをストレッチしませんでした。

22.5.6.3 Byte NACKing

SSPCON3 の AHEN ビットがセットされている場合、CKP は一致アドレスを受信する SCL の 8 番目の立ち下がりエッジの後にハードウェアによってクリアされます。SSPCON3 の DHEN ビットがセットされている場合、CKP はデータ受信用の SCL の 8 番目の立ち下がりエッジの後にクリアされます。

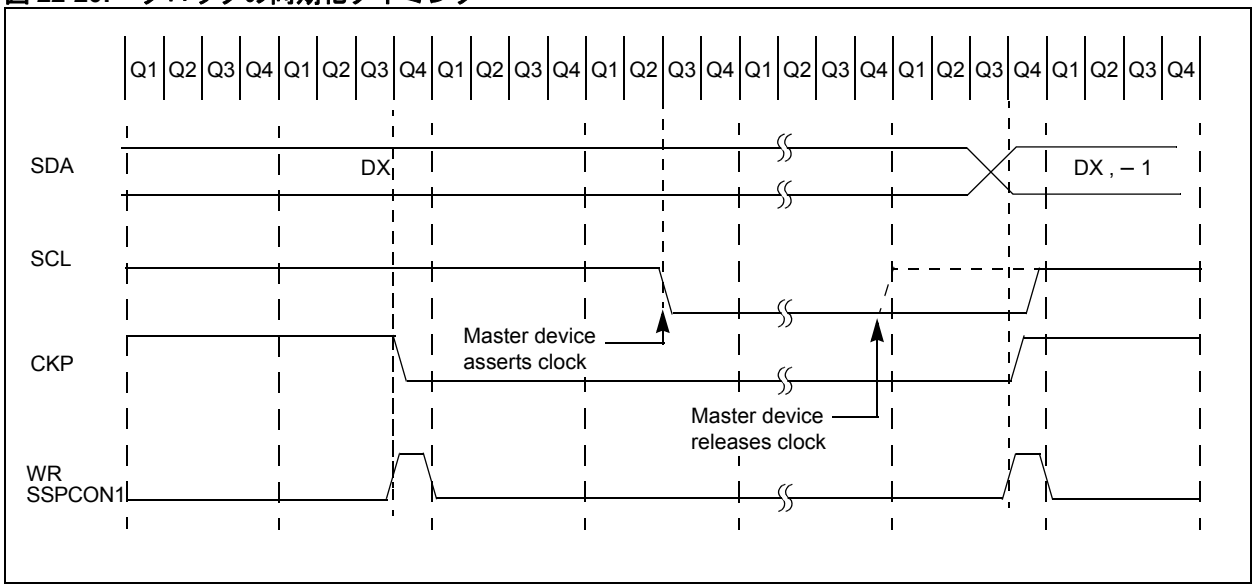
SCL の 8 番目の立ち下がりエッジの後でクロックがストレッチされると、スレーブは受信アドレスや受信データを処理して ACK の送信を判断できます。

22.5.7 クロックの同期化および CKP ビット

CKP ビットがクリアされると、モジュールは SCL 信号が Low になるまで待機し、その後 Low を保持します。ただし、CKP ビットをクリアしても、SCL 出力が既に Low でサンプルされていないと、SCL 出力を Low のアサートすることはありません。つまり外部 I^2C マスター デバイスが既に SCL ラインをアサートし終わっていないと、CKP ビットは SCL ラインをアサートしません。SCL 出力は、CKP ビットがセットされて I^2C バス上のその他すべてのデバイスが SCL を開放するまで Low を保持します。これにより、CKP ビットへの書き込みが SCL の最小 High 時間要件を違反することはありません (図 22-20 参照)

 © 2009 Microchip Technology Inc.

図 22-20: クロックの同期化タイミング



22.5.8 一括呼び出しアドレスのサポート

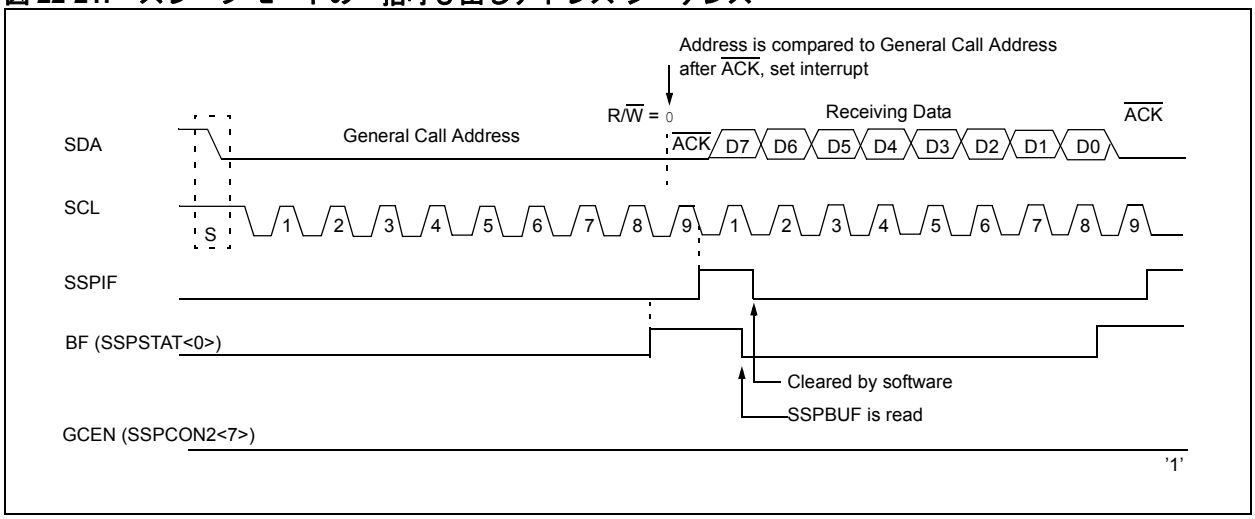
I^2C バスのアドレス指定方法とは、通常、スタートビットの後に来る最初のバイトが、マスター デバイスでアドレス指定されるスレーブ デバイスを示します。例外として、一括呼び出しアドレスはすべてのデバイスをアドレス指定できます。このアドレスを使用すると、理論上は全デバイスがアクナリッジで応答します。

一括呼び出しアドレスは、I^2C プロトコルの予約アドレスであり、address 0x00 として定義されます。SSPCON2 レジスタの GCEN ビットがセットされている場合、スレーブ モジュールは SSPADD の値を考慮せずに、このアドレス受信に対して $\overline{ACK}$ を返します。スレーブが、R/$\overline{W}$ ビットのクリアされたすべて 0 のアドレス値を受信後に割り込みが生成され、スレーブ ソフトウェアが SSPBUF を読み出して応答できます。図 22-21 に、一括呼び出しの受信シーケンスを示します。

10 ビット アドレス モードの場合、一括呼び出しアドレスの受信で UA ビットはセットされません。スレーブは、7 ビット モードと同じように 2 番目のバイトをデータとして受信する準備をします。

SSPCON3 レジスタの AHEN ビットがセットされた場合、通常のアドレス受信と同じように、スレーブ ハードウェアは SCL の 8 番目の立ち下がりエッジ後にクロックをストレッチ (Low 駆動) します。その後、スレーブは ACKDT の値を決定して、通常の通信を再開させるためクロックを開放する必要があります。

図 22-21: スレーブ モードの一括呼び出しアドレス シーケンス



22.5.9 SSP マスク レジスタ

I²C スレーブ モードでは、SSP マスク (SSPMSK) レジスタ (レジスタ 22-5) を使用して、アドレス比較動作中に SSPSR レジスタに格納された値をマスクできます。SSPMSK レジスタのゼロ (「0」) ビットがマスク ビットとなり、受信アドレスの対応ビットは "don't care" として処理されます。

このレジスタは、リセット時にすべて「1」に戻り、マスク ビットを設定するまで通常の SSP 動作を続けます。

SSP マスク レジスタは、次の場合にアクティブになります。

- 7 ビット アドレッシング モードの場合 : アドレス比較ビット A<7:1>
- 10 ビット アドレッシング モードの場合 : アドレス比較ビット A<7:0> のみ。SSP マスクは、1 番目の (上位) バイトアドレスの受信中は無効となる

22.6 I²C マスター モード

マスター モードを有効にする場合は、SSPCON1 レジスタの SSPM ビットを適切にセット/クリアして、SSPEN ビットをセットします。このモードでは、SCL と SDA が入力として設定され、MSSP ハードウェアによって操作されます。

マスター モードの動作は、スタート コンディションやストップ コンディションの検出による割り込み生成でサポートされます。ストップ (P) ビットおよびスタート (S) ビットは、リセット時または MSSP モジュールが無効のときにクリアされます。P ビットがセットされている場合 (バスがアイドル状態) は、I²C バスを制御できないことがあります。

ファームウェア制御のマスター モードでは、ユーザー コードがスタート ビット コンディションおよびストップ ビット コンディションの検出に基づいて、すべての I²C バス動作を実行します。スタート コンディションおよびストップ コンディションの検出は、このモードで唯一能動的に動作する回路です。そのほかすべての通信動作は、ユーザー ソフトウェアで SDA と SCL を直接制御して実行されます。

次のイベントが生じると、SSP 割り込みフラグ ビット SSPIF がセットされます (SSP 割り込みが有効の場合)。

- スタート コンディションの検出
- ストップ コンディションの検出
- データ送信バイトの送信または受信
- アクノレッジ信号の送信 / 受信
- リピート スタート コンディションの生成

注 1: I²C マスター モードの場合、MSSP モジュールではイベントのキュー (保持) が有効ではありません。たとえば、スタート コンディションが完了する前にユーザーが SSPBUF レジスタへ書き込みを実行し、送信動作を行うことは許可されていません。つまり、SSPBUF への書き込みは実行されず、WCOL ビットがセットされるため、SSPBUF への書き込みは無視されることになります。

2: マスター モードの場合、スタート/ストップ検出がマスク (ディスエーブル) された状態で一旦割り込みが生成されますが、SEN/PEN ビットがクリアされるときに、その割り込み生成が完了します。

22.6.1 I²C マスター モード動作

マスター デバイスは、すべてのシリアル クロック パルスおよびスタート コンディションとストップ コンディションを生成します。転送動作は、ストップ コンディションまたはリピート スタート コンディションで終了します。リピート スタート コンディションビットは、次のシリアル転送の開始にも使用されるため、I²C バスは開放されません。

マスター トランスミッタ モードの場合、SDA でシリアル データが出力され、SCL でシリアル クロックが出力されます。送信された最初のバイトには、受信デバイスのスレーブアドレス (7 ビット) と読み出し / 書き込み (R/$\overline{W}$) ビットが含まれます。この場合、R/$\overline{W}$ ビットはロジック「0」となります。シリアル データは 1 度に 8 ビット送信されます。各バイト送信に対してアクノレッジ ビットが受信されます。シリアル送信の開始および終了は、スタート コンディションおよびストップ コンディションの出力で示されます。

マスター レシーブ モードの場合、送信される最初のバイトには送信デバイスのスレーブ アドレス (7 ビット) と R/$\overline{W}$ ビットが含まれます。この場合、R/$\overline{W}$ ビットはロジック「1」となります。つまり、送信された最初のバイトは、7 ビットのスレーブ アドレスの次に受信ビットを示す「1」が続きます。シリアル データは SDA で受信され、シリアル クロックは SCL から出力されます。シリアル データは、一度に 8 ビットが受信されます。各バイト受信に対してアクノレッジ ビットが送信されます。スタート コンディションおよびストップ コンディションによって、送信の開始および終了が示されます。

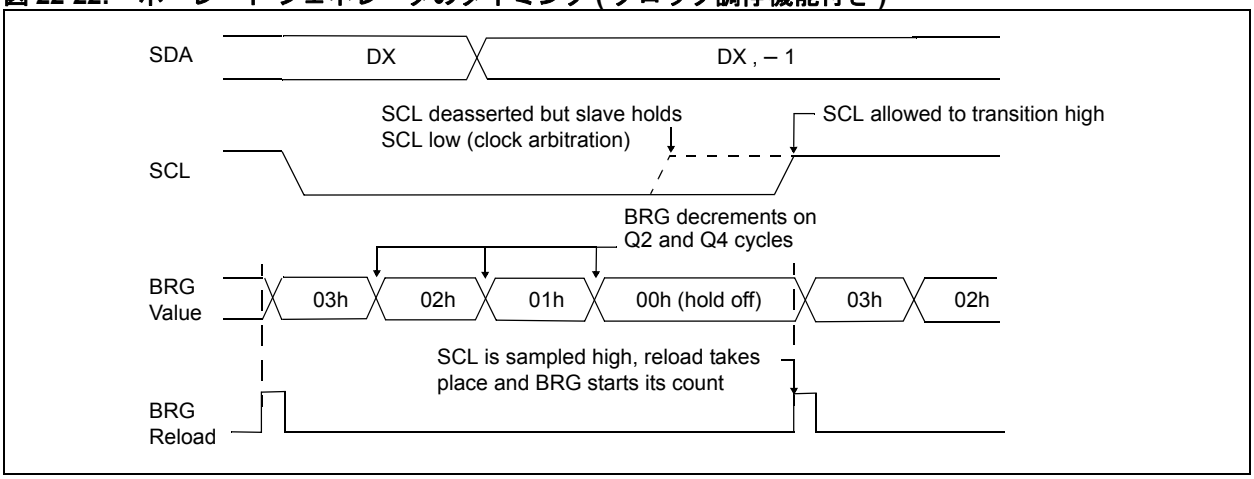
ボーレート ジェネレータを使用して、SCL のクロック周波数出力を設定します。詳細は、**22.7 項「ボーレート ジェネレータ」**を参照してください。

 © 2009 Microchip Technology Inc.

22.6.2 クロック調停

受信、送信、リピート スタート / ストップ コンディションの間にマスターが SCL ピンを開放するとクロック調停が実行されます。SCL ピンがフロート High にされると、ボーレート ジェネレータ (BRG) は、SCL ピンが実際に High としてサンプルされるまでカウントを停止します。SCL ピンが high でサンプルされると、ボーレートジェネレータに SSPADD<7:0> の内容がリロードされてカウントを開始します。この処理により、クロックが外部デバイスによって Low に保持されるときは、SCL の High 時間が常に 1 回以上の BRG ロールオーバー カウントとなります。(図 22-22 参照)

図 22-22: ボーレート ジェネレータのタイミング (クロック調停機能付き)



22.6.3 WCOL ステータス フラグ

スタート、リスタート、ストップ、受信、または送信シーケンスが進行中の場合、ユーザーが SSPBUF に書き込みを実行すると、WCOL がセットされてバッファの内容は変更されません (書き込みは実行されない)。WCOL ビットのセットは、モジュールがアイドル状態でないときに SSPBUF へ動作が実行されようとしたことを示します。

注 :	イベントの待ち行列は許可されないため、スタート コンディションが完了するまで SSPCON2 の下位 5 ビットへの書き込みは無効となります。

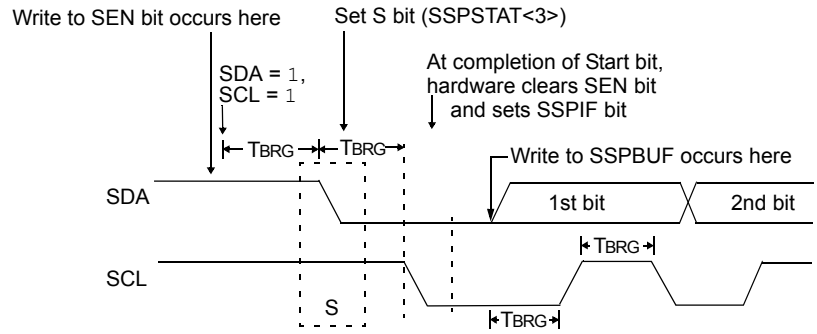
22.6.4 I²C マスター モードでのスタート コンディションのタイミング

スタート コンディションを開始するには、ユーザーがスタート イネーブル ビット (SSPCON2 レジスタの SEN ビット) をセットします。SDA ピンと SCL ピンが high としてサンプルされると、ボーレート ジェネレータに SSPADD<7:0> の内容がリロードされてカウントを開始します。SCL ピンと SDA ピンが両方とも High としてサンプルされ、ボーレート ジェネレータがタイムアウト (TBRG) すると、SDA ピンは Low 駆動します。SCL ピンが High 駆動し、SDA が Low 駆動するときに、スタート コンディションが生じて SSPSTAT1 レジスタの S ビットがセットされます。その後、ボーレート ジェネレータに SSPADD<7:0> の内容がリロードされて、カウントを再開します。ボーレート ジェネレータがタイムアウト (TBRG) すると、SSPCON2 レジスタの SEN ビットが自動的にハードウェアでクリアされます。つまり、ボーレート ジェネレータは停止し、SDA ラインは Low を保持した状態でスタート コンディションが完了します。

注 1: スタート コンディションの開始時に SDA ピンおよび SCL ピンがすでに Low にサンプルされている場合、またはスタート コンディション時に SDA ラインが Low 駆動する前に SCL ラインが Low としてサンプルされた場合は、バスの衝突が生じてバス衝突割り込みフラグ (BCLIF) がセットされ、スタート コンディションが中止して I²C モジュールはアイドル状態にリセットされます。

2: Philips 社の I²C 仕様書では、スタート時にバスの衝突は発生しないと記載されています。

図 22-23: 最初のスタート ビットのタイミング



 © 2009 Microchip Technology Inc.

22.6.5 I²C マスター モードでのリピート スタート コンディションのタイミング

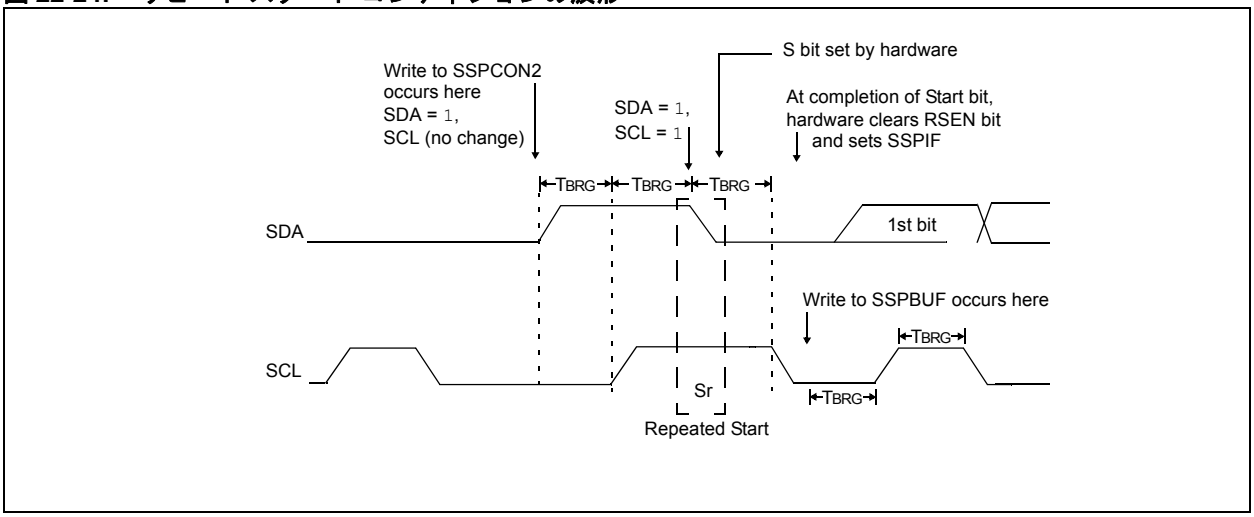
SSPCON2 レジスタの RSEN ビットが High にプログラムされており、マスター ステート マシンがアクティブでない場合にリピート スタート コンディションが開始します。RSEN ビットがセットされると、SCL ピンが Low にアサートされます。SCL ピンが Low としてサンプルされると、ボーレート ジェネレータがロードされてカウントを開始します。SDA ピンは、ボーレート ジェネレータが 1 回カウントする間 (TBRG)、開放 (High) されます。ボーレート ジェネレータがタイムアウトしたとき、SDA が High としてサンプルされると、SCL ピンがディアサートされます。SCL ピンが High としてサンプルされると、ボーレート ジェネレータがリロードされてカウントを開始します。SDA と SCL は、1 TBRG 間 High としてサンプルされる必要があります。この動作の次には、SDA ピンのアサート (SDA = 0) が生じ、これは SCL が High の間に 1 TBRG 間継続します。SCL が Low にアサート後、SSPCON2 レジスタの RSEN ビットが自動的にクリアされてボーレート ジェネレータがリロードされます (SDA ピンは Low に保持されたまま)。SDA ピンおよび SCL ピンでスタート コンディションが検出されるとすぐに、SSPSTAT レジスタの S ビットがセットされます。そして、ボーレート ジェネレータがタイムアウトするまで SSPIF ビットがセットされません。

注 1: そのほかのいかなるイベントが進行している間に PSEN がプログラムされても、実行されません。

2: 次の場合に、リピート スタート コンディション中にバスの衝突が生じます。

- SCL が Low から High に遷移したとき、SDA が Low としてサンプルされる。
- SDA が Low にアサートされる前に SCL が Low に遷移する。これは、別のマスターがデータ「1」を送信しようとしていることを示す。

図 22-24: リピート スタート コンディションの波形



22.6.6 I²C マスター送信

データ バイトの送信 (7 ビット アドレスまたは 10 ビット アドレスの半分だけ) は、SSPBUF レジスタへ値を書き込むことによって完了します。この動作によって、バッファ フル フラグ (BF) ビットがセットされ、ボーレート ジェネレータがカウントを開始して次の送信を開始します。アドレス ビットおよびデータ ビットは、SCL の立ち下がりエッジの後に SDA ピン上にシフト アウトされます。SCL は、1 回の BRG ロールオーバー (TBRG) の間 Low に保持されます。データは、SCL が High にリリースされる前に有効になる必要があります。SCL ピンが High にリリースされると、TBRG の間保持されます。SDA ピン上のデータは、この間および SCL の次の立ち下がり後のホールド時間まで安定する必要があります。8 番目のビットがシフトアウトされた (8 番目のクロックの立ち下がりエッジ) 後、BF フラグがクリアされてマスターが SDA を開放します。アドレス一致が生じた場合、またはデータが正常に受信された場合、アドレス指定されたスレーブ デバイスが 9 番目のビットと同時に $\overline{\text{ACK}}$ ビットを送信します。9 番目のクロックの立ち上がりエッジで $\overline{\text{ACK}}$ のステータスが ACKSTAT ビットに書き込まれます。マスターがアクノレッジ信号を受信すると、アクノレッジ ステータス ビット (ACKSTAT) はクリアされます。受信されていない場合は、セットされています。9 番目のクロック後、SSPIF ビットがセットされて、次のデータ バイトが SSPBUF へロードされるまでマスター クロック (ボーレート ジェネレータ) は停止します (SCL は Low 駆動で、SDA は変化しない) (図 22-24 を参照)。

SSPBUF への書き込み後、すべての 7 ビット アドレスおよび R/$\overline{\text{W}}$ ビットが完了するまで SCL の立ち下がりエッジで各アドレス ビットがシフト アウトされます。8 番目のクロックの立ち下がりエッジで、マスターは SDA ピンを開放し、スレーブがアクノレッジで応答できるようになります。9 番目のクロックの立ち下がりエッジでは、マスターが SDA ピンをサンプルして、スレーブでアドレスが認識されたかを確認します。$\overline{\text{ACK}}$ ビットのステータスは、SSPCON2 レジスタの ACKSTAT ステータス ビットへロードされます。9 番目のアドレス送信クロックの立ち下がりエッジ後、SSPIF がセットされて BF フラグがクリアされ、次に SSPBUF へ書き込みが実行されるまでボーレート ジェネレータはオフになります (SCL は Low 保持で、SDA はフロート状態)。

22.6.6.1 BF ステータス フラグ

送信モードの場合、SSPSTAT レジスタの BF ビットは、SSPBUF へ CPU から書き込みが実行されるとセットされ、全 8 ビットがシフトアウトされるとクリアされます。

22.6.6.2 WCOL ステータス フラグ

送信中 (SSPSR がデータ バイトをシフト アウトしている途中) に、ユーザーが SSPBUF へ書き込みを実行した場合、WCOL がセットされるためバッファの内容は変更されません (書き込みは実行されない)。

次の送信を開始する前までに WCOL をソフトウェアでクリアする必要があります。

22.6.6.3 ACKSTAT ステータス フラグ

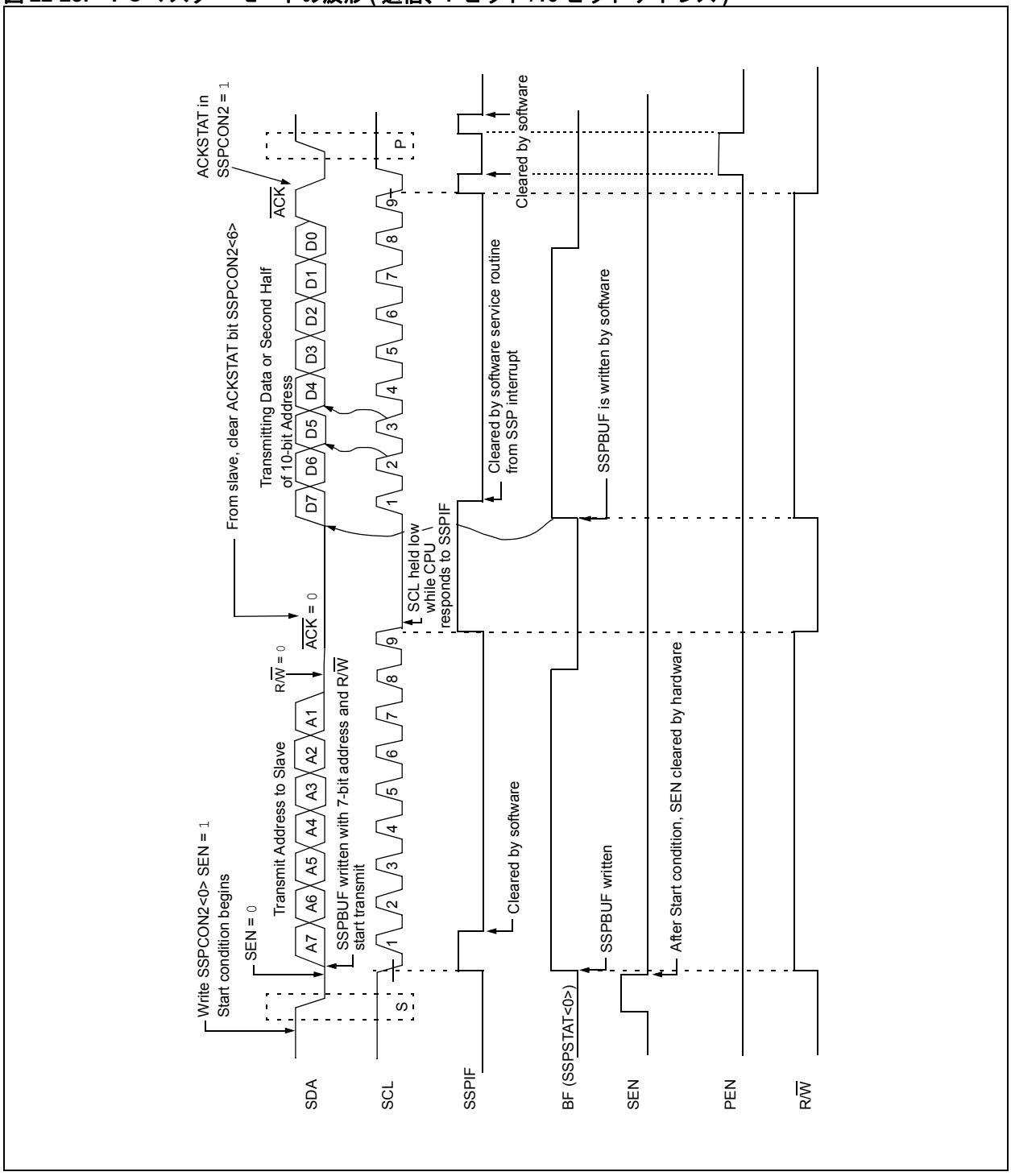
送信モードでは、スレーブが承認 ($\overline{\text{ACK}}$ = 0) を送信した場合、SSPCON2 レジスタの ACKSTAT ビットがクリアされ、スレーブが承認しない ($\overline{\text{ACK}}$ = 1) 場合、このビットはセットされます。すべてのスレーブは、アドレスを承認した場合 (一括呼び出しを含む)、または正常にデータ受信を完了した場合にアクノレッジ信号を送信します。

22.6.6.4 標準的な送信シーケンス

1. ユーザーが、SSPCON2 レジスタの SEN ビットをセットしてスタート コンディションを生成する
2. スタート コンディションの完了時に SSPIF がハードウェアによりセットされる
3. ソフトウェアで SSPIF がクリアされる
4. MSSP モジュールは、そのほかの動作を実行する前に必要な時間待機する
5. ユーザーが、SSPBUF に送信するスレーブ アドレスをロードする
6. すべての 8 ビットが転送されるまで、アドレスが SDA ピンにシフト アウトされる。SSPBUF への書き込みが完了すると、送信が開始される
7. MSSP モジュールは、スレーブからの $\overline{\text{ACK}}$ ビットを取得して、その値を SSPCON2 レジスタの ACKSTAT ビットに書き込む
8. MSSP モジュールは、9 番目のクロック サイクルの最後に SSPIF ビットをセットして割り込みを生成する
9. ユーザーが、SSPBUF に 8 ビット データをロードする
10. すべての 8 ビットが転送されるまで、アドレスが SDA ピンにシフト アウトされる
11. MSSP モジュールは、スレーブからの $\overline{\text{ACK}}$ ビットを取得して、その値を SSPCON2 レジスタの ACKSTAT ビットに書き込む
12. すべての送信バイトに対して、手順 8 ～ 11 が繰り返される
13. ユーザーが、SSPCON2 レジスタの PEN または RSEN ビットをセットしてストップ コンディションまたはスタート コンディションを生成する。ストップ コンディション/スタート コンディションが完了すると、割り込みが生成される

 © 2009 Microchip Technology Inc.

図 22-25: I²C マスター モードの波形 (送信、7 ビット /10 ビット アドレス)



22.6.7 I²C マスター モードの受信

マスター モード受信を有効にする場合は、受信イネーブル ビット (SSPCON2 レジスタの RCEN ビット) をプログラムします。

注 : RCEN ビットがセットされる前に MSSP モジュールがアイドル状態 にならないと、RCEN ビットは破棄されます。

ボーレート ジェネレータがカウントを開始し、SCL ピンが遷移 (High から Low または Low から High) してデータが SSPSR へシフトインされます。8 番目のクロックの立ち下がりエッジ後、受信イネーブル フラグが自動的にクリア され、SSPSR の内容が SSPBUF へロードされます。そして、BF フラグ ビットがセットされ、SSPIF フラグがセットされてボーレート ジェネレータのカウントが停止します (SCL を Low に保持)。この時点の MSSP は、次のコマンドが実行されるまでアイドル状態です。CPU によってバッファが読み出されるとき、BF フラグは自動的にクリアされます。ユーザーは、受信最後にアクノレッジ シーケンス イネーブル (SSPCON2 レジスタの ACKEN ビット) をセットすることによって、アクノレッジ ビットを送信できます。

22.6.7.1 BF ステータス フラグ

受信動作の場合、SSPSR から SSPBUF へアドレス バイトまたはデータ バイトがロードされると、BF ビットがセットされます。このビットは、SSPBUF レジスタが読み出されるとクリアされます。

22.6.7.2 SSPOV ステータス フラグ

受信動作の場合、以前の受信で BF フラグがすでにセットされているときに SSPSR で 8 ビットが受信されると、SSPOV ビットがセットされます。

22.6.7.3 WCOL ステータス フラグ

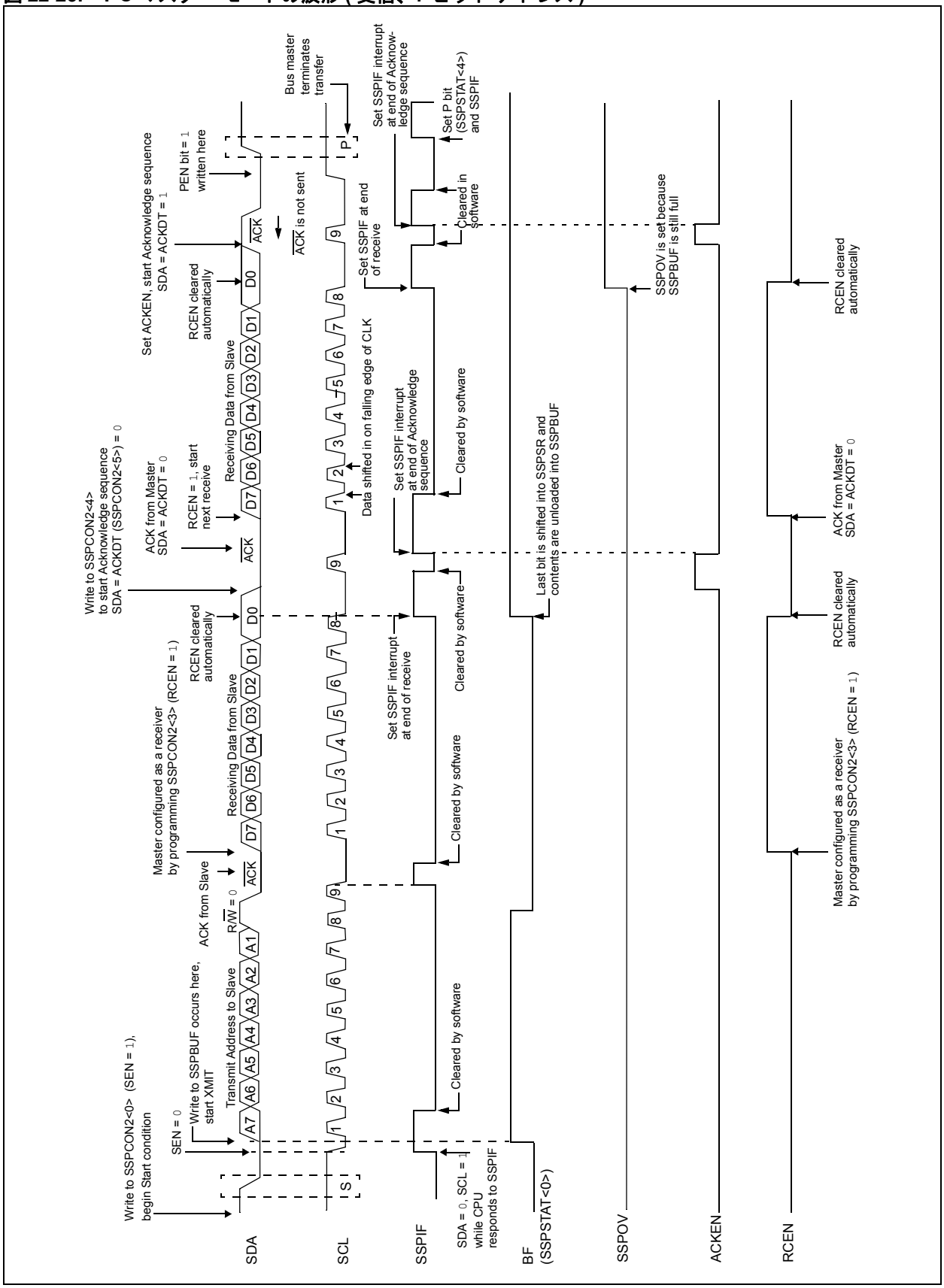
受信中 (SSPSR にデータ バイトをシフト インしている途中) に、ユーザーが SSPBUF へ書き込みを実行した場合、WCOL がセットされるためバッファの内容は変更されません (書き込みは実行されない)。

22.6.7.4 標準的な受信シーケンス

1. ユーザーが、SSPCON2 レジスタの SEN ビットをセットしてスタート コンディションを生成する
2. スタート コンディションの完了時に SSPIF がハードウェアによりセットされる
3. ソフトウェアで SSPIF がクリアされる
4. ユーザーが SSPBUF に送信するスレーブ アドレスを書き込み、R/$\overline{W}$ ビットがセットされる
5. すべての 8 ビットが転送されるまで、アドレスが SDA ピンにシフト アウトされます。SSPBUF への書き込みが完了すると、送信が開始される
6. MSSP モジュールは、スレーブからの $\overline{ACK}$ ビットを取得して、その値を SSPCON2 レジスタの ACKSTAT ビットに書き込む
7. MSSP モジュールは、9 番目のクロック サイクルの最後に SSPIF ビットをセットして割り込みを生成する
8. ユーザーが SSPCON2 レジスタの RCEN ビットをセットし、マスターがスレーブからバイト データを受信する
9. SCL の 8 番目の立ち下がりエッジ後、SSPIF および BF がセットされる
10. マスターが SSPIF をクリアし、SSPBUF から受信バイトを読み出す (BF をクリア)
11. マスターが、SSPCON2 レジスタの ACKDT ビットを使用してスレーブへ送信する $\overline{ACK}$ 値をセットし、ACKEN ビットをセットして $\overline{ACK}$ を送信する
12. マスターからスレーブへ $\overline{ACK}$ 信号が送信され、SSPIF がセットされる
13. ユーザーが SSPIF をクリアする
14. スレーブからバイト受信のたびに、手順 8 ～ 13 が繰り返される
15. マスターが NOT $\overline{ACK}$ を送信またはストップ コンディションを送信すると通信が終了する

 © 2009 Microchip Technology Inc.

図 22-26: I²C マスター モードの波形 (受信、7 ビット アドレス)



22.6.8 アクノレッジ シーケンスのタイミング

アクノレッジ シーケンスを有効にするには、アクノレッジ シーケンス イネーブル ビット (SSPCON2 レジスタの ACKEN ビット) をセットします。このビットがセットされると、SCL ピンが Low 駆動してアクノレッジ データ ビットの内容が SDA ピンに現れます。アクノレッジ信号を生成する場合、ACKDT ビットはクリアされている必要があります。クリアされていない場合は、アクノレッジ シーケンスを開始する前に ACKDT ビットをセットする必要があります。そして、ボーレート ジェネレータが 1 ロールオーバー期間 (TBRG) をカウントし、SCL ピンがディアサートされます (High に遷移)。SCL ピンが High としてサンプルされると (クロック調停)、ボーレート ジェネレータがカウントを実行します (TBRG)。そして SCL ピンが Low に遷移します。この後、ACKEN ビットが自動的にクリアされ、ボーレート ジェネレータがオフになり、MSSP モジュールがアイドル モードになります (図 22-27 参照)。

22.6.8.1 WCOL ステータス フラグ

アクノレッジ シーケンスが進行中の場合、ユーザーが SSPBUF に書き込みを実行すると、WCOL がセットされてバッファの内容は変更されません (書き込みは実行されない)。

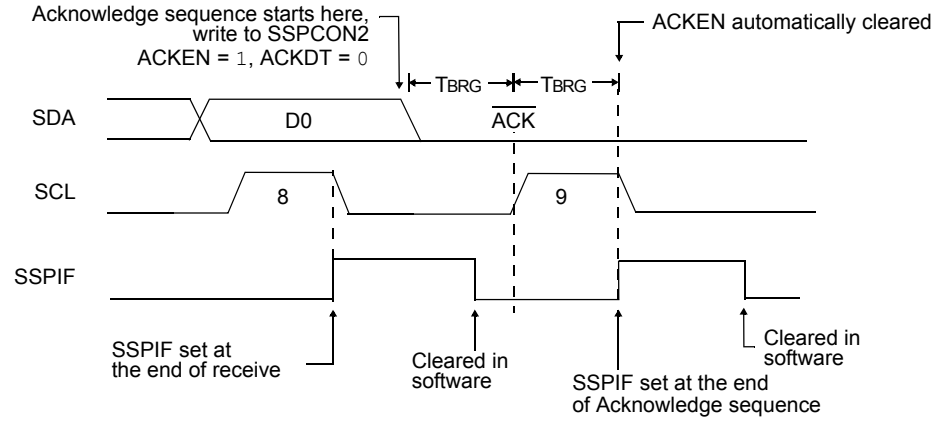
22.6.9 ストップ コンディションのタイミング

ストップ シーケンス イネーブル ビット (SSPCON2 レジスタの PEN ビット) をセットすることによって受信 / 送信の最後に SDA ピン上にストップ ビットがアサートされます。受信後または送信後、9 番目の立ち下がりエッジの後に SCL が Low を保持します。PEN ビットがセットされると、マスターは SDA を Low 駆動します。SDA が Low としてサンプルされると、ボーレート ジェネレータがリロードされ「0」にカウントダウンされます。ボーレート ジェネレータがタイムアウトになると、SCL ピンが High 駆動し、1 TBRG (BGR のロールオーバー カウント) 後に SDA ピンがディアサートされます。SCL が High の間に SDA ピンが High としてサンプルされると、SSPSTAT レジスタの P ビットがセットされます。1 TBRG 後、PEN ビットがクリアされて SSPIF ビットがセットされます (図 22-28 参照)。

22.6.9.1 WCOL ステータス フラグ

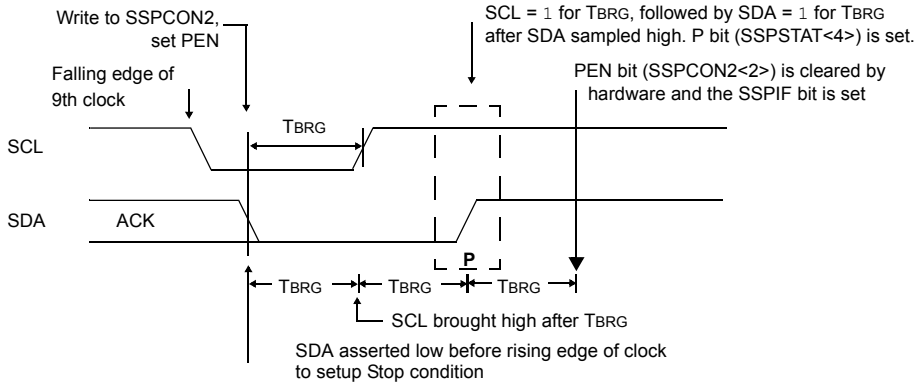
ストップ シーケンスが進行中の場合、ユーザーが SSPBUF に書き込みを実行すると、WCOL がセットされてバッファの内容は変更されません (書き込みは実行されない)。

図 22-27: アクノレッジ シーケンスの波形



注 : TBRG = 1 回のボーレート ジェネレータ周期

図 22-28: 受信モードまたは送信モードのストップ コンディション



注 : TBRG = 1 回のボーレート ジェネレータ周期

 © 2009 Microchip Technology Inc.

22.6.10 スリープ動作

スリープ モード時、I²C スレーブ モジュールはアドレスまたはデータを受信できます。そして、アドレス一致またはバイト受信が完了すると、プロセッサをスリープからウェイクアップさせます (MSSP 割り込みが有効の場合)。

22.6.11 リセットの影響

リセットは MSSP モジュールを無効にして現在の動作を終了します。

22.6.12 マルチ マスター モード

マルチ マスター モードの場合、スタート コンディションおよびストップ コンディションの検出による割り込み生成によってバスがフリーになるタイミングが決定されます。ストップ (P) ビットおよびスタート (S) ビットは、リセット時または MSSP モジュールが無効のときにクリアされます。SSPSTAT レジスタの P ビットがセットされている場合、または S ビットと P ビットの両方ともクリアされている状態でバスがアイドル モードの場合は、I²C バスの制御を獲得する場合があります。バスがビジー状態のとき、SSP 割り込みを有効にすると、ストップ コンディション時に割り込みが生成されます。

マルチ マスター動作の場合、信号が予想出力レベルであるかを確認してアービトレーション (調停) するために、SDA ラインがモニタされる必要があります。これは、ハードウェアで実行され、結果は BCLIF ビットに配置されます。

調停機能が無効になるステートを次に示します。

- アドレス転送
- データ転送
- スタート コンディション
- リピート スタート コンディション
- アクノレッジ コンディション

22.6.13 マルチマスター通信、バス衝突、およびバス調停

マルチマスター モードのサポートは、バス調停により実現されています。マスターがアドレス / データ ビットを SDA ピンに出力するとき、別のマスターが「0」を出力している間に、マスターが SDA に「1」を出力して SDA をフロート high にしようとすると調停が実行されます。SDA ピンに予測されるデータが「1」の場合に、SDA ピンのサンプルが「0」であると、バスの衝突が起きます。マスターは、バス衝突割り込みフラグ (BCLIF) をセットし、I²C ポートをアイドル ステートにリセットします (図 22-29 参照)。

送信動作中にバスの衝突が発生した場合、送信動作が停止されて BF フラグがクリアされ、SDA と SCL がディアサートされて SSPBUF への書き込みが可能になります。ユーザーがバス衝突割り込みサービル ルーチンを実行する場合、I²C バスがフリーのときにスタート コンディションをアサートして通信を再開できます。

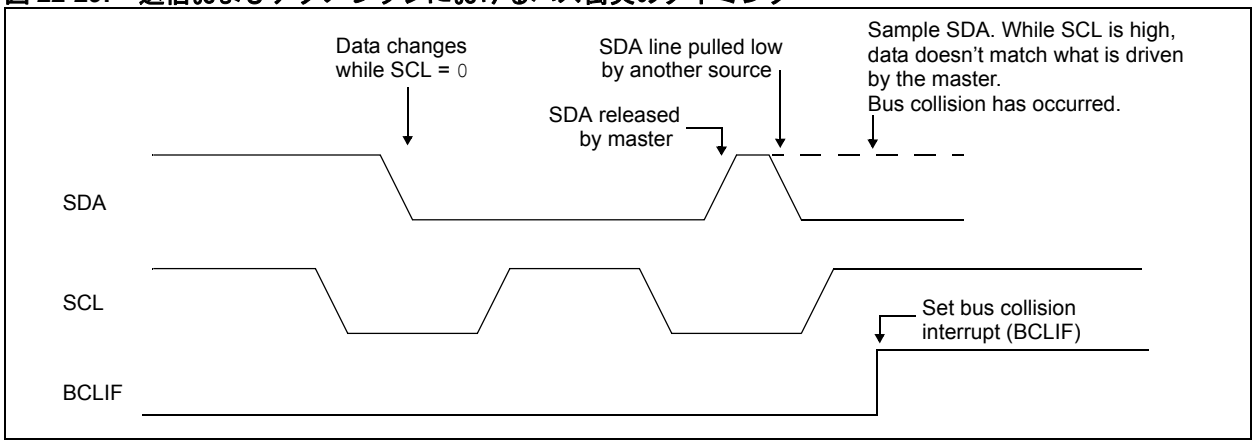
バスの衝突が発生したときにスタート コンディション、リピート スタート コンディション、ストップ コンディションまたはアクノレッジ コンディションが進行中の場合、それぞれのコンディションは停止し、SDA および SCL がディアサートされて SSPCON2 レジスタの各制御ビットがクリアされます。ユーザーがバス衝突割り込みサービル ルーチンを実行する場合、I²C バスがフリーのときにスタート コンディションをアサートして通信を再開できます。

マスターは、SDA ピンと SCL ピンのモニタを継続します。ストップ コンディションが生じると、SSPIF ビットがセットされます。

SSPBUF への書き込み動作は、バス衝突の発生によって送信部が停止した場所とは無関係に最初のデータ ビットの送信を開始します。

マルチ マスター モードの場合、スタート コンディションおよびストップ コンディションの検出による割り込み生成によってバスがフリーになるタイミングが決定されます。SSPSTAT レジスタの P ビットがセットされている場合、または S ビットと P ビットの両方ともクリアされている状態でバスがアイドル モードの場合は、I²C バスの制御を獲得する場合があります。

図 22-29: 送信およびアクノレッジにおけるバス衝突のタイミング



22.6.13.1 スタート コンディション時のバス衝突

スタート コンディション中、次の場合にバス衝突が生じます。

a) スタート コンディションの最初に、SDA または SCL が Low でサンプルされる (図 22-30 を参照)

b) SDA が Low にアサートされる前に SCL が Low でサンプルされる (図 22-31 を 参照)

スタート コンディション中、SDA ピンおよび SCL ピンの両方がモニタされます。

SDA ピンがすでに Low の場合、または SCL ピンがすでに Low の場合は、次のイベントが生じます。

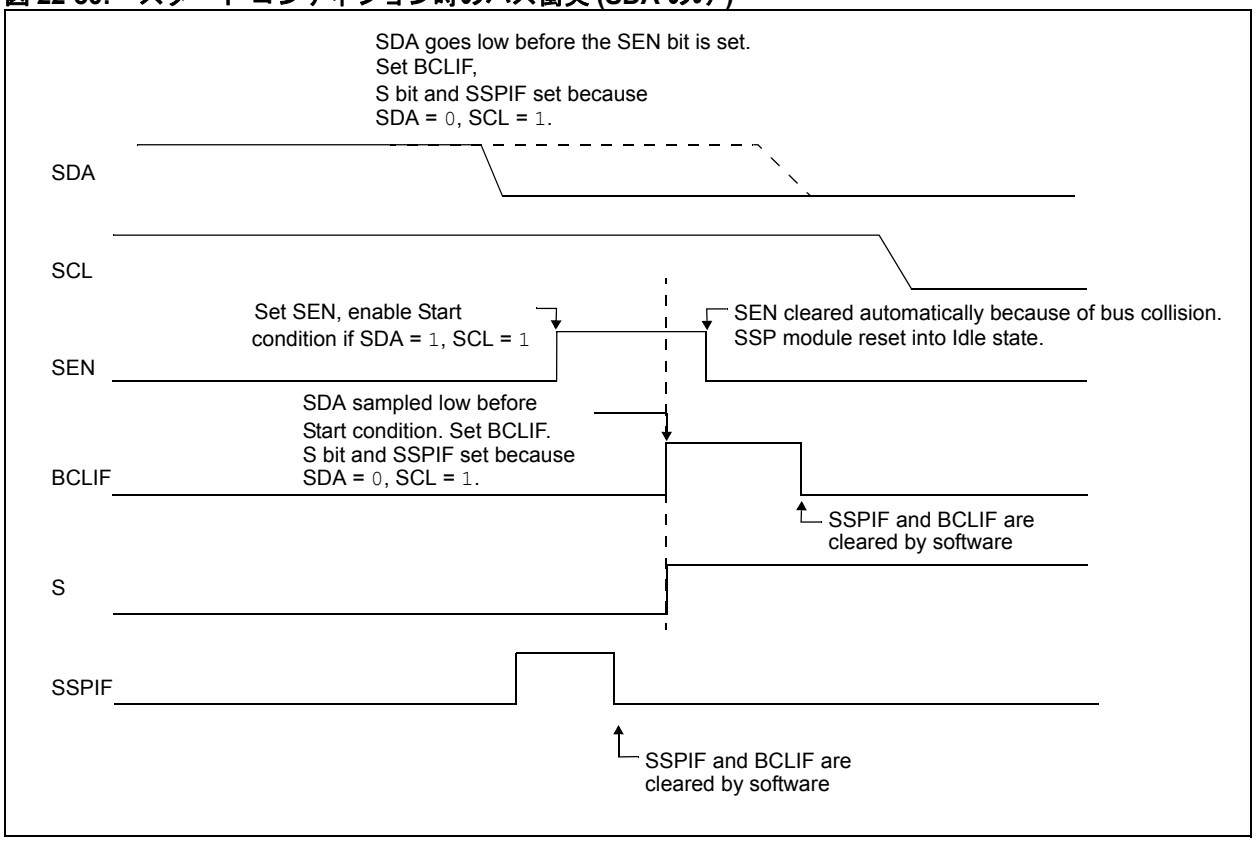
- スタート コンディションが終了する
- BCLIF フラグがセットされる
- MSSP モジュールがアイドル ステートにリセットされる (図 22-30 を参照)

SDA ピンと SCL ピンがディアサートされると、スタート コンディションが開始します。SDA ピンが High としてサンプルされると、ボーレート ジェネレータがロードされてカウント ダウンします。SDA が High の間、SCL ピンが Low としてサンプルされると、スタート コンディション中に別のマスターがデータ「1」を駆動しようとしているため、バス衝突が生じます。

このカウントで SDA ピンが Low としてサンプルされた場合、BRG はリセットされ SDA が早期にアサートされます (図 22-32 を参照)。ただし、SDA ピンで「1」がサンプルされた場合、SDA ピンは BRG カウントの最後で Low にアサートされます。そして、ボーレート ジェネレータがリロードされてゼロまでカウント ダウンします。つまり、この間、SCL ピンが「0」としてサンプルされると、バス衝突は起りません。BRG カウントの最後で、SCL ピンが Low にアサートされます。

注 : 2 つのバス マスターは同時にスタート コンディションをアサートできないため、スタート コンディションにおけるバス衝突は発生しません。常に一方のマスターが他方のマスターより先に SDA をアサートします。2 つのマスターは、スタート コンディションの後に続く最初のアドレスが調停されるように設定されているため、バス衝突は生じません。アドレスが同じ場合は、データ部分、リピート スタート コンディション、またはストップ コンディションが調停されます。

図 22-30: スタート コンディション時のバス衝突 (SDA のみ)



 © 2009 Microchip Technology Inc.

図 22-31: スタート コンディション時のバス衝突 (SCL = 0)

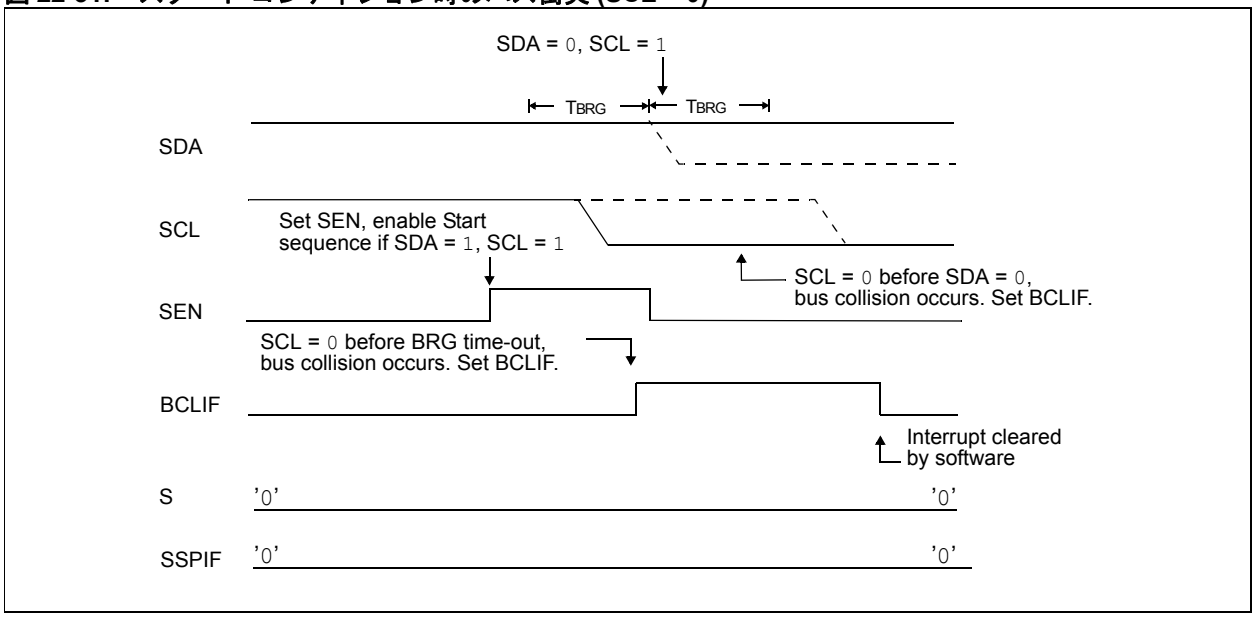
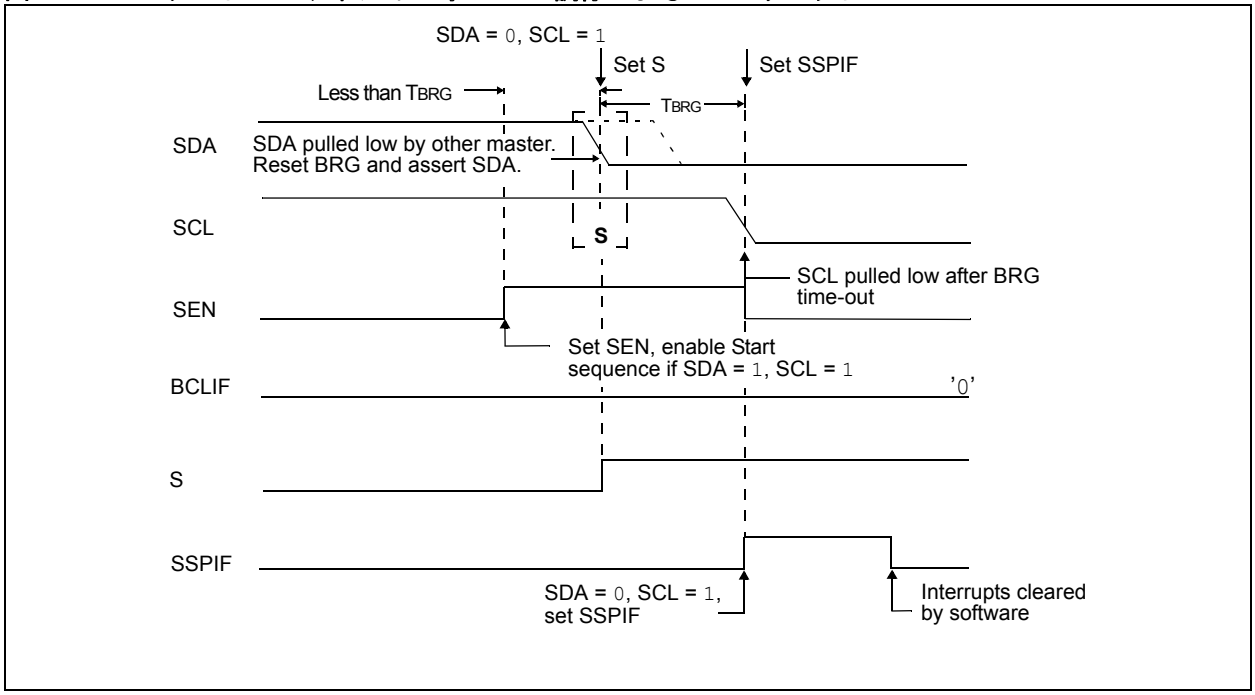


図 22-32: スタート コンディション時の SDA 調停による BRG リセット



22.6.13.2 リピート スタート コンディション時のバス衝突

リピート スタート コンディション時、次の場合にバス衝突が生じます。

a) SCL が Low から High へ遷移するとき、SDA で Low がサンプルされる

b) SDA が Low にアサートされる前に SCL が Low に遷移する。これは、別のマスターがデータ「1」を送信しようとしていることを示す

ユーザーが SDA ピンを開放し、ピンが High フロートできるようになると、BRG が SSPADD の内容でロードされて 0 までカウント ダウンします。そして SCL ピンがディアサートされて High としてサンプルされると、SDA ピンがサンプルされます。

SDA が Low の場合は、バス衝突が生じています (つまり、別のマスターが「0」データ送信をしようとしている、図 22-33)。SDA が High としてサンプルされた場合は、BRG がリロードされてカウントを開始します。BRG のタイムアウトより前に SDA が High から Low へ遷移した場合、2 つのマスターは同時に SDA をアサートできないため、バスの衝突は生じません。

BRG タイムアウトより前で SDA がまだアサートされていないときに SCL が High から Low へ遷移すると、バスの衝突が生じます。この場合、リピート スタート コンディション時に別のマスターがデータ「1」を送信しようとします (図 22-34 参照)。

BRG タイムアウトの最後で、SCL および SDA がまだ High を保持している場合は、SDA ピンが Low 駆動し、BRG がリロードされてカウントを開始します。カウント終了時は SCL ピンのステータスの関わらず、SCL ピンが Low 駆動されてリピート スタート コンディションが完了します。

図 22-33: リピート スタート コンディション時のバス衝突 (ケース 1)

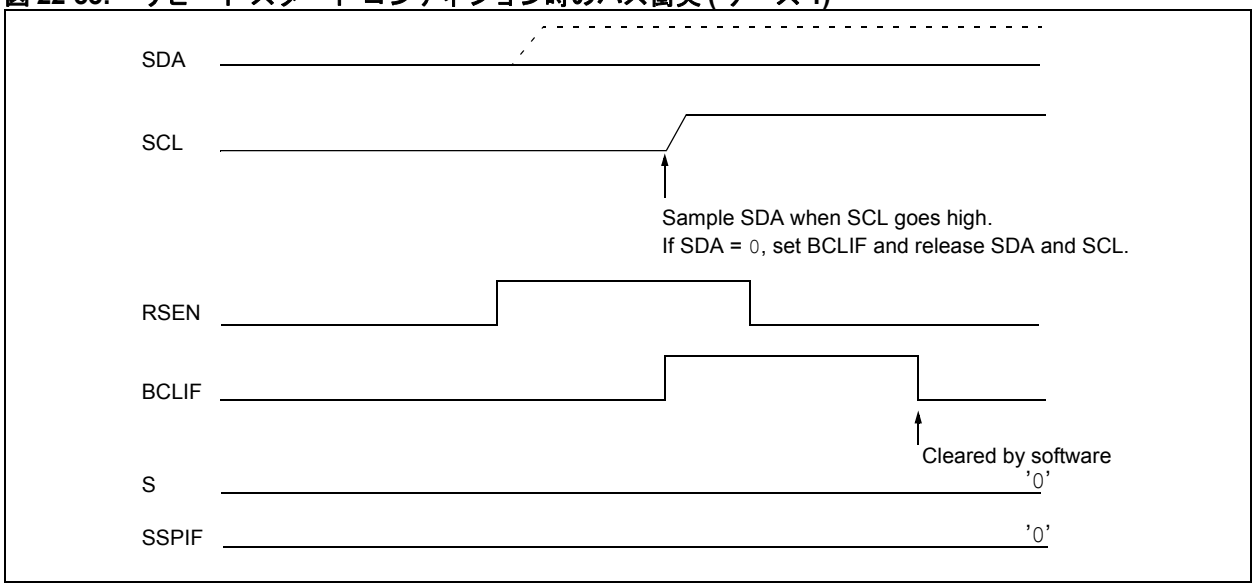
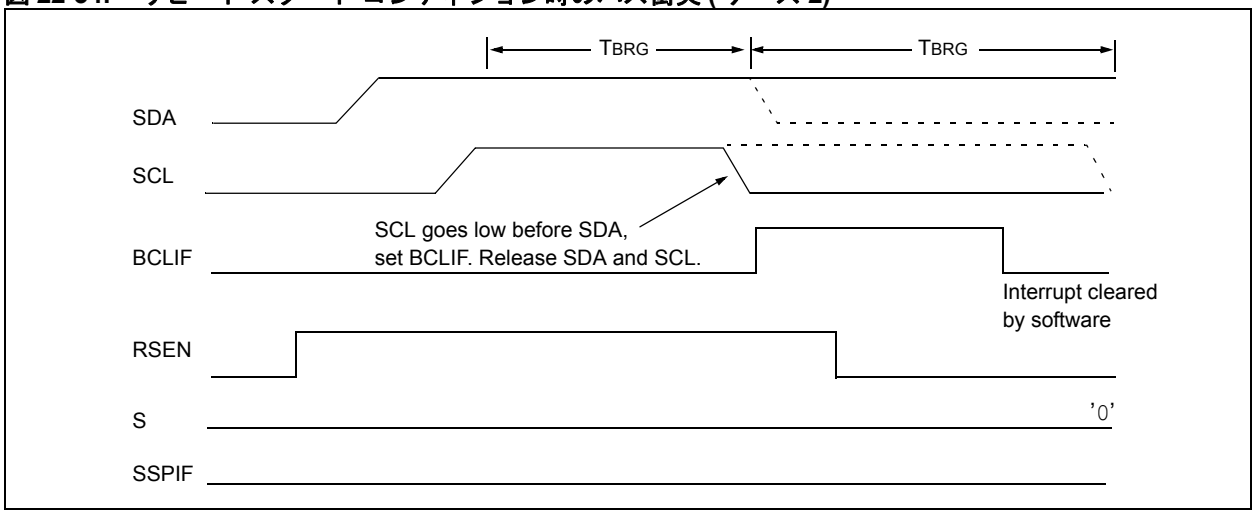


図 22-34: リピート スタート コンディション時のバス衝突 (ケース 2)



 © 2009 Microchip Technology Inc.

22.6.13.3 ストップ コンディション時のバス衝突

ストップ コンディション時のバス衝突は、次の場合に生じます。

a) SDA ピンがディアサートされて High フロートが可能になった後、BRG のタイムアウト後に SDA が Low としてサンプルされる場合

b) SCL ピンがディアサートされた後、SDA が High に遷移する前に SCL ピンが Low でサンプルされる場合

ストップ コンディションは、SDA が Low にアサートされると開始します。SDA が Low としてサンプルされると、SCL ピンはフロート状態になります。このピンが High としてサンプルされるとき (クロック調停)、ボーレート ジェネレータが SSPADD の内容でロードされて 0 までカウントダウンします。BRG タイムアウト後、SDA がサンプルされます。SDA が Low としてサンプルされた場合、バスの衝突が生じます。これは、別のマスターがデータ「0」を駆動しようとしているためです (図 22-35 を参照)。SDA が High へフロートが可能になる前に SCL ピンが Low としてサンプルされた場合も、バス衝突が生じます。これは、別のマスターがデータ「0」を駆動しようとしているために生じる、もう一つのケースです (図22-36 を参照)。

図 22-35: ストップ コンディション時のバス衝突 (ケース 1)

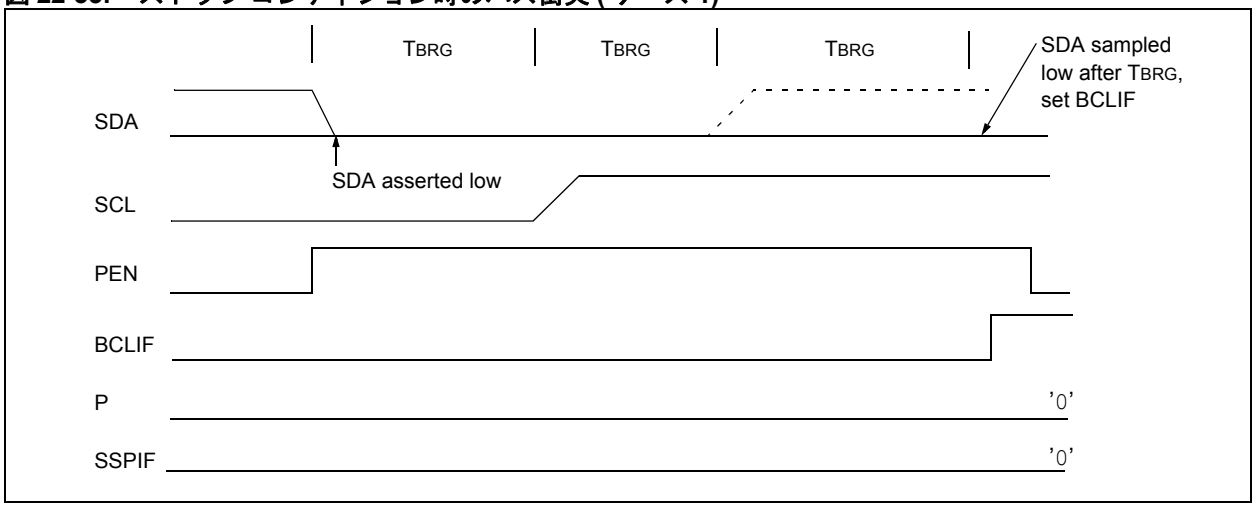
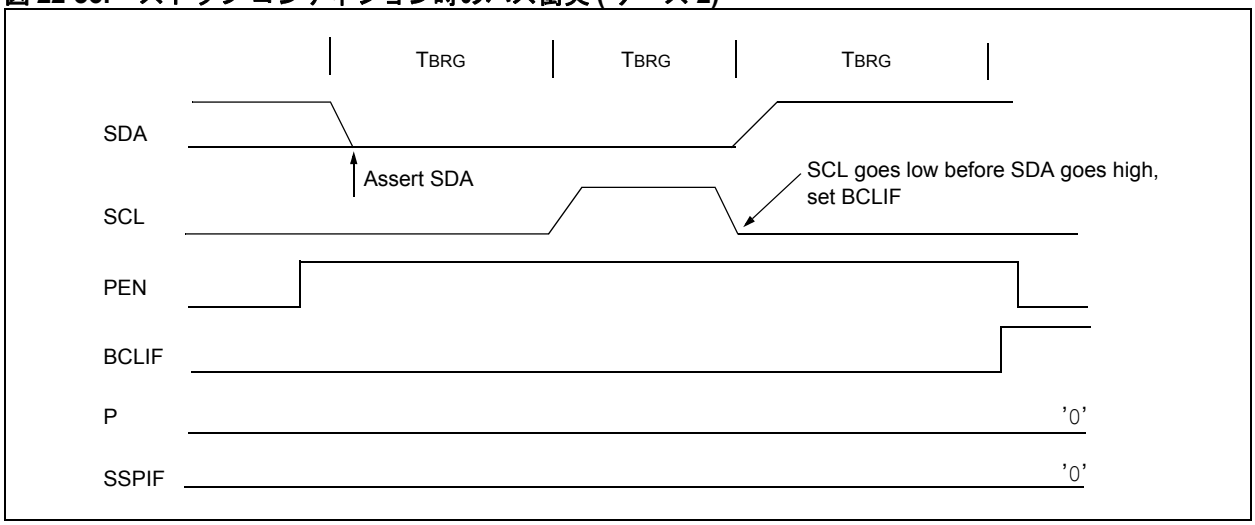


図 22-36: ストップ コンディション時のバス衝突 (ケース 2)



22.7 ボーレート ジェネレータ

MSSP モジュールにはボーレート ジェネレータがあり、I²C および SPI マスターの両方のモードにおいてクロック生成が可能です。ボーレート ジェネレータ (BRG) のリロード値は、SSPADD レジスタの値となります (レジスタ 22-6 を参照)。SSPBUF への書き込みを実行すると、ボーレート ジェネレータが自動的にカウントダウンを開始します。

一定の動作が完了するとき、内部クロックが自動的にカウントを停止し、クロック ピンはそのままの状態を保持します。

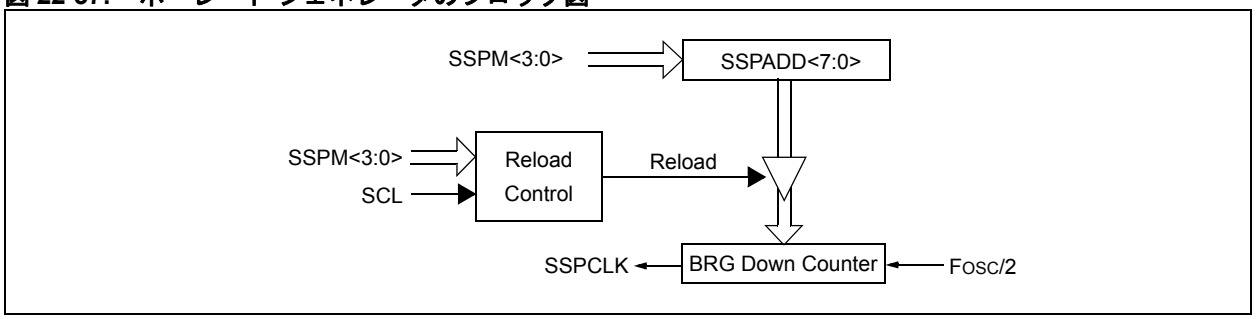
内部信号のリロード (図 22-37 を参照) によって、SSPADD の値が BRG カウンタへロードされます。この動作は、モジュール クロック ラインの各オシレーション (周期的変動) に対して 2 回生じます。リロード信号がアサートされるときのロジック解析は、MSSP の動作モードに依存します。

表 22-3 に、命令サイクルおよび SSPADD にロードされている BRG 値に基づくクロック レートを示します。

式 22-1:

$$F_{CLOCK} = \frac{F_{OSC}}{(SSPADD + 1)(4)}$$

図 22-37: ボーレート ジェネレータのブロック図



注 : I²C モードのボーレート ジェネレータには、SSPADD の値として 0x00、0x01 および 0x02 は有効ではありません。これは、インプリメンテーションの制限です。

表 22-3: MSSP クロック レートと BRG 値

FOSC	FCY	BRG Value	FCLOCK (2 Rollovers of BRG)
32 MHz	8 MHz	13h	400 kHz(1)
32 MHz	8 MHz	19h	308 kHz
32 MHz	8 MHz	4Fh	100 kHz
16 MHz	4 MHz	09h	400 kHz(1)
16 MHz	4 MHz	0Ch	308 kHz
16 MHz	4 MHz	27h	100 kHz
4 MHz	1 MHz	09h	100 kHz
4 MHz	1 MHz	00h	250 kHz(2)

注 1: I²C インターフェイスは、400 kHz I²C 仕様 (100 kHz 以上の場合に適用) に完全準拠するものではありませんが、高いレートが要求されるアプリケーションでは、このことに留意して慎重に使用される場合があります。

2: SPI モードのみ。

© 2009 Microchip Technology Inc.

23.0 データ EEPROM およびフラッシュ プログラム メモリ制御

データ EEPROM およびフラッシュ プログラム メモリは、通常動作時 (VDD 全範囲) の読み出しおよび書き込みが可能です。これらのメモリは、レジスタ ファイル空間に直接はマッピングされておらず、特殊機能レジスタ (SFR) を使用する間接的アドレス指定となります。次の 6 つの SFR を使用してこれらのメモリへアクセスします。

- EECON1
- EECON2
- EEDATL
- EEDATH
- EEADRL
- EEADRH

データ メモリ ブロックとのインターフェイスでは、EEDATL が読み書き用の 8 ビット データを格納し、EEADRL がアクセスされる EEDATL のアドレスを格納します。これらのデバイスには、0h ～ 0FFh のアドレス範囲を持つ 256 バイトのデータ EEPROM があります。

PIC16F1936/PIC16F1937 デバイスのプログラム メモリ ブロックへアクセスする場合、EEDATL および EEDATH レジスタが読み書き用の 14 ビット データを格納する 2 バイト ワードを形成し、EEADRL および EEADRH レジスタが読み出しされるプログラム メモリ ロケーションの 15 ビット アドレスを格納する 2 バイト ワードを形成します。

EEPROM データ メモリでは、1 バイト単位での読み出しと書き込みができます。EEPROM のバイト単位書き込み動作は、自動的に書き込み先の番地を消去し、新しいデータを書き込みます (Erase-before-Write)。

書き込み時間は、オンチップ タイマで制御します。書き込み / 消去の電圧は、デバイス電圧範囲を超えて動作するオンチップ チャージ ポンプで生成され、バイト単位、またはワード単位で動作します。

フラッシュ プログラム メモリ セルフ ライト イネーブル ビット (コンフィギュレーション ワード レジスタ 2 の WRT<1:0>) の設定によって、デバイスはプログラム メモリの特定ブロックへ書き込み可能 (または不可) になります。ただし、プログラム メモリからの読み出しは常に許可されます。

デバイスにコード プロテクトが適用されている場合、デバイス プログラマはデータまたはプログラム メモリへアクセスできません。この場合、CPU はデータ EEPROM メモリおよびフラッシュ プログラム メモリに対する読み出し / 書き込み動作が可能な場合があります。

23.1 EEADRL および EEADRH レジスタ

EEADRL および EEADRH レジスタは、データ EEPROM では最大 256 バイトのアドレスを指定でき、プログラム メモリでは最大 32K ワードのアドレスを指定できます。

プログラム メモリの アドレス値を選択する場合は、アドレスの MSB が EEADRH レジスタへ書き込まれ、LSB が EEADRL レジスタへ書き込まれます。EEPROM のアドレス値を選択する場合は、アドレスの LSB のみ EEADRL レジスタへ書き込まれます。

23.1.1 EECON1 および EECON2 レジスタ

EECON1 は、EE メモリ アクセス用の制御レジスタです。

制御ビット (EEPGD) が、プログラム メモリまたはデータ メモリへのアクセスを判断します。このビットがクリアされた場合、その後の動作は EEPROM メモリへアクセスして動作します。このビットがセットされた場合、その後の動作はプログラム メモリへアクセスして動作します。リセットされると、デフォルト設定の EEPROM が選択されます。

制御ビット RD と WR で、それぞれ読み出しと書き込みを開始します。これらのビットはソフトウェアでセットできますが、クリアはできません。読み出しまたは書き込み操作が完了すると、ハードウェアでクリアされます。WR ビットは、書き込み操作中に誤って処理を中断しないようソフトウェアでクリアできなくなっています。

WREN ビットをセットすると、書き込み操作が許可されます。WREN ビットは、電源投入時にクリアされます。通常動作中のリセットによって書き込み動作が中断された場合、WRERR ビットがセットされます。このような場合、ユーザーはリセット後に WRERR ビットを確認して適切なエラー処理を実行できます。

書き込みが完了すると、割り込みフラグ (PIR2 レジスタの EEIF) がセットされます。このビットは、ソフトウェアでクリアされる必要があります。

EECON2 の読み出しは、すべて「0」として読み出されます。EECON2 レジスタは、データ EEPROM の書き込みシーケンスでのみ使用されます。書き込みを有効にする場合、EECON2 へ指定パターンを書き込む必要があります。

レジスタ 23-1: EEDATL: EEPROM データ レジスタ

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
EEDATL7	EEDATL6	EEDATL5	EEDATL4	EEDATL3	EEDATL2	EEDATL1	EEDATL0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **EEDATL<7:0>**: データ EEPROM 、またはプログラム メモリから読み出した下位 8 ビットのデータ

レジスタ 23-2: EEDATH: EEPROM データ上位バイト レジスタ

U-0	U-0	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-6 **未実装 :** 「0」として読み出し

ビット 5-0 **EEDATH<5:0>**: プログラム メモリからの上位 6 ビット データ

レジスタ 23-3: EEADRL: EEPROM アドレス レジスタ

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
EEADR7	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **EEADRL<7:0>**: EEPROM またはプログラム メモリの下位 8 ビット アドレス

レジスタ 23-4: EEADRH: EEPROM アドレス上位バイト レジスタ

U-0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
—	EEADRH6	EEADRH5	EEADRH4	EEADRH3	EEADRH2	EEADRH1	EEADRH0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
u = 不変	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7 **未実装 :** 「0」として読み出し

ビット 6-0 **EEADRH<6:0>**: 上位 7 ビットのアドレスを指定、またはプログラム メモリの読み出しでは上位ビットを指定

 © 2009 Microchip Technology Inc.

レジスタ 23-5: EECON1: EEPROM 制御 1 レジスタ

R/W-0/0	R/W-0/0	R/W-0/0	R/W/HC-0/0	R/W-x/q	R/W-0/0	R/S/HC-0/0	R/S/HC-0/0
EEPGD	CFGS	LWLO	FREE	WRERR	WREN	WR	RD
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
S = セットのみ可	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	HC = ハードウェアでクリアされる

ビット 7 **EEPGD:** フラッシュ プログラム / データ EEPROM のメモリ選択ビット
1 = フラッシュ プログラム メモリへアクセス
0 = データ EEPROM メモリへアクセス

ビット 6 **CFGS:** フラッシュ プログラム / データ EEPROM またはコンフィグレーションの選択ビット
1 = コンフィギュレーション、ユーザー ID およびデバイス ID レジスタへアクセス
0 = フラッシュ プログラムまたはデータ EEPROM メモリへアクセス

ビット 5 **LWLO:** ロード ライト ラッチ オンリー ビット
EEPGD = 1 または CFGS = 1: (プログラム フラッシュへアクセス)
1 = 次の WR コマンドは PFM へ書き込みを開始しない。プログラム メモリ ラッチのみアップデートされる
0 = 次の WR コマンドは EEDATH:EEDATL の値をプログラム メモリ ラッチに書き込み、プログラム メモリ ラッチに格納されたすべてのデータの PFM への書き込みを開始する
EEPGD = 0 および CFGS = 1: (データ EEPROM へアクセス)
LWLO は無視される。次の WP コマンドが データ EEPROM への書き込みを開始する

ビット 4 **FREE:** プログラム フラッシュ消去イネーブル ビット
EEPGD = 1 または CFGS = 1: (プログラム フラッシュへアクセス)
1 = 次の WR コマンドでプラグラム フラッシュの消去を実行する (消去完了後、ハードウェアでクリアされる)
0 = 次の WR コマンドでプラグラム フラッシュの書き込みを実行する
EEPGD = 0 および CFGS = 0: (データ EEPROM へアクセス)
FREE は無視される。次の WR コマンドが消去サイクルと書き込みサイクルの両方を開始する

ビット 3 **WRERR:** EEPROM エラー フラグ ビット
1 = 不正なプログラム シーケンスまたは消去シーケンスが実行された、または停止された (WR ビットのセット (「1」 を書き込む) で自動的にセットされる)
0 = プログラムまたは消去シーケンスが正常に完了した

ビット 2 **WREN:** プログラム / 消去イネーブル ビット
1 = プログラム / 消去のサイクルを許可する
0 = プログラム フラッシュおよびデータ EEPROM のプログラミング / 消去を無効にする

ビット 1 **WR:** 書き込み制御ビット
1 = プログラム フラッシュまたはデータ EEPROM のプログラム / 消去動作を開始する
自己タイマで動作し、動作完了時にハードウェアによりクリアされる。
WR ビットはセットのみ可で、ソフトウェアではクリアできない
0 = フラッシュまたはデータ EEPROM へのプログラム / 消去動作が完了し、非アクティブ状態である

ビット 0 **RD:** 読み出し制御ビット
1 = プログラム フラッシュまたはデータ EEPROM の読み出し動作を開始する。読み出し動作には 1 サイクルが必要。RD ビットはハードウェアでクリアされる。RD ビットはセットのみ可能で、ソフトウェアではクリアできない
0 = プログラム フラッシュまたはデータ EEPROM の読み出しを開始しない

レジスタ 23-6: EECON2: EEPROM 制御 2 レジスタ

R-0/0	R-0/0	R-0/0	R-0/0	R-0/0	R-0/0	R-0/0	R-0/0
EEUNLK7	EEUNLK6	EEUNLK5	EEUNLK4	EEUNLK3	EEUNLK2	EEUNLK1	EEUNLK0
bit 7							bit 0

記号の説明 :		
R = 読み出し可	W = 書き込み可	U = 未実装ビット。「0」として読み出し
S = セットのみ可	x = 不明	-n/n = POR および BOR 時の値 / その他すべてのリセット時の値
1 = セット	0 = クリア	

ビット 7-0 **EEUNLK<7:0>:** データ EEPROM アンロック パターン ビット
書き込みをアンロックするには、EECON1 レジスタの WR ビットをセットする前に、まず 55h へ書き込みを行い、次に AAh へ書き込みを行う必要がある。このレジスタへ書き込まれた値は、書き込みアンロックに使用される。これらの書き込み動作には、指定されたタイミング要件がある。詳細は、**23.1.3 項「データ EEPROM メモリへの書き込み」**を参照。

 © 2009 Microchip Technology Inc.

23.1.2 データ EEPROM メモリの読み出し

データ メモリ ロケーションを読み出す場合は、ユーザーが EEADRL レジスタにアドレスを書き込み、EECON1 レジスタの EEPGD および CFGS 制御ビットをクリアして制御ビット RD をセットする必要があります。その後、次のサイクルで EEDATL レジスタのデータが有効になるため、次の命令で読み出し可能になります。EEDATL レジスタに格納された値は、次の読み出し操作、またはユーザーが (書き込み操作の際に) EEDAT レジスタにデータを書き込むまで保持されます。

例 23-1: データ EEPROM の読み出し

```
BANKSEL EEADRL       ;
MOVLW   DATA_EE_ADDR ;
MOVWF   EEADRL       ;Data Memory
                     ;Address to read
BCF     EECON1, CFGS ;Deselect Config space
BCF     EECON1, EEPGD;Point to DATA memory
BSF     EECON1, RD   ;EE Read
MOVF    EEDATL, W    ;W = EEDATL
BCF     STATUS, RP1  ;Bank 0
```

注 : データ EEPROM は、$\overline{CPD}$ ビットの設定に関わらず読み出し可能です。

23.1.3 データ EEPROM メモリへの書き込み

EEPROM データ メモリ ロケーションへの書き込みには、まず EEADRL レジスタにアドレスを書き込み、次に EEDATL レジスタにデータを書き込みます。そして、一定のシーケンスを実行して、バイト単位の書き込みを開始します。

書き込みを開始するには、各バイトを書き込むごとに上述のシーケンス (EECON2 に 55h を書き込み、EECON2 に AAh を書き込んでから、WR ビットをセット) を正確に実行する必要があります。このコード セグメントを実行中は割り込みは無効にしておく必要があります。

また、書き込みに際しては、EECON1 レジスタの WREN ビットもセットしておく必要があります。この手順は、誤った (予期しない) コード実行 (すなわちプログラムの暴走) によるデータ EEPROM への不正な書き込みを回避する役割を果たします。WREN ビットは、EEPROM を書き換える場合を除き、常にクリアしておいてください。WREN ビットは、ハードウェアではクリアされません。

一度書き込みシーケンスが開始すると、WREN ビットをクリアしても実行中の書き込みサイクルには影響しません。WREN ビットがセットされていなければ、WR ビットはセットできません。

書き込みサイクルが完了すると、WR ビットがハードウェアでクリアされ、EE 書き込み完了割り込みフラグ ビット (EEIF) がセットされます。この割り込みを許可、またはこのビットをポーリングできます。EEIF はソフトウェアでクリアされる必要があります。

例 23-2: データ EEPROM への書き込み

```
        BANKSEL  EEADRL          ;
        MOVLW    DATA_EE_ADDR    ;
        MOVWF    EEADRL          ;Data Memory Address to write
        MOVLW    DATA_EE_DATA    ;
        MOVWF    EEDATL          ;Data Memory Value to write
        BCF      EECON1, CFGS    ;Deselect Configuration space
        BCF      EECON1, EEPGD   ;Point to DATA memory
        BSF      EECON1, WREN    ;Enable writes

        BCF      INTCON, GIE     ;Disable INTs.
        BTFSC    INTCON, GIE     ;SEE AN576
        GOTO     $-2
Required
Sequence
        MOVLW    55h             ;
        MOVWF    EECON2          ;Write 55h
        MOVLW    AAh             ;
        MOVWF    EECON2          ;Write AAh
        BSF      EECON1, WR      ;Set WR bit to begin write

        BCF      EECON1, WREN    ;Disable writes
        BTFSC    EECON1, WR      ;Wait for write to complete
        GOTO     $-2             ;Done
```

23.1.4 フラッシュ プログラム メモリの読み出し

プログラム メモリ ロケーションを読み出す際、ユーザーは次を実行する必要があります。

1. EEADRL レジスタおよび EEADRH レジスタに下位アドレスおよび上位アドレスを書き込む
2. EECON1 レジスタの CFGS ビットをクリアする
3. EECON1 レジスタの EEPGD 制御ビットをセットする
4. EECON1 レジスタの RD 制御ビットをセットする

読み出し制御ビットがセットされると、プログラム メモリ フラッシュ コントローラは 2 番目の命令サイクルを使用してデータを読み出します。このため、「BSF EECON1,RD」命令のすぐ後の 2 番目の命令が見落とされる原因となります。データは、次のサイクルの EEDATL レジスタおよび EEDATH レジスタで有効になります。つまり、続く命令で 2 バイトとして読み出されます。

EEDATL レジスタおよび EEDATH レジスタは、次の読み出しまたはユーザーによる書き込みが実行されるまでこの値を保持します。

注 1: プログラム メモリの読み出し後の 2 つの命令は、NOP になる必要があります。これにより、RD ビットがセットされた後の次の命令でユーザーが 2 サイクル命令を実行することが回避できます。

2: データ EEPROM は、$\overline{\text{CPD}}$ ビットの設定に関わらず読み出し可能です。

例 23-3: フラッシュ プログラム メモリの読み出し

```
    BANKSEL EEADRL              ;
    MOVLW   MS_PROG_EE_ADDR     ;
    MOVWF   EEADRH              ;MS Byte of Program Address to read
    MOVLW   LS_PROG_EE_ADDR     ;
    MOVWF   EEADRL              ;LS Byte of Program Address to read
    BANKSEL EECON1              ;
    BSF     EECON1, EEPGD       ;Point to PROGRAM memory
    BSF     EECON1, RD          ;EE Read
                                ;
                                ;First instruction after BSF EECON1,RD executes normally
    NOP
    NOP                         ;Any instructions here are ignored as program
                                ;memory is read in second cycle after BSF EECON1,RD
;
    BANKSEL EEDATL              ;
    MOVF    EEDATL, W           ;W = LS Byte of Program Memory
    MOVWF   LOWPMBYTE           ;
    MOVF    EEDATH, W           ;W = MS Byte of Program EEDATL
    MOVWF   HIGHPMBYTE          ;
    BCF STATUS, RP1             ;Bank 0
```

Required Sequence

 © 2009 Microchip Technology Inc.

例 23-4:　フラッシュ プログラム メモリの読み出し

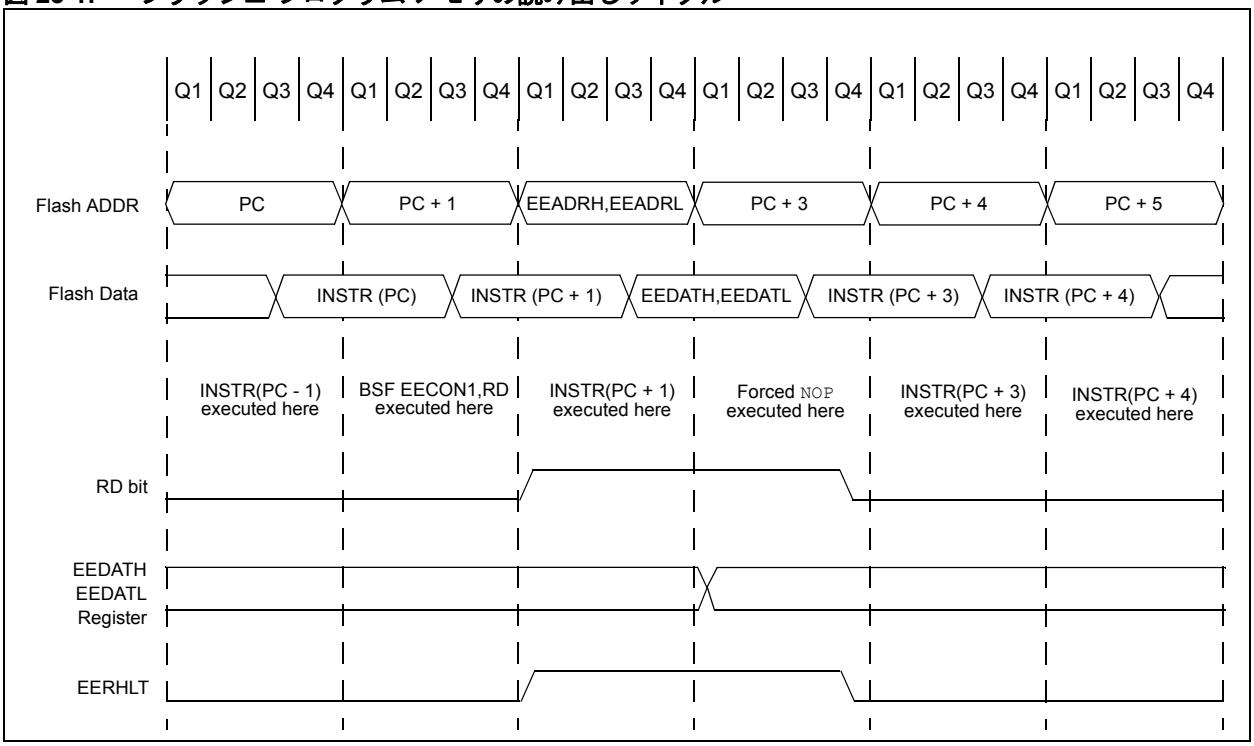
```
* This code block will read 1 word of program
* memory at the memory address:
    PROG_ADDR_HI : PROG_ADDR_LO
*   data will be returned in the variables;
*   PROG_DATA_HI, PROG_DATA_LO

    BANKSEL  EEADRL           ; Select Bank for EEPROM registers
    MOVLW    PROG_ADDR_LO     ;
    MOVWF    EEADRL           ; Store LSB of address
    MOVLW    PROG_ADDR_HI     ;
    MOVWL    EEADRH           ; Store MSB of address

    BCF      EECON1,CFGS      ; Select Configuration Space
    BSF      EECON1,EEPGD     ; Select Program Memory
    BCF      INTCON,GIE       ; Disable interrupts
    BSF      EECON1,RD        ; Initiate read
    NOP                       ; Executed (ê}23-1)
    NOP                       ; Ignored (ê}23-1)
    BSF      INTCON,GIE       ; Restore interrupts

    MOVF     EEDATL,W         ; Get LSB of word
    MOVWF    PROG_DATA_LO     ; Store in user location
    MOVF     EEDATH,W         ; Get MSB of word
    MOVWF    PROG_DATA_HI     ; Store in user location
```

図 23-1:　フラッシュ プログラム メモリの読み出しサイクル



23.2 プログラム メモリの消去

コード実行時、プログラム メモリの消去は行単位でのみ可能です。1 つの行は 32 ワード (EEADRL<4:0> = 0000) で構成されています。消去する場合は次を実行します。

1. EEADRH レジスタおよび EEADRL レジスタに消去する行のアドレスをロードする
2. EECON1 レジスタの CFGS ビットをクリアする
3. EECON1 レジスタの EEPGD ビットをセットする
4. EECON1 レジスタの FREE ビットをセットする
5. EECON2 レジスタにまず 55h を書き込み、次に AAh を書き込む (フラッシュ プログラミング アンロック シーケンス)
6. EECON1 レジスタの制御ビット WR をセットして書き込み動作を開始する

23.3 フラッシュ プログラム メモリへの書き込み

書き込みを実行する前に、プログラムメモリを消去するコマンドを使用してプログラム メモリを消去する必要があります。

書き込み開始時に自動的に消去する機能はありません。書き込み前にプログラム メモリが消去されている状態にする場合は、あらかじめ行 (32 ワード) を消去しておく必要があります。

フラッシュ プログラム メモリへの書き込みは、デスティネーション アドレスがメモリのセグメントにあり、コンフィギュレーション ワード レジスタ 2 のビット WRT<1:0> で定義されているように、書き込み保護されていない場合のみ実行されます。フラッシュ プログラム メモリは、8 ワード単位で書き込まれる必要があります。詳細は、図 23-2 を参照してください。各ブロックは、連続するアドレスと EEADRL<2:0> = 000 のアドレスによって定義されている下位バウンダリを含む 8 ワードで構成されています。プログラム メモリすべてへの書き込み動作は、8 ワードの書き込み実行により、32 ワードの消去として実行されます。書き込み動作はエッジ アラインとなり、バウンダリを超えて実行できません。

LWLO ビットが「1」の場合、書き込みシーケンスはバッファ レジスタのロードのみ実行して、実際にプログラム フラッシュへ書き込みを開始しません。

1. EECON1 レジスタの EEPGD、WREN および LWLO ビットをセットする
2. EECON2 レジスタにまず 55h を書き込み、次に AAh を書き込む (フラッシュ プログラミング アンロック シーケンス)
3. EECON1 レジスタの制御ビット WR をセットして書き込み動作を開始する

プログラム データを書き込む際、まずバッファ レジスタへロードする必要があります (図 23-1 を参照)。これには、まず EEADRL および EEADRH へデスティネーション アドレスを書き込み、次に EEDATA および EEDATH へデータを書き込むことで完了します。アドレスおよびデータの書き込みが完了後、次のイベント シーケンスを実行する必要があります。

1. EECON1 レジスタの EEPGD 制御ビットをセットする
2. EECON1 レジスタの LWLO ビットをセットする
3. EECON2 レジスタにまず 55h を書き込み、次に AAh を書き込む (フラッシュ プログラミング シーケンス)
4. EECON1 レジスタの WR 制御ビットをセットする

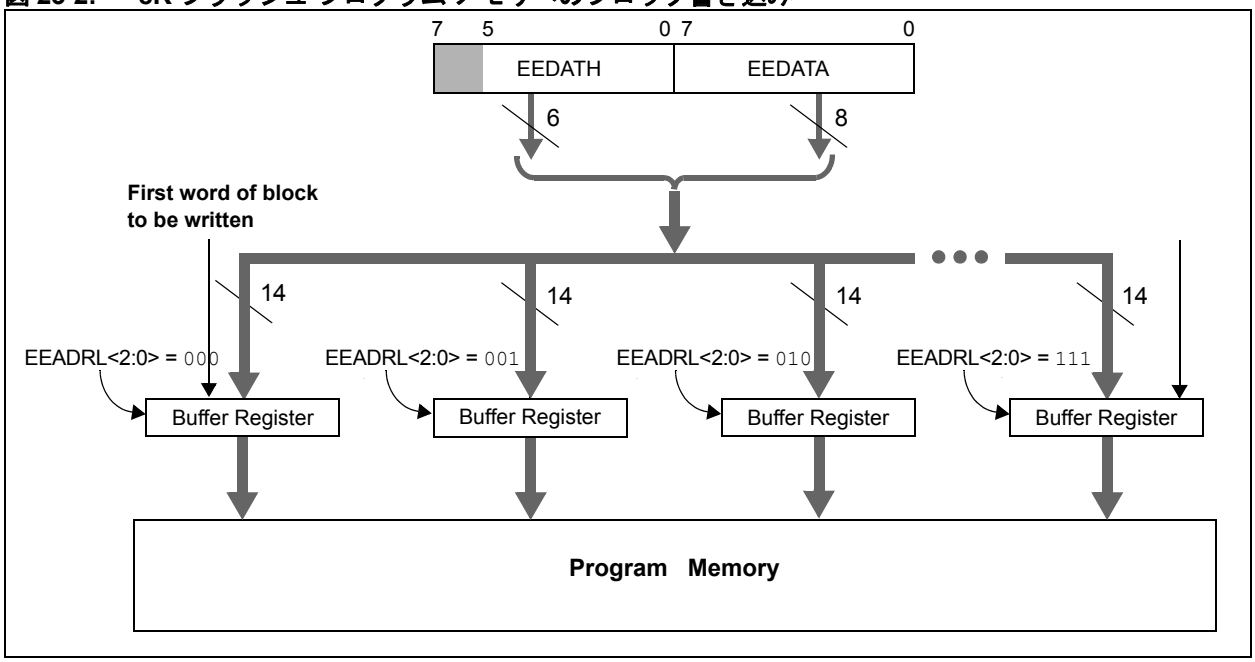
最大 8 ワードのバッファ レジスタ ロケーションへ適切なデータを書き込みできます。8 ワードより少ないワードが書き込まれる場合は、プログラムされないワードをすべて 1 にしてください。

「BSF EECON1,WR」命令の後、プロセッサは消去 / 書き込み動作のセットアップのため 2 サイクル必要になります。WR ビットがセットされた後、ユーザーが 2 つの NOP 命令を発行する必要があります。バッファ レジスタへデータ書き込みが実行されているため、最初の 7 ワードの書き込みはすぐに現れます。消去が実行されるサイクル (16 ワード ブロックの消去の最後のワード) でのみ、プロセッサが内部動作を 2 ms 間 (標準) 停止します。クロックと周辺装置は継続して動作しているため、スリープ モードではありません。8 ワードの書き込みサイクル後、プロセッサは EECON1 書き込み命令後の 3 番目の命令で動作を再開します。

例 23-5 に、8 ワードの書き込みシーケンスの例を示します。最初のアドレスは、EEADRH レジスタおよび EEADRL レジスタにロードされます。8 ワードのデータは、間接アドレス指定でロードされます。

 © 2009 Microchip Technology Inc.

図 23-2:　8K フラッシュ プログラム メモリへのブロック書き込み



例 23-5:　フラッシュ プログラム メモリへの書き込み

```
; This write routine assumes the following:
; 1. A valid starting address (the least significant bits = 00)is loaded in ADDRH:ADDRL
; 2. The 8 bytes of data are loaded, starting at the address in DATADDR
; 3. ADDRH, ADDRL and DATADDR are all located in shared data memory 0x70 - 0x7f
;
        BANKSEL EEADRH          ; Bank 3
        MOVF    ADDRH,W         ; Load initial address
        MOVWF   EEADRH          ;
        MOVF    ADDRL,W         ;
        MOVWF   EEADRL          ;
        MOVF    DATAADDRL,W     ; Load initial data address
        MOVWF   FSR0L           ;
        MOVF    DATAADDRH,W     ; Load initial data address
        MOVWF   FSR0H           ;

LOOP    MOVIW   INDF0++         ; Load first data byte into lower
        MOVWF   EEDATL          ;
        MOVIW   INDF0++         ; Load second data byte into upper
        MOVWF   EEDATH          ;
        BSF     EECON1,EEPGD    ; Point to program memory
        BCF     EECON1,CFGS     ; Not configuration space
        BSF     EECON1,WREN     ; Enable writes
        BSF     EECON1,LWLO     ; Only Load Write Latches

Required Sequence
        MOVLW   55h             ; Start of required write sequence:
        MOVWF   EECON2          ; Write 55h
        MOVLW   AAh             ;
        MOVWF   EECON2          ; Write AAh
        BSF     EECON1,WR       ; Set WR bit to begin write

        NOP                     ; Any instructions here are ignored as processor
                                ; halts to begin write sequence
        NOP                     ; processor will stop here and wait for write complete
                                ; after write processor continues with 3rd instruction


    MOVF    EEADR,W             ; Check if lower two bits of address are ‘00’
        XORLW   0x08            ; Check if we’re on the last of 8 addresses
        ANDLW   0x08            ;
        BTFSC   STATUS,Z        ; Exit if last of eight words,
        GOTO    START_WRITE     ;

        INCF    EEADR,F         ; Still loading latches Increment address
        GOTO    LOOP            ; Write next latches

START_WRITE
        BCF     EECON1,LWLO     ; No more Latches only; Actually start write

Required Sequence
        MOVLW   55h             ; Start of required write sequence:
        MOVWF   EECON2          ; Write 55h
        MOVLW   AAh             ;
        MOVWF   EECON2          ; Write AAh
        BSF     EECON1,WR       ; Set WR bit to begin write

        NOP                     ; Any instructions here are ignored as processor
                                ; halts to begin write sequence
        NOP                     ; processor will stop here and wait for write complete
                                ; after write processor continues with 3rd instruction
        BCF     EECON1,WREN     ; Disable writes
```


© 2009 Microchip Technology Inc.

23.4 コンフィギュレーション ワードおよびデバイス ID へのアクセス

CFGS = 1 の場合は、プログラム メモリまたはデータ EEPROM へアクセスする代わりに、ユーザー ID、デバイス ID/ リビジョン ID、およびコンフィギュレーション ワードへアクセスできます。これは、PC<15> = 1 で示される領域ですが、すべてのアドレスがアクセス可能というわけではありません。読み出しと書き込みでは、アクセス可能なアドレス範囲が異なる場合があります。詳細は表 23-1 を参照してください。

未許可アドレスへ読み出しを実行すると、EEDATH:EEDATL レジスタがクリアされます。

書き込み動作は、WRT コンフィギュレーション ビットで無効にできます。詳細は、コンフィギュレーション ワード 2 レジスタを参照してください。

表 23-1: EECON1/EEDATH:EEDATL レジスタを使用した PFM/FUSE へのアクセス (CFGS = 1 の場合)

Address	Function	Read Access	Write Access
8000h-8003h	User IDs	Yes	Yes
8006h	Device ID/Revision ID	Yes	No
8007h-8008h	Configuration Words 1 and 2	Yes	No

例 23-6: コンフィギュレーション ワードおよびデバイス ID へのアクセス

```
* This code block will read 1 word of program
* memory at the memory address:
    PROG_ADDR_HI : PROG_ADDR_LO
*   data will be returned in the variables;
*   PROG_DATA_HI, PROG_DATA_LO

    BANKSEL  EEADRL           ; Select Bank 2
    MOVLW    PROG_ADDR_LO     ;
    MOVWF    EEADRL           ; Store LSB of address
    MOVLW    PROG_ADDR_HI     ;
    MOVWL    EEADRH           ; Store MSB of address

    BCF      EECON1,CFGS      ; Deselect Configuration Space
    BSF      EECON1,EEPGD     ; Select Program Memory
    BCF      INTCON,GIE       ; Disable interrupts
    BSF      EECON1,RD        ; Initiate read
    NOP                       ; Executed (ê}23-1)
    NOP                       ; Ignored (ê}23-1)
    BSF      INTCON,GIE       ; Restore interrupts

    MOVF     EEDATL,W         ; Get LSB of word
    MOVWF    PROG_DATA_LO     ; Store in user location
    MOVF     EEDATH,W         ; Get MSB of word
    MOVWF    PROG_DATA_HI     ; Store in user location
```

23.5 書き込みの検証

アプリケーションによっては、プログラミング手法として、データ EEPROM またはプログラム メモリに正しい値が書き込まれたかどうかの検証 (例 23-7 参照) が強く推奨されることがあります。

例 23-7: 書き込みの検証

```
BANKSEL EEDATL      ;
MOVF    EEDATL, W   ;EEDATL not changed
                    ;from previous write
BSF     EECON1, RD  ;YES, Read the
                    ;value written
XORWF   EEDATL, W   ;
BTFSS   STATUS, Z   ;Is data the same
GOTO    WRITE_ERR   ;No, handle error
:                   ;Yes, continue
```

23.5.1 データ EEPROM の使用

データ EEPROM は書き込み耐性が高くバイト アドレッシング可能なメモリ アレイで、頻繁に書き換えの必要な情報 (プログラム変数や使用頻度の高いデータなど) の格納に適しています。データ EEPROM の中に、頻繁に書き換える変数とそうでない変数が混在する場合、バイト単位では最大書き込みサイクル数 (仕様値 D120 および D120A) を超えていなくとも、EEPROM への最大書き込みサイクル数 (仕様 D124) を超えてしまうことがあります。このような場合は、アレイをリフレッシュする必要があります。このため、あまり変化しない変数 (定数、ID、較正値など) は、フラッシュ プログラム メモリに格納するようにしてください。

23.6 誤書き込み防止

状況によっては、データ EEPROM メモリへの書き込みを禁止する必要があります。EEPROM への不正な書き込みを回避するために、さまざまなメカニズムが構築されています。電源投入時には WREN がクリアされます。また、パワーアップ タイマ (継続時間は 64 ms) の動作中も、EEPROM へ書き込みできません。

書き込みを開始するには一定のシーケンスの実行と WREN ビットの設定が必要なため、次に示す状態で誤って書き込まれることはありません。

- ブラウンアウト
- パワー グリッチ
- ソフトウェアの誤動作

23.7 コード プロテクトされたデータ EEPROM の動作

コンフィギュレーション ワード レジスタ 1 (レジスタ 10-1) の $\overline{\text{CPD}}$ ビットを「0」に設定すると、データ メモリのコード プロテクト機能が有効になります。

データ メモリでコード プロテクト機能が有効になっている場合は、CPU のみデータ EEPROM に対するデータの読み出しと書き込みが実行できます。データ メモリのコード プロテクトを行う際は、プログラム メモリに対してもコード プロテクトを有効にすることを推奨します。これにより、ユーザー本人のプログラムが、別のプログラムに置き換えられてデータ EEPROM の内容が変更されることはありません。

表 23-2: データ EEPROM 関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
EECON1	EEPGD	CFGS	LWLO	FREE	WRERR	WREN	WR	RD	323
EECON2	EEPROM Control Register 2 (not a physical register)								324*
EEADRL	EEADRL7	EEADRL6	EEADRL5	EEADRL4	EEADRL3	EEADRL2	EEADRL1	EEADRL0	322
EEADRH	—	EEADRH6	EEADRH5	EEADRH4	EEADRH3	EEADRH2	EEADRH1	EEADRH0	322
EEDATL	EEDATL7	EEDATL6	EEDATL5	EEDATL4	EEDATL3	EEDATL2	EEDALT1	EEDATL0	322
EEDATH	—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0	322
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PIE2	OSFIE	C2IE	C1IE	EEIE	BCLIE	LCDIE	—	CCP2IE	75
PIR2	OSFIF	C2IF	C1IF	EEIF	BCLIF	LCDIF	—	CCP2IF	78

記号の説明 : x = 不明。u = 不変。— = 未実装、「0」として読み出し。q = 条件により変化する値。
網掛けのビットはデータ EEPROM モジュールでは使用しません。

* このページにはレジスタ情報が記載されています。

 © 2009 Microchip Technology Inc.

24.0 パワーダウン モード (スリープ)

SLEEP 命令を実行すると、パワーダウン モードになります。

ウォッチドッグ タイマが有効な場合、次の処理が実行されます。

- WDT がクリアされる (WDT の動作は継続)
- STATUS レジスタの $\overline{PD}$ ビットがクリアされる
- STATUS レジスタの $\overline{TO}$ ビットがセットされる
- オシレータ ドライバがオフになる
- Timer1 オシレータは影響を受けない
- I/O ポートは SLEEP 命令が実行される前の状態を維持する (High または Low を出力、あるいはハイインピーダンス)

このモードで消費電流を最小限にする場合は、I/O ピンから電流が流れる外部回路を使用せずに、すべての I/O ピンを VDD または VSS へ接続します。ハイインピーダンス入力の I/O ピンは、外部で High または Low にプルして、フローティング入力によるスイッチング電流が生じないようにしてください。消費電流を最小限にするには、T0CKI 入力も VDD または VSS としてください。また、PORTB のオンチップ プルアップの消費電流も考慮する必要があります。

イネーブル リセットは、スリープ中に動作可能です。

24.1 スリープからのウェイクアップ

デバイスは、次のイベントのいずれかにより、スリープからウェイクアップできます。

1. $\overline{MCLR}$ ピンへの外部リセット入力 (有効な場合)
2. BOR リセット (有効な場合)
3. ウォッチドッグ タイマによるウェイクアップ (有効な場合)
4. 外部割込み
5. 特定周辺装置割り込み (詳細は、各周辺装置の説明を参照)

上記の 1 および 2 では、デバイスがリセットされます。3、4、5 の場合は、プログラム実行が再開されます。STATUS レジスタの $\overline{TO}$ ビットと $\overline{PD}$ ビットに基づいて、デバイス リセットの原因を特定できます。電源投入時にセットされる $\overline{PD}$ ビットは、スリープの実行時にクリアされます。$\overline{TO}$ ビットは、WDT ウェイクアップ時にクリアされます。

スリープ時にはオンチップのクロックが停止するため、上記以外の周辺機能は割り込みを生成できません。

SLEEP 命令の実行中に、次の命令 (PC+1) がプリフェッチされます。割り込みイベントでデバイスをウェイクアップするには、対応する割り込みイネーブル ビットをセット (許可) しておく必要があります。ウェイクアップは、GIE ビットの状態に関係なく実行されます。GIE ビットがクリア (禁止) されている場合、デバイスは SLEEP 命令の次の命令から実行を再開します。GIE ビットがセット (許可) されている場合、デバイスは SLEEP 命令の次の命令を実行後、割り込みアドレス (0004h) に分岐します。SLEEP 命令後の命令実行が望ましくない場合は、SLEEP 命令の後に NOP 命令を使用してください。

> **注 :** グローバル割り込みが禁止 (GIE がクリア) されていても、何らかの割り込み要因の割り込みイネーブル ビットとそれに対応する割り込みフラグ ビットの両方がセットされている場合は、デバイスが直ぐにスリープからウェイクアップします。SLEEP 命令は、完全に実行されます。

デバイスがスリープからウェイクアップすると、ウェイクアップの要因に関係なく、WDT はクリアされます。

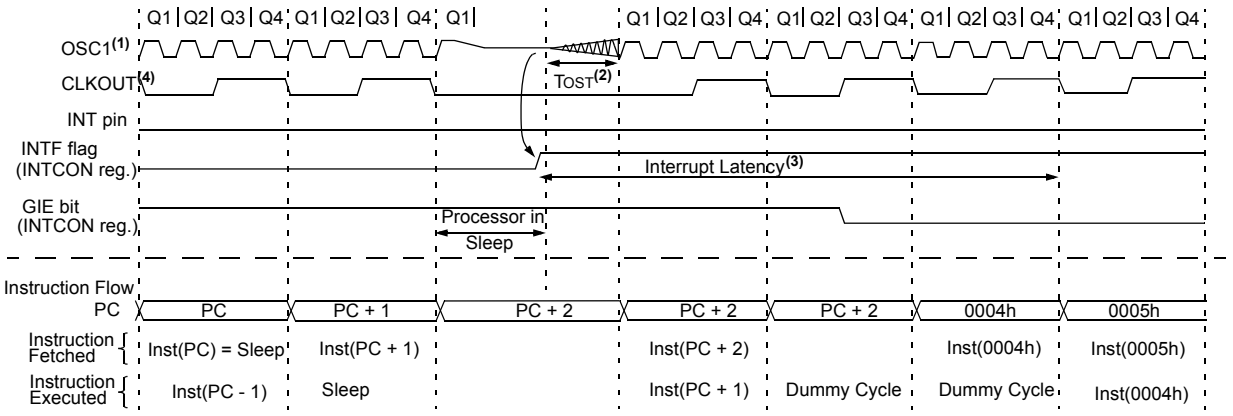
24.2 割り込みを使用したウェイクアップ

グローバル割り込みが禁止 (GIE がクリア) されている場合でも、何らかの割り込み要因の割り込みイネーブル ビットと割り込みフラグ ビットの両方がセットされると、次のいずれかが発生します。

- SLEEP 命令の**実行前**に割り込みが発生した場合、SLEEP 命令は NOP として完了します。このため、WDT および WDT プリスケーラ / ポストスケーラ (有効な場合) のクリア、$\overline{TO}$ ビットのセット、$\overline{PD}$ ビットのクリアはいずれも実行されません。
- SLEEP 命令の**実行中または実行後**に割り込みが発生した場合、デバイスはただちにスリープからウェイクアップします。SLEEP 命令の実行は、ウェイクアップの前に完了します。このため、WDT および WDT プリスケーラ / ポストスケーラ (有効な場合) のクリア、$\overline{TO}$ ビットのセット、$\overline{PD}$ ビットのクリアはいずれも実行されます。

SLEEP 命令の実行前にフラグ ビットをチェックした場合でも、SLEEP 命令が完了する前にフラグ ビットがセットされる可能性があります。SLEEP 命令が実行されたかどうかを判断するには、$\overline{PD}$ ビットをテストしてください。$\overline{PD}$ ビットがセットされている場合、SLEEP 命令が NOP として実行されたことを示します。

図 24-1: 割り込みによるスリープからのウェイクアップ



注 1: XT、HT、LP のいずれかのオシレータ モードを前提とします。
2: TOST = 1024 TOSC (これは縮図ではありません)。この遅延は、EC および RC のオシレータ モードには該当しません。
3: GIE = 1 の場合です。この場合、ウェイクアップ後にプロセッサは 0004h にジャンプします。GIE = 0 の場合、インラインで命令の実行が継続されます。
4: CLKOUT は XT、HS、LP、EC のオシレータ モードにはありませんが、タイミングの参考として示しています。

表 24-1: パワーダウン モード関連のレジスタ

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
IOCBF	IOCBF7	IOCBF6	IOCBF5	IOCBF4	IOCBF3	IOCBF2	IOCBF1	IOCBF0	104
IOCBN	IOCBN7	IOCBN6	IOCBN5	IOCBN4	IOCBN3	IOCBN2	IOCBN1	IOCBN0	104
IOCBP	IOCBP7	IOCBP6	IOCBP5	IOCBP4	IOCBP3	IOCBP2	IOCBP1	IOCBP0	104
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	73
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	74
PIE2	OSFIE	C2IE	C1IE	EEIE	BCLIE	LCDIE	—	CCP2IE	75
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	77
PIR2	OSFIE	C2IE	C1IE	EEIE	BCLIE	LCDIE	—	CCP2IE	78

記号の説明 : x = 不明。u = 不変。— = 未実装、「0」として読み出し。網掛けのビットはパワーダウン モードには使用しません。

© 2009 Microchip Technology Inc.

25.0 IN-CIRCUIT SERIAL PROGRAMMING™ (ICSP™)

ICSP™ プログラミングを使用すると、プログラムされていないデバイスで回路基板を作成できます。組み立てプロセス後にプログラミングするため、最新ファームウェアまたはカスタム ファームウェアを使用してデバイスをプログラムできます。ICSP™ プログラミングには、次の 5 つのピンが必要です。

- ICSPCLK
- ICSPDAT
- $\overline{\text{MCLR}}$/VPP
- VDD
- VSS

プログラム メモリがプログラム モードまたは検証モードの場合、ユーザー ID およびコンフィギュレーション ワードはシリアル通信でプログラムされます。ICSPDAT ピンは連続データを転送するための双方向 I/O であり、ICSPCLK ピンはクロック入力です。ICSP™ の詳細は、『PIC16193X/PIC16LF193X Memory Programming Specification』(DS41360A) を参照してください。

25.1 高電圧プログラミング モード

ICSPCLK ピンおよび ICSPDAT ピンを Low に保持し、$\overline{\text{MCLR}}$/VPP の電圧を VIHH にすると、デバイスは高電圧のプログラム / 検証モードになります。

注 : ICD 2 は、PIC16F193X/LF193X デバイスの最大 VPP 仕様を超える VPP 電圧を生成します。このプログラマを使用する場合は、外部回路で VPP 電圧を仕様範囲内に抑える必要があります。

25.2 低電圧プログラミング モード

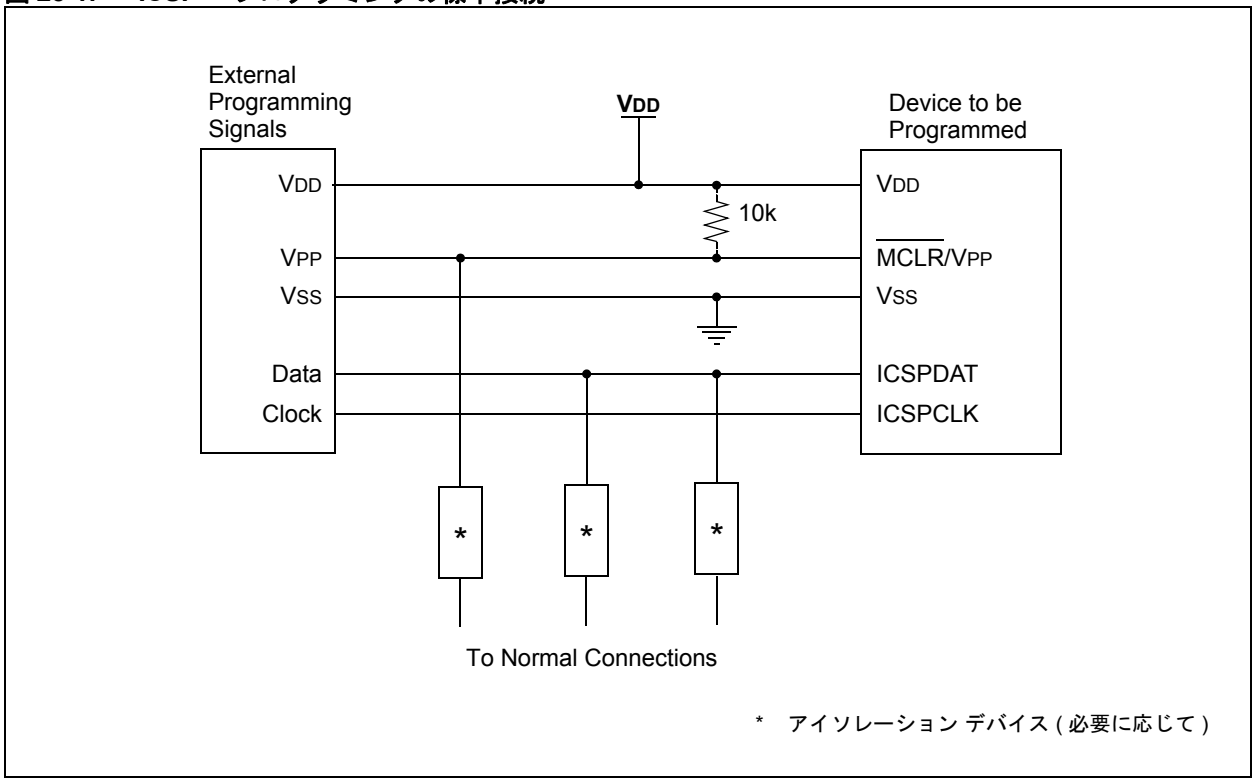
低電圧プログラミング モードでは、高電圧を使用せずに VDD のみを使用して PIC16F193X/LF193X デバイスをプログラムできます。コンフィギュレーション ワード 2 レジスタの LVP ビットを「1」にセットすると、低電圧の ICSP プログラミング入力が有効になります。低電圧 ICSP モードを無効にする場合は、LVP ビットを「0」にセットしてください。

低電圧 ICSP プログラム / 検証モードに遷移する手順は次のとおりです。

1. $\overline{\text{MCLR}}$ が VIL になる
2. 32 ビットのキー シーケンスが ICSPDAT に現れる (ICSPCLK にクロック信号が現れる)

キー シーケンス完了後、プログラム / 検証モードが継続される間は $\overline{\text{MCLR}}$ が VIL を保持する必要があります。

図 25-1: ICSP™ プログラミングの標準接続



ノート：

 © 2009 Microchip Technology Inc.

26.0 命令セットのまとめ

各 PIC16 命令は 14 ビット ワードで構成されており、オペレーション コード (OPCODE) とそれらに必要なオペランドを含みます。OPCODE は、主に 3 つのカテゴリに分類されます。

- バイト オリエント
- ビット オリエント
- リテラルおよび制御

リテラルおよび制御カテゴリには、最も多様な命令ワード形式があります。

MPASM™ アセンブラで認識される命令の一覧を表 26-3 に示します。

すべての命令は、1 命令サイクルで実行されます。ただし、次に示す例外は 2 サイクルまたは 3 サイクル必要です。

- サブルーチンは 2 サイクル必要 (CALL、CALLW)
- 割り込みまたはサブルーチンからのリターンは 2 サイクル必要 (RETURN、RETLW、RETFIE)
- プログラムの分岐は 2 サイクル必要 (GOTO、BRA、BRW、BTFSS、BTFSC、DECFSZ、INCSFZ)
- 命令が間接ファイル レジスタを参照し、ファイル セレクト レジスタの MSB がセットされている場合は、追加で 1 命令サイクルが必要

1 命令サイクルはオシレータ 4 周期分となります。例えばオシレータ周波数が 4 MHz の場合、命令実行周波数の公称値は 1 MHz です。

命令の例では、「0xhh」のフォーマットで 16 進数を表しています。「h」は 16 進数の 1 桁の数字を意味します。

26.1 Read-Modify-Write 操作

命令の一部にファイル レジスタを指定するような命令では、必ず Read-Modify-Write (R-M-W) 動作が実行されます。レジスタを読み出し、データを変更し、そして命令または格納先指定文字「d」のいずれかに従って結果を書き込みます。

表 26-1: OPCODE フィールドの説明

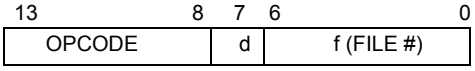
Field	Description
f	Register file address (0x00 to 0x7F)
W	Working register (accumulator)
b	Bit address within an 8-bit file register
k	Literal field, constant data or label
x	Don't care location (= 0 or 1). The assembler will generate code with x = 0. It is the recommended form of use for compatibility with all Microchip software tools.
d	Destination select; d = 0: store result in W, d = 1: store result in file register f. Default is d = 1.
n	FSR or INDF number. (0-1)
mm	Pre-post increment-decrement mode selection

表 26-2: 略語の解説

Field	Description
PC	Program Counter
$\overline{TO}$	Time-out bit
C	Carry bit
DC	Digit carry bit
Z	Zero bit
$\overline{PD}$	Power-down bit

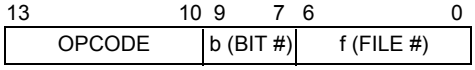
図 26-1:　命令の一般的な形式

Byte-oriented file register operations



d = 0 for destination W
d = 1 for destination f
f = 7-bit file register address

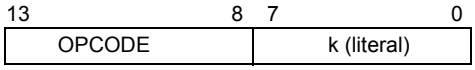
Bit-oriented file register operations



b = 3-bit bit address
f = 7-bit file register address

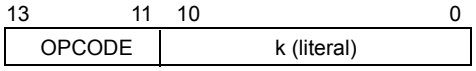
Literal and control operations

General



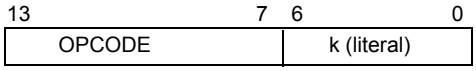
k = 8-bit immediate value

CALL and GOTO instructions only



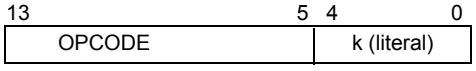
k = 11-bit immediate value

MOVLP instruction only



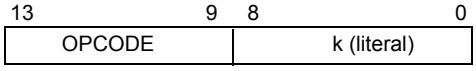
k = 7-bit immediate value

MOVLB instruction only



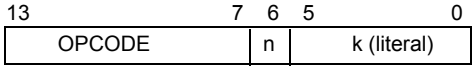
k = 5-bit immediate value

BRA instruction only



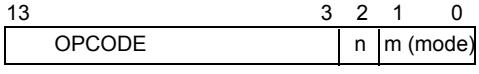
k = 9-bit immediate value

FSR Offset instructions



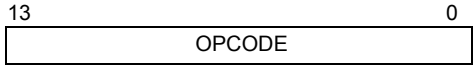
n = appropriate FSR
k = 6-bit immediate value

FSR Increment instructions



n = appropriate FSR
m = 2-bit mode value

OPCODE only



© 2009 Microchip Technology Inc.

表 26-3: PIC16F193X/LF193X 拡張命令セット

Mnemonic, Operands		Description	Cycles	14-Bit Opcode MSb			LSb	Status Affected	Notes
BYTE-ORIENTED FILE REGISTER OPERATIONS									
ADDWF	f, d	Add W and f	1	00	0111	dfff	ffff	C, DC, Z	2
ADDWFC	f, d	Add with Carry W and f	1	11	1101	dfff	ffff	C, DC, Z	2
ANDWF	f, d	AND W with f	1	00	0101	dfff	ffff	Z	2
ASRF	f, d	Arithmetic Right Shift	1	11	0111	dfff	ffff	C, Z	2
LSLF	f, d	Logical Left Shift	1	11	0101	dfff	ffff	C, Z	2
LSRF	f, d	Logical Right Shift	1	11	0110	dfff	ffff	C, Z	2
CLRF	f	Clear f	1	00	0001	lfff	ffff	Z	2
CLRW	—	Clear W	1	00	0001	0000	00xx	Z	
COMF	f, d	Complement f	1	00	1001	dfff	ffff	Z	2
DECF	f, d	Decrement f	1	00	0011	dfff	ffff	Z	2
INCF	f, d	Increment f	1	00	1010	dfff	ffff	Z	2
IORWF	f, d	Inclusive OR W with f	1	00	0100	dfff	ffff	Z	2
MOVF	f, d	Move f	1	00	1000	dfff	ffff	Z	2
MOVWF	f	Move W to f	1	00	0000	1fff	ffff		2
RLF	f, d	Rotate Left f through Carry	1	00	1101	dfff	ffff	C	2
RRF	f, d	Rotate Right f through Carry	1	00	1100	dfff	ffff	C	2
SUBWF	f, d	Subtract W from f	1	00	0010	dfff	ffff	C, DC, Z	2
SUBWFB	f, d	Subtract with Borrow W from f	1	11	1011	dfff	ffff	C, DC, Z	2
SWAPF	f, d	Swap nibbles in f	1	00	1110	dfff	ffff		2
XORWF	f, d	Exclusive OR W with f	1	00	0110	dfff	ffff	Z	2
BYTE ORIENTED SKIP OPERATIONS									
DECFSZ	f, d	Decrement f, Skip if 0	1(2)	00	1011	dfff	ffff		1, 2
INCFSZ	f, d	Increment f, Skip if 0	1(2)	00	1111	dfff	ffff		1, 2
BIT-ORIENTED FILE REGISTER OPERATIONS									
BCF	f, b	Bit Clear f	1	01	00bb	bfff	ffff		2
BSF	f, b	Bit Set f	1	01	01bb	bfff	ffff		2
BIT-ORIENTED SKIP OPERATIONS									
BTFSC	f, b	Bit Test f, Skip if Clear	1 (2)	01	10bb	bfff	ffff		1, 2
BTFSS	f, b	Bit Test f, Skip if Set	1 (2)	01	11bb	bfff	ffff		1, 2
LITERAL OPERATIONS									
ADDLW	k	Add literal and W	1	11	1110	kkkk	kkkk	C, DC, Z	
ANDLW	k	AND literal with W	1	11	1001	kkkk	kkkk	Z	
IORLW	k	Inclusive OR literal with W	1	11	1000	kkkk	kkkk	Z	
MOVLB	k	Move literal to BSR	1	00	0000	001k	kkkk		
MOVLP	k	Move literal to PCLATH	1	11	0001	1kkk	kkkk		
MOVLW	k	Move literal to W	1	11	0000	kkkk	kkkk		
SUBLW	k	Subtract W from literal	1	11	1100	kkkk	kkkk	C, DC, Z	
XORLW	k	Exclusive OR literal with W	1	11	1010	kkkk	kkkk	Z	

注 1: プログラム カウンタ (PC) が変更された場合、あるいは条件付きテストの結果が真の場合、命令実行には 2 サイクルが必要です。2 サイクル目は、NOP として実行されます。

2: この命令が INDF レジスタをアドレス指定し、対応する FSP の MSB がセットされた場合、1 命令サイクルが追加されます。

表 26-3: PIC16F193X/LF193X 拡張命令セット (続き)

Mnemonic, Operands		Description	Cycles	14-Bit Opcode MSb LSb	Status Affected	Notes
CONTROL OPERATIONS						
BRA	k	Relative Branch	2	11 001k kkkk kkkk		
BRW	—	Relative Branch with W	2	00 0000 0000 1011		
CALL	k	Call Subroutine	2	10 0kkk kkkk kkkk		
CALLW	—	Call Subroutine with W	2	00 0000 0000 1010		
GOTO	k	Go to address	2	10 1kkk kkkk kkkk		
RETFIE	k	Return from interrupt	2	00 0000 0000 1001		
RETLW	k	Return with literal in W	2	11 0100 kkkk kkkk		
RETURN	—	Return from Subroutine	2	00 0000 0000 1000		
INHERENT OPERATIONS						
CLRWDT	—	Clear Watchdog Timer	1	00 0000 0110 0100	$\overline{TO}$, $\overline{PD}$	
NOP	—	No Operation	1	00 0000 0000 0000		
OPTION	—	Load OPTION_REG register with W	1	00 0000 0110 0010		
RESET	—	Software device Reset	1	00 0000 0000 0001		
SLEEP	—	Go into Standby mode	1	00 0000 0110 0011	$\overline{TO}$, $\overline{PD}$	
TRIS	f	Load TRIS register with W	1	00 0000 0110 01kk		
C-COMPILER OPTIMIZED						
ADDFSR	n, k	Add Literal to FSRn	1	11 0001 0nkk kkkk		
MOVIW	mm n	Move INDFn to W, with pre/post inc/dec	1	00 0000 0001 0mmn	Z	**2**
	n mm	Move INDFn to W, with pre/post inc/dec	1	00 0000 0001 0nmm	Z	**2**
	k[n]	Move INDFn to W, Indexed Indirect.	1	11 1111 0nkk kkkk	Z	**2**
MOVWI	mm n	Move W to INDFn, with pre/post inc/dec	1	00 0000 0001 1mmn		**2**
	n mm	Move W to INDFn, with pre/post inc/dec	1	00 0000 0001 1nmm		**2**
	k[n]	Move W to INDFn, Indexed Indirect.	1	11 1111 1nkk kkkk		**2**

注 1: プログラム カウンタ (PC) が変更された場合、あるいは条件付きテストの結果が真の場合、命令実行には 2 サイクルが必要です。2 サイクル目は、NOP として実行されます。

2: この命令が INDF レジスタをアドレス指定し、対応する FSP の MSB がセットされた場合、1 命令サイクルが追加されます。

© 2009 Microchip Technology Inc.

26.2 命令の説明

ADDFSR Add Literal to FSRn

構文 : [*label*] ADDFSR n, k

オペランド : -32 ≦ k ≦ 31
n ∈ [0, 1]

動作 : FSR(n) + k → FSR(n)

影響を受けるステータス : なし

説明 : 符号付き 6 ビット リテラル「k」が FSRnH:FSRnL レジスタ ペアの内容に追加されます。

FSRn の範囲は 0000h ～ FFFFh。これらの範囲を超えると、FSR のラップアラウンド (折り返し) が発生します。

ADDLW Add literal and W

構文 : [*label*] ADDLW k

オペランド : 0 ≦ k ≦ 255

動作 : (W) + k → (W)

影響を受けるステータス : C, DC, Z

説明 : W レジスタの内容が 8 ビットのリテラル「k」に加算され、結果が W レジスタに格納されます。

ADDWF Add W and f

構文 : [*label*] ADDWF f,d

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : (W) + (f) → (destination)

影響を受けるステータス : C, DC, Z

説明 : W レジスタとレジスタ「f」の内容を加算します。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

ADDWFC ADD W and CARRY bit to f

構文 : [*label*] ADDWFC f {,d}

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : (W) + (f) + (C) → dest

影響を受けるステータス : C, DC, Z

説明 : 「W」、キャリー フラグ、およびデータ メモリ ロケーション「f」を追加します。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はデータ メモリ ロケーション「f」に書き込まれます。

ANDLW AND literal with W

構文 : [*label*] ANDLW k

オペランド : 0 ≦ k ≦ 255

動作 : (W) .AND. (k) → (W)

影響を受けるステータス : Z

説明 : W レジスタの内容と 8 ビットのリテラル「k」で AND 演算します。結果は W レジスタに書き込まれます。

ANDWF AND W with f

構文 : [*label*] ANDWF f,d

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : (W) .AND. (f) → (destination)

影響を受けるステータス : Z

説明 : W レジスタとレジスタ「f」で AND 演算します。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

ASRF Arithmetic Right Shift

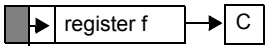
構文 : [*label*] ASRF f {,d}

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : (f<7>) → dest<7>
(f<7:1>) → dest<6:0>,
(f<0>) → C,

影響を受けるステータス : C, Z

説明 : レジスタ「f」の内容を、キャリー フラグを通して右へ 1 ビット移動させます。MSB は変更しません。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。



BCF **Bit Clear f**

構文 : [*label*] BCF f,b

オペランド : 0 ≦ f ≦ 127
0 ≦ b ≦ 7

動作 : 0 → (f<b>)

影響を受ける ステータス : なし

説明 : レジスタ「f」のビット「b」をクリアします。

BRA **Relative Branch**

構文 : [*label*] BRA k

オペランド : -256 ≦ k ≦ 255

動作 : (PC) + k → PC

影響を受ける ステータス : なし

説明 : 符号付き 9 ビット リテラルを「k」へ追加します。PC は、インクリメントして次の命令をフェッチするため、新しいアドレスは PC + 1 + k となります。この命令は 2 サイクル命令です。

BRW **Relative Branch with W**

構文 : [*label*] BRW

オペランド : なし

動作 : (PC) + (W) → PC

影響を受ける ステータス : なし

説明 : W (符号なし) の内容を PC へ追加します。PC は、インクリメントして次の命令をフェッチするため、新しいアドレスは PC + 1 + (W) となります。これは、2 サイクルの命令です。

BSF **Bit Set f**

構文 : [*label*] BSF f,b

オペランド : 0 ≦ f ≦ 127
0 ≦ b ≦ 7

動作 : 1 → (f<b>)

影響を受ける ステータス : なし

説明 : レジスタ「f」のビット「b」をセットします。

BTFSC **Bit Test f, Skip if Clear**

構文 : [*label*] BTFSC f,b

オペランド : 0 ≦ f ≦ 127
0 ≦ b ≦ 7

動作 : skip if (f<b>) = 0

影響を受ける ステータス : なし

説明 : レジスタ「f」のビット「b」が「1」の場合、次の命令を実行します。
レジスタ「f」のビット「b」が「0」の場合、次の命令を破棄し、代わりに NOP を実行して、2 サイクルの命令にします。

BTFSS **Bit Test f, Skip if Set**

構文 : [*label*] BTFSS f,b

オペランド : 0 ≦ f ≦ 127
0 ≦ b < 7

動作 : skip if (f<b>) = 1

影響を受ける ステータス : なし

説明 : レジスタ「f」のビット「b」が「0」の場合、次の命令を実行します。
ビット「b」が「1」の場合、次の命令を破棄し、代わりに NOP を実行して 2 サイクルの命令にします。

 © 2009 Microchip Technology Inc.

CALL **Call Subroutine**

構文 :	[*label*] CALL k
オペランド :	0 ≦ k ≦ 2047
動作 :	(PC)+ 1 → TOS, k → PC<10:0>, (PCLATH<4:3>) → PC<12:11>
影響を受けるステータス :	なし
説明 :	サブルーチンを呼び出します。最初に、リターンアドレス (PC + 1) をスタックにプッシュします。11 ビットの即値アドレスを、PC ビット <10:0> にロードします。PC の上位ビットは、PCLATH からロードされます。CALL は、2 サイクルの命令です。

CALLW **Subroutine Call With W**

構文 :	[*label*] CALLW
オペランド :	なし
動作 :	(PC) +1 → TOS, (W) → PC<7:0>, (PCLATH<6:0>) → PC<14:8>
影響を受けるステータス :	なし
説明 :	W レジスタを使用するサブルーチン呼び出しです。まず、リターン アドレス (PC + 1) をリターン スタックへプッシュします。次に W レジスタの内容を PC<7:0> へロードし、PCLATH の内容を PC<14:8> へロードします。CALLW は 2 サイクルの命令です。

CLRF **Clear f**

構文 :	[*label*] CLRF f
オペランド :	0 ≦ f ≦ 127
動作 :	00h → (f) 1 → Z
影響を受けるステータス :	Z
説明 :	レジスタ「f」の内容をクリアして、Z ビットをセットします。

CLRW **Clear W**

構文 :	[*label*] CLRW
オペランド :	なし
動作 :	00h → (W) 1 → Z
影響を受けるステータス :	Z
説明 :	W レジスタをクリアします。0 ビット (Z) をセットします。

CLRWDT **Clear Watchdog Timer**

構文 :	[*label*] CLRWDT
オペランド :	なし
動作 :	00h → WDT 0 → WDT プリスケーラ、 1 → $\overline{TO}$ 1 → $\overline{PD}$
影響を受けるステータス :	$\overline{TO}$, $\overline{PD}$
説明 :	CLRWDT 命令がウォッチドッグ タイマをリセットします。WDT のプリスケーラもリセットします。 ステータス ビット $\overline{TO}$ および $\overline{PD}$ をセットします。

COMF **Complement f**

構文 :	[*label*] COMF f,d
オペランド :	0 ≦ f ≦ 127 d ∈ [0,1]
動作 :	($\bar{f}$) → (destination)
影響を受けるステータス :	Z
説明 :	レジスタ「f」の内容の補数を取ります。「d」が「0」の場合は結果が W レジスタに書き込まれ、「d」が「1」の場合は結果がレジスタ「f」へ戻されます。

DECF **Decrement f**

構文 :	[*label*] DECF f,d
オペランド :	0 ≦ f ≦ 127 d ∈ [0,1]
動作 :	(f) - 1 → (destination)
影響を受けるステータス :	Z
説明 :	レジスタ「f」をデクリメントします。「d」が「0」の場合、結果は W レジスタに書き込まれます。 レジスタ「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

DECFSZ **Decrement f, Skip if 0**

構文 : [*label*] DECFSZ f,d

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : (f) - 1 → (destination);
skip if result = 0

影響を受ける ステータス : なし

説明 : レジスタ「f」の内容をデクリメントします。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。
結果が「1」の場合、次の命令が実行されます。結果が「0」の場合は代わりに NOP を実行して、2 サイクルの命令にします。

GOTO **Unconditional Branch**

構文 : [*label*] GOTO k

オペランド : 0 ≦ k ≦ 2047

動作 : k → PC<10:0>
PCLATH<4:3> → PC<12:11>

影響を受ける ステータス : なし

説明 : GOTO は無条件分岐です。11 ビットの即値を、PC ビット <10:0> にロードします。PC の上位ビットは、PCLATH<4:3> からロードされます。GOTO は 2 サイクルの命令です。

INCF **Increment f**

構文 : [*label*] INCF f,d

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : (f) + 1 → (destination)

影響を受ける ステータス : Z

説明 : レジスタ「f」の内容をインクリメントします。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

INCFSZ **Increment f, Skip if 0**

構文 : [*label*] INCFSZ f,d

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : (f) + 1 → (destination),
skip if result = 0

影響を受ける ステータス : なし

説明 : レジスタ「f」の内容をインクリメントします。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。
結果が「1」の場合、次の命令が実行されます。結果が「0」の場合は代わりに NOP を実行して、2 サイクルの命令にします。

IORLW **Inclusive OR literal with W**

構文 : [*label*] IORLW k

オペランド : 0 ≦ k ≦ 255

動作 : (W) .OR. k → (W)

影響を受ける ステータス : Z

説明 : W レジスタの内容と 8 ビットのリテラル「k」で OR 演算します。結果は W レジスタに格納されます。

IORWF **Inclusive OR W with f**

構文 : [*label*] IORWF f,d

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : (W) .OR. (f) → (destination)

影響を受ける ステータス : Z

説明 : W レジスタとレジスタ「f」で OR 演算します。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

 © 2009 Microchip Technology Inc.

LSLF **Logical Left Shift**

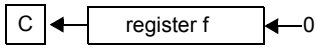
構文 : [*label*] LSLF f {,d}

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : (f<7>) → C
(f<6:0>) → dest<7:1>
0 → dest<0>

影響を受ける ステータス : C, Z

説明 : レジスタ「f」の内容を、キャリー フラグを通して左へ 1 ビット移動させます。LSB に「0」が入ります。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。



LSRF **Logical Right Shift**

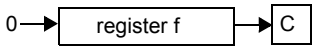
構文 : [*label*] LSLF f {,d}

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : 0 → dest<7>
(f<7:1>) → dest<6:0>,
(f<0>) → C,

影響を受ける ステータス : C, Z

説明 : レジスタ「f」の内容を、キャリー フラグを通して右へ 1 ビット移動させます。MSB に「0」が入ります。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。



MOVF **Move f**

構文 : [*label*] MOVF f,d

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : (f) → (dest)

影響を受ける ステータス : Z

説明 : レジスタ「f」の内容を、「d」で示された 格納先に移動します。「d」= 0 の場合、格納先は W レジスタです。
d = 1 の場合、格納先はファイル レジスタ「f」自身となります。ステータス フラグ Z は影響を受けるため、ファイル レジスタの検証には d = 1 を使用します。

ワード : 1

サイクル : 1

例 :
```
MOVF    FSR,    0
```
命令実行後
W = FSR レジスタの値
Z = 1

MOVIW　Move INDFn to W

構文 :
[*label*] MOVIW ++INDFn
[*label*] MOVIW --INDFn
[*label*] MOVIW INDFn++
[*label*] MOVIW INDFn--
[*label*] MOVIW [k]INDFn
[*label*] MOVIW INDFn

オペランド :
n ∈ [0,1]
mm ∈ [00, 01, 10, 11].
-32 ≦ k ≦ 31
If not present, k = 0.

動作 :
INDFn → W
有効なアドレスは、次の式で決定されます。
- FSR + 1 (プリインクリメント)
- FSR - 1 (プリデクリメント)
- FSR + k (相対オフセット)

移動後、FSR 値は次のいずれかになります。
- FSR + 1 (すべてインクリメント)
- FSR - 1 (すべてデクリメント)
- 不変

影響を受けるステータス :
Z

mm	モード	構文
00	プリインクリメント	++INDFn
01	プリデクリメント	--INDFn
10	ポストインクリメント	INDFn++
11	ポストデクリメント	INDFn--

説明 :
この命令は、W レジスタから間接レジスタ (INDFn) へデータを移動する際に使用します。この動作の前後では、プレ (ポスト) インクリメント / デクリメントによってポインタ (FSRn) がアップデートされます。

FSRn の範囲は 0000h ～ FFFFh です。インクリメント / デクリメントによってこの範囲を超えると、ラップアラウンドが発生します。

FSRn でのインクリメント / デクリメントは、いかなるステータス ビットへも影響しません。

MOVLB　Move literal to BSR

構文 :
[*label*] MOVLB　k

オペランド :
0 ≦ k ≦ 15

動作 :
k → BSR

影響を受けるステータス :
なし

説明 :
5 ビットのリテラル「k」をバンク セレクト レジスタ (BSR) にロードします。

MOVLP　Move literal to PCLATH

構文 :
[*label*] MOVLP　k

オペランド :
0 ≦ k ≦ 127

動作 :
k → PCLATH

影響を受けるステータス :
なし

説明 :
7 ビットのリテラル「k」を PCLATH レジスタにロードします。

MOVLW　Move literal to W

構文 :
[*label*]　MOVLW　k

オペランド :
0 ≦ k ≦ 255

動作 :
k → (W)

影響を受けるステータス :
なし

説明 :
8 ビットのリテラル「k」を W レジスタにロードします。「don't care」は「0」としてアセンブルされます。

ワード :
1

サイクル :
1

例 :
```
MOVLW    0x5A
```
命令実行後
W　=　0x5A

MOVWF　Move W to f

構文 :
[*label*]　MOVWF　f

オペランド :
0 ≦ f ≦ 127

動作 :
(W) → (f)

影響を受けるステータス :
なし

説明 :
W レジスタから、レジスタ「f」にデータを移動します。

ワード :
1

サイクル :
1

例 :
```
MOVWF   OPTION
```
命令実行前
OPTION　=　0xFF
W　=　0x4F
命令実行後
OPTION　=　0x4F
W　=　0x4F

© 2009 Microchip Technology Inc.

MOVWI **Move W to INDFn**

構文 : [*label*] MOVWI ++INDFn
[*label*] MOVWI --INDFn
[*label*] MOVWI INDFn++
[*label*] MOVWI INDFn--
[*label*] MOVWI [k]INDFn
[*label*] MOVWI INDFn

オペランド : n ∈ [0,1]
mm ∈ [00, 01, 10, 11].
-32 ≦ k ≦ 31
If not present, k = 0.

動作 : W INDFn
有効なアドレスは、次の式で決定されます。
- FSR + 1 (プリインクリメント)
- FSR - 1 (プリデクリメント)
- FSR + k (相対オフセット)

移動後、FSR 値は次のいずれかになります。
- FSR + 1 (すべてインクリメント)
- FSR - 1 (すべてデクリメント)

不変

影響を受けるステータス : なし

mm	モード	構文
00	プリインクリメント	++INDFn
01	プリデクリメント	--INDFn
10	ポストインクリメント	INDFn++
11	ポストデクリメント	INDFn--

説明 : この命令は、W レジスタから間接レジスタ (INDFn) へデータを移動する際に使用します。この動作の前後では、プレ (ポスト) インクリメント / デクリメントによってポインタ (FSRn) がアップデートされます。

FSRn の範囲は 0000h ～ FFFFh です。インクリメント / デクリメントによってこの範囲を超えると、ラップアラウンドが発生します。

FSRn でのインクリメント / デクリメントは、いかなるステータス ビットへも影響しません。

NOP **No Operation**

構文 : [*label*] NOP

オペランド : なし

動作 : なし

影響を受けるステータス : なし

説明 : 何もしません。

ワード : 1

サイクル : 1

例 :
```
NOP
```

OPTION **Load OPTION_REG Register with W**

構文 : [*label*] OPTION

オペランド : なし

動作 : (W) → OPTION_REG

影響を受けるステータス : なし

説明 : W レジスタから、OPTION_REG レジスタにデータを移動します。

RESET **Software Reset**

構文 : [*label*] RESET

オペランド : なし

動作 : デバイスをリセットします。PCON レジスタの nRI フラグをリセットします。

影響を受けるステータス : なし

説明 : この命令は、フラッシュ プログラム メモリとウェアによってハードウェア リセットを実行する方法を提供します。

RETFIE **Return from Interrupt**

構文 : [*label*] RETFIE

オペランド : なし

動作 : TOS → PC,
1 → GIE

影響を受ける ステータス : なし

説明 : 割り込み処理から復帰します。スタックがポップされ、スタックの最上位 (TOS) が PC にロードされます。グローバル割り込みイネーブル ビット (GIE) をセットして、割り込みを有効にします (INTCON<7>)。これは、2 サイクルの命令です。

ワード : 1

サイクル : 2

例 :
```
RETFIE
```
割り込み終了後
PC = TOS
GIE = 1

RETURN **Return from Subroutine**

構文 : [*label*] RETURN

オペランド : なし

動作 : TOS → PC

影響を受ける ステータス : なし

説明 : サブルーチンから戻ります。スタックがポップされ、スタックの最上位 (TOS) がプログラム カウンタにロードされます。これは、2 サイクルの命令です。

RETLW **Return with literal in W**

構文 : [*label*] RETLW k

オペランド : 0 ≦ k ≦ 255

動作 : k → (W);
TOS → PC

影響を受ける ステータス : なし

説明 : 8 ビットのリテラル「k」を W レジスタにロードします。スタックの最上位 (リターン アドレス) をプログラム カウンタへロードします。これは、2 サイクルの命令です。

ワード : 1

サイクル : 2

例 :
```
CALL TABLE;W contains table
    ;offset value
•   ;W now has table value
TABLE
•
•
ADDWF PC  ;W = offset
RETLW k1  ;Begin table
RETLW k2  ;
•
•
•
RETLW kn  ; End of table
```
命令実行前
W = 0x07
命令実行後
W = k8 の値

RLF **Rotate Left f through Carry**

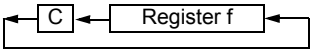
構文 : [*label*] RLF f,d

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : 下記参照

影響を受ける ステータス : C

説明 : レジスタ「f」の内容を、キャリー フラグを通して左回りに 1 ビット移動させます。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。



ワード : 1

サイクル : 1

例 :
```
RLF     REG1,0
```
命令実行前
REG1 = 1110 0110
C = 0
命令実行後
REG1 = 1110 0110
W = 1100 1100
C = 1

 © 2009 Microchip Technology Inc.

RRF **Rotate Right f through Carry**

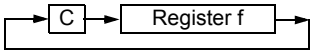
構文 : [*label*] RRF f,d

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : 下記参照

影響を受ける ステータス : C

説明 : レジスタ「f」の内容を、キャリー フラグを通して右回りに 1 ビット移動させます。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。



SLEEP **Enter Sleep mode**

構文 : [*label*] SLEEP

オペランド : なし

動作 : 00h → WDT,
0 → WDT プリスケーラ、
1 → $\overline{TO}$,
0 → $\overline{PD}$

影響を受ける ステータス : $\overline{TO}$, $\overline{PD}$

説明 : パワーダウン ステータス ビット ($\overline{PD}$) をクリアします。タイムアウト ステータス ビット ($\overline{TO}$) をセットします。
ウォッチドッグ タイマとそのプリスケーラをクリアします。
オシレータを停止させてプロセッサをスリープ モードにします。

SUBLW **Subtract W from literal**

構文 : [*label*] SUBLW k

オペランド : 0 ≦ k ≦ 255

動作 : k - (W) → (W)

影響を受ける ステータス : C, DC, Z

説明 : 8 ビットのリテラル「k」から W レジスタを減算します (2 の補数法)。結果は W レジスタに格納されます。

C = 0	W > k
C = 1	W ≦ k
DC = 0	W<3:0> > k<3:0>
DC = 1	W<3:0> ≦ k<3:0>

SUBWF **Subtract W from f**

構文 : [*label*] SUBWF f,d

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : (f) - (W) → (destination)

影響を受ける ステータス : C, DC, Z

説明 : レジスタ「f」から、W レジスタを減算します (2 の補数法)。「d」が「0」の場合、結果は W レジスタに書き込まれます。レジスタ「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

C = 0	W > f
C = 1	W ≦ f
DC = 0	W<3:0> > f<3:0>
DC = 1	W<3:0> ≦ f<3:0>

SUBWFB **Subtract W from f with Borrow**

構文 : SUBWFB f {,d}

オペランド : 0 ≦ f ≦ 127
d ∈ [0,1]

動作 : (f) − (W) − ($\overline{B}$) → dest

影響を受ける ステータス : C, DC, Z

説明 : レジスタ「f」から W レジスタおよび BORROW フラグ (CARRY) を減算します (2 の補数法)。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

SWAPF **Swap Nibbles in f**

構文 :	[*label*] SWAPF f,d
オペランド :	0 ≦ f ≦ 127 d ∈ [0,1]
動作 :	(f<3:0>) → (destination<7:4>), (f<7:4>) → (destination<3:0>)
影響を受けるステータス :	なし
説明 :	レジスタ「f」の上位 4 ビットと下位 4 ビットを入れ替えます。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き込まれます。

TRIS **Load TRIS Register with W**

構文 :	[*label*] TRIS f
オペランド :	5 ≦ f ≦ 7
動作 :	(W) → TRIS レジスタ「f」
影響を受けるステータス :	なし
説明 :	W レジスタから、TRIS レジスタにデータを移動します。 「f」= 5 の場合、TRISA にデータが格納されます。 「f」= 6 の場合、TRISB にデータが格納されます。 「f」= 7 の場合、TRISC にデータが格納されます。

XORLW **Exclusive OR literal with W**

構文 :	[*label*] XORLW k
オペランド :	0 ≦ k ≦ 255
動作 :	(W) .XOR. k → (W)
影響を受けるステータス :	Z
説明 :	W レジスタの内容と 8 ビットのリテラル「k」で XOR 演算します。 結果は W レジスタに格納されます。

XORWF **Exclusive OR W with f**

構文 :	[*label*] XORWF f,d
オペランド :	0 ≦ f ≦ 127 d ∈ [0,1]
動作 :	(W) .XOR. (f) → (destination)
影響を受けるステータス :	Z
説明 :	W レジスタの内容とレジスタ「f」で XOR 演算します。「d」が「0」の場合、結果は W レジスタに書き込まれます。 「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

 © 2009 Microchip Technology Inc.

27.0 開発サポート

PIC® マイクロコントローラは、次に示すさまざまなハードウェア開発ツールおよびソフトウェア開発ツールでサポートされています。

- 統合開発環境 (IDE)
  - MPLAB® IDE ソフトウェア
- アセンブラ / コンパイラ / リンカー
  - MPASM™ アセンブラ
  - MPLAB C18 および MPLAB C30 C コンパイラ
  - MPLINK™ オブジェクト リンカー / MPLIB™ オブジェクト ライブラリアン
  - MPLAB ASM30 アセンブラ / リンカー / ライブラリ
- シミュレータ
  - MPLAB SIM ソフトウェア シミュレータ
- エミュレータ
  - MPLAB ICE 2000 インサーキット エミュレータ
  - MPLAB REAL ICE™ インサーキット エミュレータ
- インサーキット デバッガ
  - MPLAB ICD 2
- デバイス プログラマ
  - PICSTART® Plus デバイス プログラマ
  - MPLAB PM3 デバイス プログラマ
  - PICkit™ 2 開発用プログラマ
- 低価格のデモンストレーションおよび開発ボードと評価キット

27.1 MPLAB 統合開発環境ソフトウェア

MPLAB IDE ソフトウェアを使用することで、従来の 8/16 ビットマイクロコントローラ市場では考えられないほど、ソフトウェア開発が容易になります。MPLAB IDE は Windows® オペレーティング システムをベースにしたアプリケーションで、次のような特徴があります。

- すべてのデバッグ ツールに共通の GUI
  - シミュレータ
  - プログラマ (別売り)
  - エミュレータ (別売り)
  - インサーキット デバッガ (別売り)
- 色分けコンテキスト対応のフル機能エディタ
- 複数のプロジェクト管理機能
- コンテンツを直接編集できるカスタマイズ可能なデータウィンドウ
- 高レベルなソースコードのデバッグ
- レジスタの初期化を容易にするビジュアル デバイス イニシャライザ
- マウス オーバーによる変数内容の表示
- ドラッグ & ドロップによるソースの変数表示
- 充実したオンライン ヘルプ
- サードパーティ ツールの統合 (例 : HI-TECH Software 社製 C コンパイラおよび IAR 社製 C コンパイラ)

MPLAB IDE を使用すると、次の操作が可能となります。

- ソース ファイル (アセンブリまたは C) の編集
- ワンタッチでのアセンブル (またはコンパイル) と PIC MCU エミュレータおよびシミュレータ ツールへのダウンロード (すべてのプロジェクト情報を自動更新)
- 次を使用したデバッグ
  - ソース ファイル(アセンブリ言語またはC言語)
  - アセンブリ言語と C 言語の混合
  - マシン コード

MPLAB IDE は、コスト効率の高いシミュレータから低価格のインサーキット デバッガおよびフル機能のエミュレータに至る複数のデバッグツールを単一の開発パラダイムでサポートしています。これにより、柔軟性と機能を高めたツールにアップグレードした場合でも、短期間でその使用方法が習得できます。

27.2 MPASM アセンブラ

MPASM アセンブラは、すべての PIC MCU に対応するフル機能のユニバーサル マクロ アセンブラです。

MPASM アセンブラは、MPLINK オブジェクト リンカー用の再配置可能なオブジェクト ファイル、Intel® 標準 HEX ファイル、メモリ使用量と記号参照を説明する MAP ファイル、ソース ラインと生成されたマシン コードを含む絶対 LST ファイル、デバッグ用 COFF ファイルを生成します。

MPASM アセンブラには次の特徴があります。

- MPLAB IDE プロジェクトへの統合
- ユーザー定義マクロによる アセンブリ コードの簡略化
- 多用途ソースファイルに対応する条件付きアセンブリ
- アセンブリ プロセスの完全な制御を可能にするディレクティブ

27.3 MPLAB C18 および MPLAB C30 C コンパイラ

MPLAB C18 および MPLAB C30 コード開発システムは、マイクロチップ社の PIC18/PIC24 ファミリのマイクロコントローラおよび dsPIC30/dsPIC33 ファミリのデジタル シグナル コントローラに対応する、完全な ANSI C コンパイラです。これらのコンパイラは強力な統合機能と優れたコード最適化機能を備え、他のコンパイラにない使いやすさを実現しています。

ソース レベルのデバッグを容易にするため、これらのコンパイラは最適化された記号情報を MPLAB IDE デバッガに提供します。

27.4 MPLINK オブジェクト リンカー / MPLIBオブジェクト ライブラリアン

MPLINK オブジェクト リンカーは、MPASM アセンブラと MPLAB C18 C コンパイラによって作成された再配置可能なオブジェクトを結合します。このオブジェクト リンカーは、リンカースクリプトからのディレクティブを使用し、コンパイル済みライブラリから再配置可能なオブジェクトをリンクできます。

MPLIB オブジェクト ライブラリアンは、コンパイル済みコードのライブラリ ファイルの作成と変更を管理します。ライブラリのルーチンがソース ファイルから呼び出されると、そのルーチンが含まれているモジュールのみがアプリケーションにリンクされます。これにより、大きなライブラリを多様なアプリケーションで効率的に使用できます。

オブジェクト リンカー / ライブラリには、次の機能が含まれています。

- 多数の小さいファイルの代わりに、1 つのライブラリを効果的にリンクする
- 関連モジュールをグループ化することにより、コードを保守しやすくする
- モジュールのリスト作成、置換、削除、抽出が簡単なライブラリを柔軟に作成する

27.5 MPLAB ASM30 アセンブラ、リンカー、ライブラリアン

MPLAB ASM30 アセンブラは、記号アセンブリ言語から dsPIC30F デバイス向けの再配置可能マシンコードを生成します。MPLAB C30 C コンパイラはこのアセンブラを使用してオブジェクト ファイルを生成します。アセンブラは、アーカイブ化できる、または他の再配置可能オブジェクト ファイルおよびアーカイブとリンクできる再配置可能なオブジェクトファイルを生成し、実行ファイルを作成します。アセンブラの主な機能は次のとおりです。

- dsPIC30F 命令セット全体のサポート
- 固定小数点データおよび浮動小数点データのサポート
- コマンドライン インタフェース
- 豊富なディレクティブ セット
- 柔軟性に優れたマクロ言語
- MPLAB IDE との互換性

27.6 MPLAB SIM ソフトウェア シミュレータ

MPLAB SIM ソフトウェア シミュレータでは、PIC MCU および dsPIC® DSC を 1 つの命令レベルでシミュレートすることにより、PC ホスト環境でのコード開発を可能にしています。任意の命令でデータ領域を検証または変更でき、総合的なスティミュラス コントローラから外部信号を加えることができます。ランタイム分析を詳しく実行する場合、レジスタをファイルに記録できます。また、トレースバッファおよびロジック アナライザ ディスプレイを使用すると、シミュレータの機能を拡張して、プログラムの実行、I/O の動作、大部分の周辺機能と内部レジスタを記録および確認できます。

MPLAB SIM ソフトウェア シミュレータは、MPLAB C18 および MPLAB C30 C コンパイラと MPASM および MPLAB ASM30 アセンブラを使用した記号デバッグをフルサポートしています。このソフトウェア シミュレータは、ハードウェアのラボ環境にないコードの開発およびデバッグに対して柔軟性を備えた経済的で優れたソフトウェア開発ツールです。

 © 2009 Microchip Technology Inc.

27.7 MPLAB ICE 2000 高性能 インサーキット エミュレータ

MPLAB ICE 2000インサーキット エミュレータは製品開発エンジニア向けの製品であり、PIC マイクロコントローラ用のマイクロコントローラ設計ツール一式が付属しています。MPLAB ICE 2000 インサーキット エミュレータのソフトウェア制御は、MPLAB 統合開発環境によって機能向上が図られ、1 つの環境から編集、ビルド、ダウンロード、ソースデバッグができるようになりました。

MPLAB ICE 2000 は、拡張トレース、トリガ、データ モニタ機能を備えたフル機能エミュレータ システムです。交換可能なプロセッサ モジュールを採用しているため、異なるプロセッサのエミュレーションに応じて、システムを簡単に再設定できます。MPLAB ICE 2000 インサーキット エミュレータのアーキテクチャは、拡張することにより、新しい PIC マイクロコントローラをサポートできます。

MPLAB ICE 2000 インサーキット エミュレータ システムは、通常はるかに高価な開発ツールに見られる高度な機能を持つリアルタイム エミュレーション システムとして設計されたものです。シンプルな統一アプリケーションにおいて、これらの機能を最も効果的に使用するには、PC プラットフォームと Microsoft® Windows® 32 ビット オペレーティング システムの組み合わせが最適です。

27.8 MPLAB REAL ICE インサーキット エミュレータ システム

MPLAB REAL ICE インサーキット エミュレータ システムは、マイクロチップ社の次世代型高速エミュレータで、マイクロチップ社のフラッシュDSC デバイスおよび MCU デバイスに対応しています。
MPLAB 統合開発環境 (IDE) の使いやすく強力なグラフィカル ユーザー インターフエース(GUI)を利用して、PIC® フラッシュ MCU および dsPIC® フラッシュ DSC のデバッグとプログラムが実行できます。MPLAB IDE は、このエミュレータ システムのキットに同梱されています。

MPLAB REAL ICE プローブは、高速 USB2.0 インターフェースを使用して設計エンジニアの PC に接続します。ターゲットとの接続には、MPLAB ICD 2 で採用されている一般的な接続方式 (RJ11) に対応したコネクタか、ノイズ耐性に優れた低電圧差動信号(LVDS)方式の新しい高速相互接続規格 (CAT5) に対応したコネクタのいずれかを使用します。

MPLAB REAL ICE は、今後リリースされるファームウェアを MPLAB IDE からダウンロードすることにより、ユーザーが現場でアップグレードできます。MPLAB IDE の今後のリリースでは、新しいデバイスをサポートしていく予定です。また、ソフトウェア ブレークポイントやアセンブラコードのトレースなどの新しい機能の追加も予定されています。MPLAB REAL ICE には、競合エミュレータに比べ大きく優れた点が複数あります。例えば、低価格の他に、フルスピードでのエミュレーション、リアルタイム変数監視、トレース解析、および複雑なブレークポイント設定が可能である点、耐久性の高いプローブインターフェースを備え、相互接続に長いケーブル(最長 3m) を使用できる点が挙げられます。

27.9 MPLAB ICD 2 インサーキット デバッガ

マイクロチップ社の MPLAB ICD 2 インサーキット デバッガは、RS-232 または高速 USB インタフェースでホスト PC と接続する強力かつ低価格のランタイム開発ツールです。このツールはフラッシュ PIC MCU をベースにしており、PIC MCU および dsPIC DSC 向けの開発に使用できます。MPLAB ICD 2 は、フラッシュ デバイスに組み込まれているインサーキット デバッグ機能を使用します。この機能とマイクロチップ社の In-Circuit Serial Programming™ (ICSP™) プロトコルを組み合わせると、MPLAB 統合開発環境の GUI で、コスト効率の高い、フラッシュ デバイスのインサーキット デバッグを実現できます。これにより、設計者はブレークポイント、個々のステップ変数およびウォッチ変数、CPU ステータスおよび周辺レジスタを設定し、ソース コードを開発およびデバッグできます。また、最高速度で実行すると、リアルタイムでハードウェアおよびアプリケーションがテストできます。MPLAB ICD 2 は、特定の PIC デバイスの開発プログラマとしても機能します。

27.10 MPLAB PM3 デバイス プログラマ

MPLAB PM3 デバイス プログラマは CE 準拠のユニバーサル デバイス プログラマで、VDDMIN および VDDMAX でのプログラマブル電圧検証によって信頼性を最大限に向上させます。このデバイス プログラマには、メニューとエラー メッセージを表示する大型 LCD ディスプレイ (128 × 64) と、さまざまなパッケージ タイプへの対応を可能にする脱着式のモジュラソケット アセンブリが装備されています。ICSP™ ケーブル アセンブリは標準付属品です。スタンドアロン モードの場合、MPLAB PM3 デバイス プログラマは、PC を使用せずに PIC デバイスの読み取り、検証、プログラムを実行できます。このモードでは、コード プロテクションも設定できます。MPLAB PM3 とホスト PC との接続には、RS-232 または USB ケーブルを使用します。さらに、大容量メモリ デバイスの高速プログラムを可能にする最適化アルゴリズムと高速通信を備え、ファイル保存とデータ保護アプリケーションのための SD/MMC カードを内蔵しています。

27.11 PICSTART Plus 開発用プログラマ

PICSTART Plus 開発用プログラマは、低価格でユーザーフレンドリーなプロトタイプ プログラマです。PC との接続には、COM (RS-232) ポートを使用します。MPLAB 統合開発環境ソフトウェアを使用すると、プログラマが簡単かつ効率的になります。PICSTART Plus 開発用プログラマは、40 ピン以下の DIP パッケージ採用の PIC デバイスのほとんどをサポートします。PIC16C92X や PIC17C76X など、40 ピンを超えるデバイスの場合、アダプタソケットを使用することで対応できます。PICSTART Plus 開発用プログラマは、CE に準拠しています。

27.12 PICkit 2 開発用プログラマ

PICkit™ 2 開発用プログラマは、インタフェースが容易な低価格プログラマで、多くのユーザーに選ばれているフラッシュ デバイス デバッガです。このツールでは、マイクロチップ社のベースライン、ミッドレンジ、PIC18F ファミリのフラッシュ メモリ マイクロコントローラのほとんどがプログラムできます。PICkit 2 スタータキットには、プロトタイプ開発ボード 1 個、12 回のレッスンからなる学習ハンドブック、ソフトウェア、HI-TECH 社製 PICC™ Lite C コンパイラが含まれており、PIC® マイクロコントローラを使用してすぐに開発を始めることができます。このキットには、マイクロチップ社の高性能なミッドレンジ フラッシュ メモリ ファミリのマイクロコントローラを使用してアプリケーションをプログラム、評価、開発する際に必要なものがすべて含まれています。

27.13 デモンストレーションボード、開発ボード、評価ボード

さまざまな PIC MCU と dsPIC DSC に対応するデモンストレーション ボード、開発ボード、評価ボードが豊富に取り揃えられ、フルに機能するシステムでアプリケーションを迅速に開発できます。ほとんどのボードには、カスタム回路を追加するためのプロトタイプ領域があります。また、アプリケーション ファームウェアとソース コードが提供されているため、検査および変更が可能です。

ボードは、LED、温度センサ、スイッチ、スピーカ、RS-232 インタフェース、LCD ディスプレイ、ポテンショメータ、追加 EEPROM メモリなど、さまざまな機能をサポートします。

デモンストレーション ボードと開発ボードは、教材として、プロトタイプのカスタム回路の試作やさまざまなマイクロコントローラ アプリケーションに関する学習などを目的として使用できます。

PICDEM™ および dsPICDEM™ デモンストレーション / 開発ボード シリーズの回路の他に、マイクロチップ社では、アナログフィルタ設計、KEELOQ® セキュリティ IC、CAN、IrDA®、PowerSmart バッテリ マネージメント、SEEVAL® 評価システム、Sigma-Delta ADC、流量感知などに対応する評価キットおよびデモンストレーション ソフトウェアを取り揃えています。

マイクロチップ社のウェブ ページ (www.microchip.com) にアクセスして、デモンストレーション ボード、開発ボード、評価キットの一覧をご確認ください。

 © 2009 Microchip Technology Inc.

28.0 電気的仕様

絶対最大定格 (†)

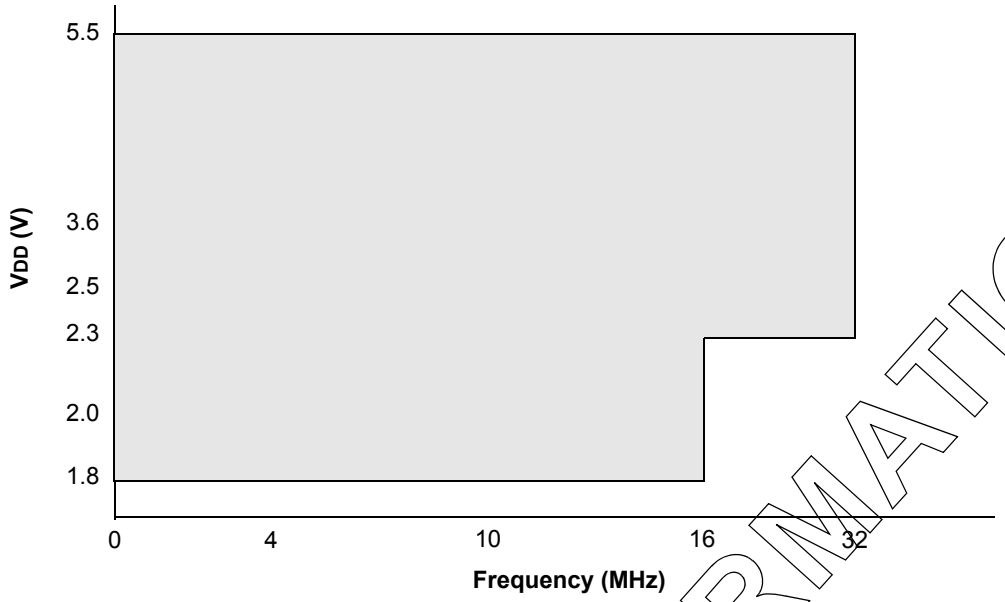
バイアス付加時周囲温度 ..... -40°C ～ +125°C
ストレージ温度 ..... -65°C ～ +150°C
VSS に対する VDD 電圧 PIC16F193X ..... -0.3V ～ +6.5V
VSS に対する VDD 電圧 PIC16LF193X ..... -0.3V ～ +4.0V
Vss に対する $\overline{MCLR}$ 電圧 ..... -0.3V ～ +9.0V
VSS に対する他のすべてのピンの電圧 ..... -0.3V ～ (VDD + 0.3V)
消費電力の合計 (1) ..... 800 mW
VSS ピンからの最大電流 ..... 95 mA
VDD ピンへの最大電流 ..... 70 mA
入力クランプ電流、IK (VPIN < 0 または VPIN > VDD) ..... ± 20 mA
I/O ピンごとの最大出力シンク電流 ..... 25 mA
I/O ピンごとの最大出力ソース電流 ..... 25 mA
すべてのポート (2) 最大出力シンク電流、-40°C ≦ TA ≦ +85°C (工業用) ..... 200 mA
すべてのポート (2) の最大出力シンク電流、-40°C ≦ TA ≦ +125°C (拡張用) ..... 90 mA
すべてのポート (2) の最大出力ソース電流、40°C ≦ TA ≦ +85°C (工業用) ..... 140 mA
すべてのポート (2) の最大出力ソース電流、-40°C ≦ TA ≦ +125°C (拡張用) ..... 65 mA

注 1: 消費電力は次の式で計算されます。$P_{DIS} = V_{DD} \times \{I_{DD} - \sum I_{OH}\} + \sum \{(V_{DD} - V_{OH}) \times I_{OH}\} + \sum (Vol \times I_{OL})$

† 注意 : 上記の「絶対最大定格」を超えるストレスを加えると、デバイスに修復不能な損傷を与える可能性があります。絶対最大定格は定格ストレスのみを示すものであり、上記の状態または本仕様書の動作条件に示されている規定値を超える状態でデバイスが正常に機能することを示すものではありません。最大定格の状態に長時間放置すると、デバイスの信頼性に影響を与える場合があります。

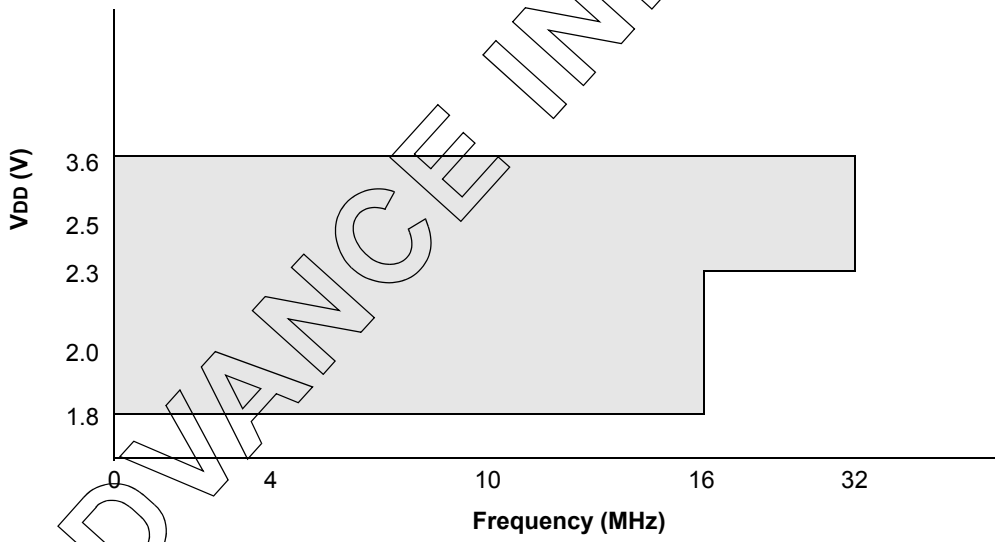
ADVANCE INFORMATION

図 28-1: PIC16F193X 電圧および周波数、-40°C ≦ TA ≦ +125°C



注 1: 網掛け部分が、電圧と周波数の可能な組み合わせを示しています。
2: 各オシレータ モードでサポートされる周波数は、表 28-1 を参照してください。

図 28-2: PIC16LF193X 電圧および周波数、-40°C ≦ TA ≦ +125°C

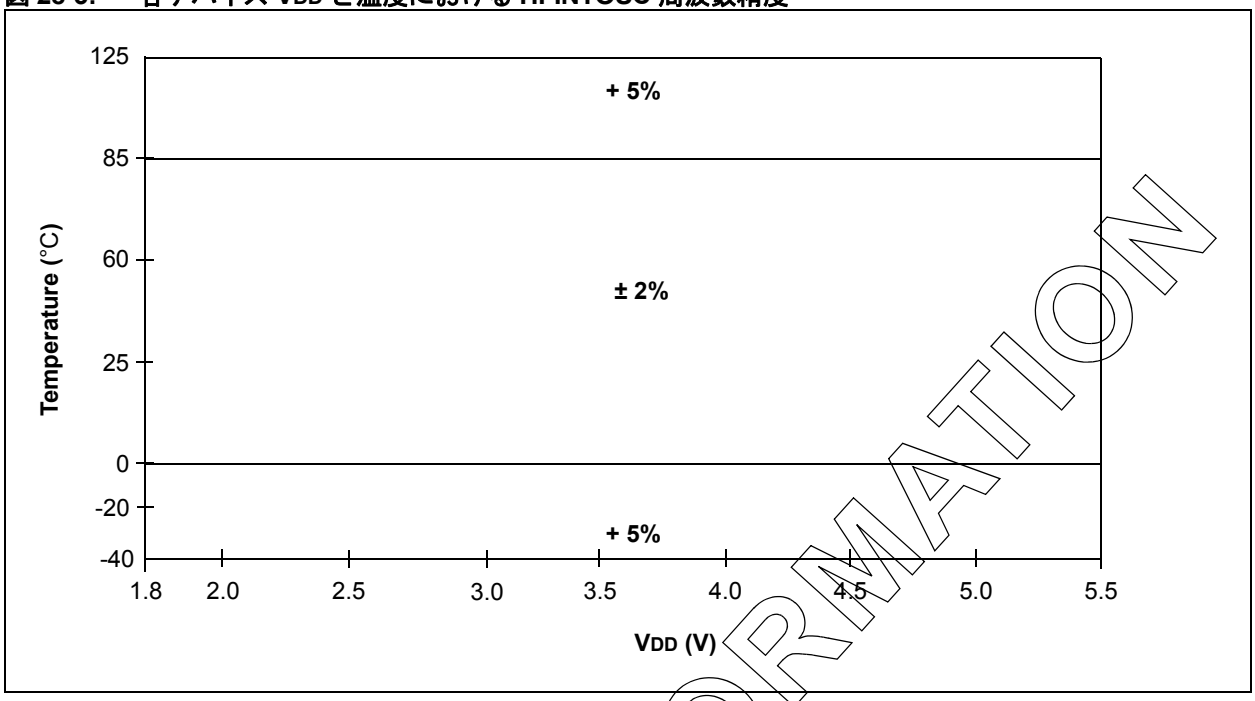


注 1: 網掛け部分が、電圧と周波数の可能な組み合わせを示しています。
2: 各オシレータ モードでサポートされる周波数は、表 28-1 を参照してください。

ADVANCE INFORMATION

 © 2009 Microchip Technology Inc.

図 28-3:　各デバイス VDD と温度における HFINTOSC 周波数精度



ADVANCE INFORMATION

28.1 DC 特性 : PIC16F193X/LF193X-I/E (工業用、拡張用)

PIC16LF193X			Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended				
PIC16F193X			**Standard Operating Conditions (unless otherwise stated)** Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended				
Param. No.	**Sym.**	**Characteristic**	**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**
D001	VDD	**Supply Voltage**					
		PIC16LF193X	1.8 2.3	— —	3.6 3.6	V V	FOSC ≤ 16 MHz: FOSC ≤ 32 MHz (**NOTE 2**)
D001		**PIC16F193X**	1.8 2.3	— —	5.5 5.5	V V	FOSC ≤ 16 MHz: FOSC ≤ 32 MHz (**NOTE 2**)
D002*	VDR	**RAM Data Retention Voltage(1)**					
		PIC16LF193X	1.5	—	—	V	Device in Sleep mode
D002*		**PIC16F193X**	1.7	—	—	V	Device in Sleep mode
	VPOR*	**Power-on Reset Release Voltage**	—	1.6	—	V	
	VPORR*	**Power-on Reset Rearm Voltage**					
		PIC16LF193X	—	0.8	—	V	Device in Sleep mode
		PIC16F193X	—	1.7	—	V	Device in Sleep mode
	VADFVR	**Fixed Voltage Reference Voltage for ADC (calibrated)**	0.984 0.974 1.968 1.938 3.966 3.936	1.024 2.048 4.096 	1.064 1.064 2.158 2.148 4.226 4.226	V	FVRV = 00 (1x), VDD ≥ 2.5V 125°C FVRV = 01 (2x), VDD ≥ 2.5V 125°C FVRV = 10 (4x), VDD ≥ 4.75V 125°C
	VCDAFVR	**Fixed Voltage Reference Voltage for Comparator and DAC**	0.984 0.974 1.968 1.938 3.966 3.936	1.024 2.048 4.096 	1.064 1.064 2.158 2.148 4.226 4.226	V	FVRV = 00 (1x), VDD ≥ 2.5V 125°C FVRV = 01 (2x), VDD ≥ 2.5V 125°C FVRV = 10 (4x), VDD ≥ 4.75V 125°C
	VFVR_REF	**Fixed Voltage Reference Voltage for LCD Bias**	0.984 0.974	1.024 	1.064 1.064	V	FVRV = 00 (1x), VDD ≥ 2.5V 125°C
D004*	SVDD	**VDD Rise Rate** to ensure internal Power-on Reset signal	0.05	—	—	V/ms	See **Section 3.2 "Power-on Reset (POR)"** for details.

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.3V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

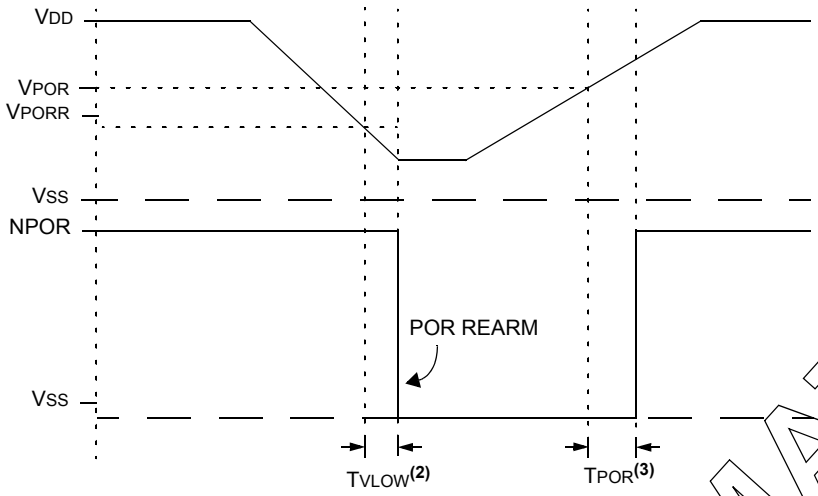
注 1: これはスリープ モードで RAM データを失わずに VDD を低下できる下限値です。

2: 32 MHz 動作には PLL が必要です。

ADVANCE INFORMATION

 © 2009 Microchip Technology Inc.

図 28-4: POR および POR REARM (VDD の立ち上がりが遅い)



注 1: NPOR が Low の場合、デバイスはリセット状態を保持します。
2: TPOR 1 µs (標準)
3: TVLOW 2.7 µs (標準)

ADVANCE INFORMATION

28.2 DC 特性 : PIC16F193X/LF193X-I/E (工業用、拡張用)

PIC16LF193X			Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended				
PIC16F193X			**Standard Operating Conditions (unless otherwise stated)** Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended				
Param No.	**Device Characteristics**	**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**	
						VDD	**Note**
	Supply Current (IDD)(1, 2)						
D009	LDO Regulator	—	350	TBD	µA	—	HS, EC OR INTOSC/INTOSCIO (8-16 MHz) Clock modes with all VCAP pins disabled
		—	50	TBD	µA	—	All VCAP pins disabled
		—	30	TBD	µA	—	VCAP enabled on RA0, RA5 or RA6
		—	5	TBD	µA	—	LP Clock mode and Sleep (requires FVR and BOR to be disabled)
D010		—	7.0	TBD	µA	1.8	Fosc = 32 kHz LP Oscillator mode **(Note 4)**, -40°C ≤ TA ≤ +85°C
		—	9.0	TBD	µA	3.0	
D010		—	9.5	TBD	µA	1.8	Fosc = 32 kHz LP Oscillator mode **(Note 4)**, -40°C ≤ TA ≤ +85°C
		—	12.5	TBD	µA	3.0	
		—	13.5	TBD	µA	5.0	
D011*		—	7.0	TBD	µA	1.8	Fosc = 32 kHz LP Oscillator mode
		—	9.0	TBD	µA	3.0	
D011*		—	9.5	TBD	µA	1.8	Fosc = 32 kHz LP Oscillator mode **(Note 4)**
		—	12.5	TBD	µA	3.0	
		—	13.5	TBD	µA	5.0	
D011A*		—	150	TBD	µA	1.8	FOSC = 1 MHz XT Oscillator mode
		—	270	TBD	µA	3.0	
D011A*		—	160	TBD	µA	1.8	FOSC = 1 MHz XT Oscillator mode **(Note 5)**
		—	280	TBD	µA	3.0	
		—	390	TBD	µA	5.0	
D012		—	430	TBD	µA	1.8	FOSC = 4 MHz XT Oscillator mode
		—	750	TBD	µA	3.0	
D012		—	450	TBD	µA	1.8	FOSC = 4 MHz XT Oscillator mode **(Note 5)**
		—	770	TBD	µA	3.0	
		—	930	TBD	µA	5.0	
D013*		—	180	TBD	µA	1.8	FOSC = 1 MHz EC Oscillator mode
		—	350	TBD	µA	3.0	

* これらのパラメータは特性解析されたものですが、検証されていません。

記号の説明 : TBD = 未定

注 1: アクティブ動作モードでは、すべての IDD 測定に関して、次のテスト条件が適用されます。OSC1 は外部からレール ツー レールの方形波で駆動。
OSC1 は外部から rail-to-rail の方形波で駆動。全 I/O ピンはトライステートとして構成し、VDD にプル。$\overline{MCLR}$ = VDD。WDT は無効。

2: 消費電流は、主に動作電圧と周波数によって変化します。ほかの要素として、I/O ピンの負荷とスイッチング レート、オシレータの種類、内部コード実行パターン、温度などがあり、これらも消費電流に影響を与えます。

3: オシレータを RC 構成とした場合、REXT を流れる電流は含まれません。抵抗を流れる電流は、IR = VDD/2REXT (mA) の式から概算することができます (REXT の単位は kΩ)。

4: FVR および BOR は無効です。

5: 0.1 µF = VCAP のコンデンサ (RA0)

PRELIMINARY

 © 2009 Microchip Technology Inc.

28.2 DC 特性 : PIC16F193X/LF193X-I/E (工業用、拡張用) (続き)

PIC16LF193X			Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended				
PIC16F193X			**Standard Operating Conditions (unless otherwise stated)** Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended				
Param No.	**Device Characteristics**	**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**	
						VDD	**Note**
D013*		—	200	TBD	µA	1.8	FOSC = 1 MHz EC Oscillator mode **(Note 5)**
		—	370	TBD	µA	3.0	
		—	450	TBD	µA	5.0	
	Supply Current (IDD)(1, 2)						
D014		—	450	TBD	µA	1.8	FOSC = 4 MHz EC Oscillator mode
		—	830	TBD	µA	3.0	
D014		—	475	TBD	µA	1.8	FOSC = 4 MHz EC Oscillator mode **(Note 5)**
		—	850	TBD	µA	3.0	
		—	980	TBD	µA	5.0	
D015		—	130	TBD	µA	1.8	FOSC = 500 kHz MFINTOSC mode
		—	190	TBD	µA	3.0	
D015		—	150	TBD	µA	1.8	FOSC = 500 kHz MFINTOSC mode **(Note 5)**
		—	210	TBD	µA	3.0	
		—	270	TBD	µA	5.0	
D016*		—	980	TBD	µA	1.8	FOSC = 8 MHz HFINTOSC mode
		—	1780	TBD	µA	3.0	
D016*		—	1.0	TBD	mA	1.8	FOSC = 8 MHz HFINTOSC mode **(Note 5)**
		—	1.8	TBD	mA	3.0	
		—	2.0	TBD	mA	5.0	
D017		—	1.5	TBD	mA	1.8	FOSC = 16 MHz HFINTOSC mode
		—	2.8	TBD	mA	3.0	
D017		—	1.7	TBD	mA	1.8	FOSC = 16 MHz HFINTOSC mode **(Note 5)**
		—	2.9	TBD	mA	3.0	
		—	3.1	TBD	mA	5.0	
D018		—	410	TBD	µA	1.8	FOSC = 4 MHz EXTRC mode **(Note 3, Note 5)**
		—	710	TBD	µA	3.0	
D018		—	430	TBD	µA	1.8	FOSC = 4 MHz EXTRC mode **(Note 3, Note 5)**
		—	730	TBD	µA	3.0	
		—	860	TBD	µA	5.0	
D019		—	5.3	TBD	mA	3.0	FOSC = 32 MHz HS Oscillator mode
		—	6.0	TBD	mA	3.6	

* これらのパラメータは特性解析されたものですが、検証されていません。

記号の説明： TBD = 未定

注 1: アクティブ動作モードでは、すべての IDD 測定に関して、次のテスト条件が適用されます。OSC1 は外部からレール ツー レールの方形波で駆動。
OSC1 は外部から rail-to-rail の方形波で駆動。全 I/O ピンはトライステートとして構成し、VDD にプル。$\overline{MCLR}$ = VDD。
WDT は無効。

2: 消費電流は、主に動作電圧と周波数によって変化します。ほかの要素として、I/O ピンの負荷とスイッチング レート、オシレータの種類、内部コード実行パターン、温度などがあり、これらも消費電流に影響を与えます。

3: オシレータを RC 構成とした場合、REXT を流れる電流は含まれません。抵抗を流れる電流は、IR = VDD/2REXT (mA) の式から概算することができます (REXT の単位は kΩ)。

4: FVR および BOR は無効です。

5: 0.1 µF = VCAP のコンデンサ (RA0)

ADVANCE INFORMATION

28.2 DC 特性 : PIC16F193X/LF193X-I/E (工業用、拡張用) (続き)

PIC16LF193X	Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended
PIC16F193X	Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended

Param No.	Device Characteristics	Min.	Typ†	Max.	Units	Conditions	
						VDD	Note
D019		—	5.3	TBD	mA	3.0	FOSC = 32 MHz HS Oscillator mode **(Note 5)**
		—	6.0	TBD	mA	5.0	

* これらのパラメータは特性解析されたものですが、検証されていません。

記号の説明 : TBD = 未定

注 1: アクティブ動作モードでは、すべての IDD 測定に関して、次のテスト条件が適用されます。OSC1 は外部からレールツー レールの方形波で駆動。
OSC1 は外部から rail-to-rail の方形波で駆動。全 I/O ピンはトライステートとして構成し、VDD にプル。$\overline{MCLR}$ = VDD。
WDT は無効。

2: 消費電流は、主に動作電圧と周波数によって変化します。ほかの要素として、I/O ピンの負荷とスイッチング レート、オシレータの種類、内部コード実行パターン、温度などがあり、これらも消費電流に影響を与えます。

3: オシレータを RC 構成とした場合、REXT を流れる電流は含まれません。抵抗を流れる電流は、IR = VDD/2REXT (mA) の式から概算することができます (REXT の単位は kΩ)。

4: FVR および BOR は無効です。

5: 0.1 µF = VCAP のコンデンサ (RA0)

ADVANCE INFORMATION

 © 2009 Microchip Technology Inc.

28.3 DC 特性 : PIC16F193X/LF193X-I/E (パワー ダウン)

PIC16LF193X			Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended					
PIC16F193X			**Standard Operating Conditions (unless otherwise stated)** Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended					
Param No.	**Device Characteristics**	**Min.**	**Typ†**	**Max. +85°C**	**Max. +125°C**	**Units**	**Conditions**	
							VDD	**Note**
	Power-down Base Current (IPD)(2)							
D020		—	0.06	TBD	TBD	µA	1.8	WDT, BOR, FVR, and T1OSC disabled, all Peripherals Inactive
		—	0.08	TBD	TBD	µA	3.0	
D020		—	3.1	TBD	TBD	µA	1.8	WDT, BOR, FVR, and T1OSC disabled, all Peripherals Inactive
		—	3.6	TBD	TBD	µA	3.0	
		—	4.5	TBD	TBD	µA	5.0	
D021		—	0.5	TBD	TBD	µA	1.8	LPWDT Current **(Note 1)**
		—	0.8	TBD	TBD	µA	3.0	
D021		—	3.8	TBD	TBD	µA	1.8	LPWDT Current **(Note 1)**
		—	4.3	TBD	TBD	µA	3.0	
		—	5.3	TBD	TBD	µA	5.0	
D021A		—	8.5	TBD	TBD	µA	1.8	FVR current **(Note 3)**
		—	8.5	TBD	TBD	µA	3.0	
D021A		—	32	TBD	TBD	µA	1.8	FVR current **(Note 3, Note 5)**
		—	39	TBD	TBD	µA	3.0	
		—	70	TBD	TBD	mA	5.0	
D022		—	—	TBD	TBD	µA	1.8	BOR Current **(Note 1, Note 3)**
		—	7.5	TBD	TBD	µA	3.0	
D022		—	—	TBD	TBD	µA	1.8	BOR Current **(Note 1, Note 3, Note 5)**
		—	34	TBD	TBD	µA	3.0	
		—	67	TBD	TBD	µA	5.0	
D026		—	0.6	TBD	TBD	µA	1.8	T1OSC Current **(Note 1)**
		—	1.8	TBD	TBD	µA	3.0	
D026		—	4.5	TBD	TBD	µA	1.8	T1OSC Current **(Note 1)**
		—	6	TBD	TBD	µA	3.0	
		—	7	TBD	TBD	µA	5.0	

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」 欄のデータは特に指定がない限り、3.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

記号の説明 : TBD = 未定

注 1: 周辺機能の消費電流は、基本となる IDD または IPD と、周辺機能を有効にした場合の追加分の消費電流の合計です。周辺機能の Δ 消費電流は、記載の限界値から基本となる IDD または IPD の電流値を差し引いて求めることができます。消費電流の合計を計算する際は、最大値を使用してください。

2: スリープ モード時のパワーダウン電流は、オシレータの種類には依存しません。この電流は、デバイスをスリープ モードにし、すべての I/O ピンをハイインピーダンス状態にして VDD に接続した状態で測定します。

3: BOR が有効の場合は、常に自動的に固定電圧リファレンスが有効になります。

4: A/D オシレータ ソースは FRC です。

5: 0.1 µF = VCAP のコンデンサ (RA0)

ADVANCE INFORMATION

28.3 DC 特性 : PIC16F193X/LF193X-I/E (パワー ダウン) (続き)

PIC16LF193X	Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended
PIC16F193X	Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended

Param No.	Device Characteristics	Min.	Typ†	Max. +85°C	Max. +125°C	Units	Conditions	
							VDD	Note
	Power-down Base Current (IPD)(2)							
D027		—	0.1	TBD	TBD	µA	1.8	A/D Current **(Note 1, Note 4)**, no conversion in progress
		—	0.1	TBD	TBD	µA	3.0	
D027		—	3.5	TBD	TBD	µA	1.8	A/D Current **(Note 1, Note 4)**, no conversion in progress
		—	4	TBD	TBD	µA	3.0	
		—	4.5	TBD	TBD	µA	5.0	
D027A		—	250	TBD	TBD	µA	1.8	A/D Current **(Note 1, Note 4)**, conversion in progress
		—	250	TBD	TBD	µA	3.0	
D027A		—	280	TBD	TBD	µA	1.8	A/D Current **(Note 1, Note 4, Note 5)**, conversion in progress
		—	280	TBD	TBD	µA	3.0	
		—	280	TBD	TBD	µA	5.0	
D028		—	3.5	TBD	TBD	µA	1.8	Cap Sense
		—	7	TBD	TBD	µA	3.0	
D028		—	3.5	TBD	TBD	µA	1.8	Cap Sense
		—	7	TBD	TBD	µA	3.0	
		—	32	TBD	TBD	µA	5.0	
D029		—	1	TBD	TBD	µA	3.6	LCD Bias Ladder, Low-power
		—	10	TBD	TBD	µA	3.6	LCD Bias Ladder, Medium-power
		—	100	TBD	TBD	µA	3.6	LCD Bias Ladder, High-power
D029		—	1	TBD	TBD	µA	5.0	LCD Bias Ladder, Low-power
		—	10	TBD	TBD	µA	5.0	LCD Bias Ladder, Medium-power
		—	100	TBD	TBD	µA	5.0	LCD Bias Ladder, High-power

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

記号の説明 : TBD = 未定

注 1: 周辺機能の消費電流は、基本となる IDD または IPD と、周辺機能を有効にした場合の追加分の消費電流の合計です。周辺機能の Δ 消費電流は、記載の限界値から基本となる IDD または IPD の電流値を差し引いて求めることができます。消費電流の合計を計算する際は、最大値を使用してください。

2: スリープ モード時のパワーダウン電流は、オシレータの種類には依存しません。この電流は、デバイスをスリープ モードにし、すべての I/O ピンをハイインピーダンス状態にして VDD に接続した状態で測定します。

3: BOR が有効の場合は、常に自動的に固定電圧リファレンスが有効になります。

4: A/D オシレータ ソースは FRC です。

5: 0.1 µF = VCAP のコンデンサ (RA0)

ADVANCE INFORMATION

 © 2009 Microchip Technology Inc.

28.4 DC 特性 : PIC16F193X/LF193X-I/E

DC CHARACTERISTICS			Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended				
Param No.	**Sym.**	**Characteristic**	**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**
	VIL	**Input Low Voltage**					
		I/O PORT:					
D030		with TTL buffer	—	—	0.8	V	4.5V ≤ VDD ≤ 5.5V
D030A			—	—	0.15 VDD	V	1.8V ≤ VDD ≤ 4.5V
D031		with Schmitt Trigger buffer	—	—	0.2 VDD	V	2.0V ≤ VDD ≤ 5.5V
		with I²C™ levels	—	—	0.3 VDD	V	
		with SMBus™ levels	—	—	0.8	V	2.7V ≤ VDD ≤ 5.5V
D032		$\overline{MCLR}$, OSC1 (RC mode)(1)	—	—	0.2 VDD	V	
D033A		OSC1 (HS mode)	—	—	0.3 VDD	V	
	VIH	**Input High Voltage**					
		I/O ports:		—	—		
D040		with TTL buffer	2.0	—	—	V	4.5V ≤ VDD ≤ 5.5V
D040A			0.25 VDD + 0.8	—	—	V	1.8V ≤ VDD ≤ 4.5V
D041		with Schmitt Trigger buffer	0.8 VDD	—	—	V	2.0V ≤ VDD ≤ 5.5V
		with I²C™ levels	0.7 VDD	—	—	V	
		with SMBus™ levels	2.1	—	—	V	2.7V ≤ VDD ≤ 5.5V
D042		$\overline{MCLR}$	0.8 VDD	—	—	V	
D043A		OSC1 (HS mode)	0.7 VDD	—	—	V	
D043B		OSC1 (RC mode)	0.9 VDD	—	—	V	**(Note 1)**
	IIL	**Input Leakage Current(2)**					
D060		I/O ports	—	± 5	± 100	nA	VSS ≤ VPIN ≤ VDD, Pin at high-impedance
				± 5	± 1000	nA	125°C
D061		$\overline{MCLR}$(3)	—	± 50	± 200	nA	VSS ≤ VPIN ≤ VDD
D063		OSC1	—	± 50	± 100	nA	VSS ≤ VPIN ≤ VDD, XT, HS and LP oscillator configuration
	IPUR	**Weak Pull-up Current**					
D070*			25	100	200		VDD = 3.3V, VPIN = VSS
			25	140	300	µA	VDD = 5.0V, VPIN = VSS
	VOL	**Output Low Voltage(4)**					
D080		I/O ports	—	—	0.6	V	IOH = 8 mA, VDD = 5V IOH = 6 mA, VDD = 3.3V IOH = 3 mA, VDD = 1.8V

記号の説明： TBD = 未定

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

注 1: オシレータが RC モードの場合、OSC1/CLKIN ピンはシュミット トリガ入力となります。RC モードでの外部クロックの使用は推奨されていません。

2: 負電流は、ピンから供給される電流として定義されています。

3: $\overline{MCLR}$ ピンのリーク電流は、印加電圧のレベルにより大きく異なります。仕様のレベルは、通常の動作条件を反映したものです。異なる入力電圧では、より大きなリーク電流が計測されることがあります。

4: CLKOUT モードの OSC2 を含みます。

PRELIMINARY INFORMATION

28.4 DC 特性 : PIC16F193X/LF193X-I/E (続き)

DC CHARACTERISTICS			Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for extended				
Param No.	**Sym.**	**Characteristic**	**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**
	VOH	**Output High Voltage(4)**					
D090		I/O ports	VDD - 0.7	—	—	V	IOH = 3.5 mA, VDD = 5V IOH = 3 mA, VDD = 3.3V IOH = 2 mA, VDD = 1.8V
		Capacitive Loading Specs on Output Pins					
D101*	COSC2	OSC2 pin	—	—	15	pF	In XT, HS and LP modes when external clock is used to drive OSC1
D101A*	CIO	All I/O pins	—	—	50	pF	
		VCAP Capacitor Charging					
D102		Charging current	—	200	—	µA	
D102A		Source/sink capability when charging complete	—	0.0	—	mA	

記号の説明 : TBD = 未定

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

注 1: オシレータが RC モードの場合、OSC1/CLKIN ピンはシュミット トリガ入力となります。RC モードでの外部クロックの使用は推奨されていません。

2: 負電流は、ピンから供給される電流として定義されています。

3: $\overline{\text{MCLR}}$ ピンのリーク電流は、印加電圧のレベルにより大きく異なります。仕様のレベルは、通常の動作条件を反映したものです。異なる入力電圧では、より大きなリーク電流が計測されることがあります。

4: CLKOUT モードの OSC2 を含みます。

ADVANCE INFORMATION

 © 2009 Microchip Technology Inc.

28.5 メモリ プログラミングの要件

DC CHARACTERISTICS			Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +125°C				
Param No.	Sym.	Characteristic	Min.	Typ†	Max.	Units	Conditions
		Program Memory Programming Specifications					
D110	VIHH	Voltage on $\overline{MCLR}$/VPP/RE3 pin	8.0	—	9.0	V	**(Note 3, Note 4)**
D111	IDDP	Supply Current during Programming	—	—	10	mA	
D112		VDD for Bulk Erase	2.7	—	VDD max.	V	
D113	VPEW	VDD for Write or Row Erase	VDD min.	—	VDD max.	V	
D114	IPPPGM	Current on $\overline{MCLR}$/VPP during Erase/ Write	—	—	1.0	mA	
D115	IDDPGM	Current on VDD during Erase/Write	—		5.0	mA	
		Data EEPROM Memory					
D116	ED	Byte Endurance	—	100K	—	E/W	-40°C to +85°C
D117	VDRW	VDD for Read/Write	VDD min.	—	VDD max.	V	
D118	TDEW	Erase/Write Cycle Time	—	4.0	5.0	ms	
D119	TRETD	Characteristic Retention	40	—	—	Year	Provided no other specifications are violated
D120	TREF	Number of Total Erase/Write Cycles before Refresh**(2)**	1M	10M	—	E/W	-40°C to +85°C
		Program Flash Memory					
D121	EP	Cell Endurance	—	10K	—	E/W	-40°C to +85°C (**Note 1**)
D122	VPR	VDD for Read	VDD min.	—	VDD max.	V	
D123	TIW	Self-timed Write Cycle Time	—	2	2.5	ms	
D124	TRETD	Characteristic Retention	40	—	—	Year	Provided no other specifications are violated

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

注 1: 自動書き込みおよびブロック消去の場合です。

2: データ EEPROM の耐久性の詳細は、**23.5.1 項「データ EEPROM の使用」**を参照してください。

3: 単一電源プログラミングが無効の場合のみ必要です。

4: MPLAB ICD 2 は、不定な VPP 出力をサポートしません。ICD 2 でプログラミングまたはデバッグする場合は、ICD 2 VPP 電圧を制限する回路を ICD 2 とシステムの間に配置する必要があります。

ADVANCE INFORMATION

28.6 放熱対策

Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +125°C					
Param No.	**Sym.**	**Characteristic**	**Typ.**	**Units**	**Conditions**
TH01	θJA	Thermal Resistance Junction to Ambient	60	°C/W	28-pin SPDIP package
			80	°C/W	28-pin SOIC package
			90	°C/W	28-pin SSOP package
			27.5	°C/W	28-pin QFN 6x6 mm package
			47.2	°C/W	40-pin PDIP package
			46	°C/W	44-pin TQFP package
			24.4	°C/W	44-pin QFN 8x8 mm package
TH02	θJC	Thermal Resistance Junction to Case	31.4	°C/W	28-pin SPDIP package
			24	°C/W	28-pin SOIC package
			24	°C/W	28-pin SSOP package
			24	°C/W	28-pin QFN 6x6 mm package
			24.7	°C/W	40-pin PDIP package
			14.5	°C/W	44-pin TQFP package
			20	°C/W	44-pin QFN 8x8 mm package
TH03	TJMAX	Maximum Junction Temperature	150	°C	
TH04	PD	Power Dissipation	—	W	PD = PINTERNAL + PI/O
TH05	PINTERNAL	Internal Power Dissipation	—	W	PINTERNAL = IDD x VDD(1)
TH06	PI/O	I/O Power Dissipation	—	W	PI/O = Σ (IOL * VOL) + Σ (IOH * (VDD - VOH))
TH07	PDER	Derated Power	—	W	PDER = PDMAX (TJ - TA)/θJA(2)

注 1: IDD は、出力ピンの負荷を駆動しないでチップのみを動作させる場合に必要な電流です。

2: TA = 周囲温度です。

3: TA = 接合部の温度です。

ADVANCE INFORMATION

 © 2009 Microchip Technology Inc.

28.7 タイミング パラメータの記号

タイミング パラメータの記号は、次のいずかの形式で作成されています。

1. TppS2ppS
2. TppS

T			
F	Frequency	T	Time

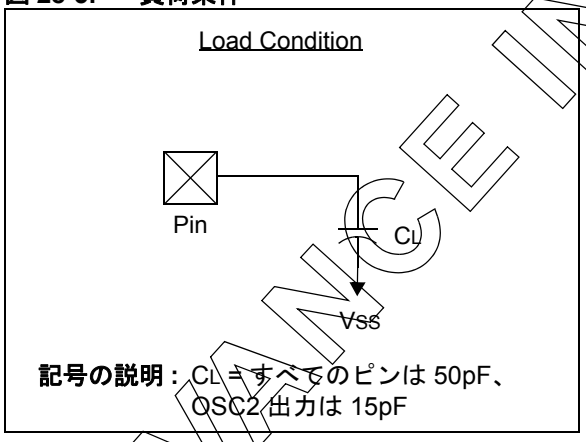
Lowercase letters (pp) and their meanings:

pp			
cc	CCP1	osc	OSC1
ck	CLKOUT	rd	$\overline{RD}$
cs	$\overline{CS}$	rw	$\overline{RD}$ or $\overline{WR}$
di	SDI	sc	SCK
do	SDO	ss	$\overline{SS}$
dt	Data in	t0	T0CKI
io	I/O PORT	t1	T1CKI
mc	$\overline{MCLR}$	wr	$\overline{WR}$

Uppercase letters and their meanings:

S			
F	Fall	P	Period
H	High	R	Rise
I	Invalid (High-impedance)	V	Valid
L	Low	Z	High-impedance

図 28-5: 負荷条件



記号の説明： CL = すべてのピンは 50pF、OSC2 出力は 15pF

ADVANCE INFORMATION

28.8 AC 特性 : PIC16F193X/LF193X-I/E

図 28-6: クロック タイミング

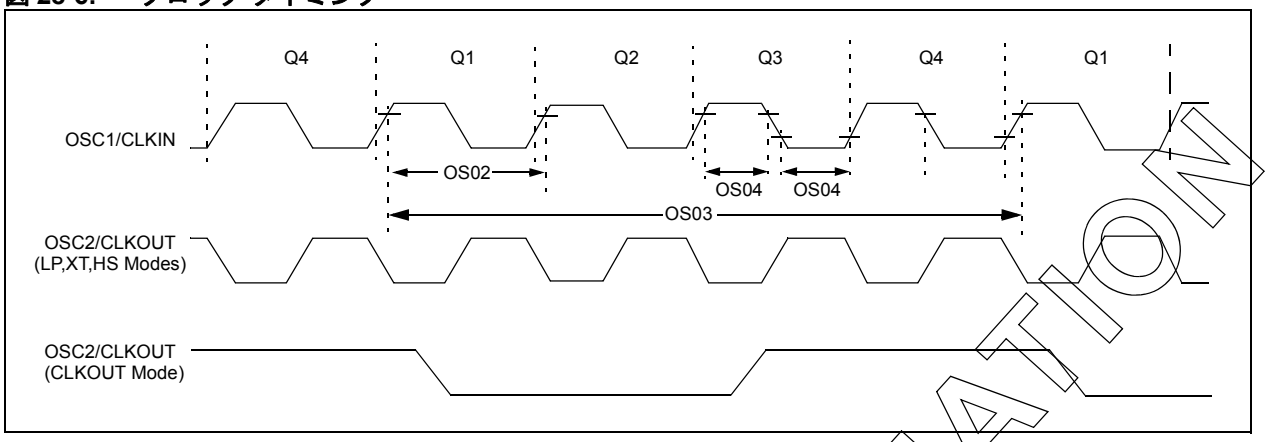


表 28-1: クロック オシレータのタイミング要件

Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +125°C							
Param No.	**Sym.**	**Characteristic**	**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**
OS01	FOSC	External CLKIN Frequency(1)	DC	—	1	MHz	EC Oscillator mode (low)
			DC	—	4	MHz	EC Oscillator mode (medium)
			DC	—	32	MHz	EC Oscillator mode (high)
		Oscillator Frequency(1)	—	32.768	—	kHz	LP Oscillator mode
			0.1	—	4	MHz	XT Oscillator mode
			1	—	4	MHz	HS Oscillator mode, VDD ≤ 2.3V
			1	—	20	MHz	HS Oscillator mode, VDD > 2.3V
			DC	—	4	MHz	RC Oscillator mode
OS02	TOSC	External CLKIN Period(1)	27	—	∞	µs	LP Oscillator mode
			250	—	∞	ns	XT Oscillator mode
			50	—	∞	ns	HS Oscillator mode
			31.25	—	∞	ns	EC Oscillator mode
		Oscillator Period(1)	—	30.5	—	µs	LP Oscillator mode
			250	—	10,000	ns	XT Oscillator mode
			50	—	1,000	ns	HS Oscillator mode
			250	—	—	ns	RC Oscillator mode
OS03	TCY	Instruction Cycle Time(1)	200	TCY	DC	ns	TCY = 4/FOSC
OS04*	TosH, TosL	External CLKIN High, External CLKIN Low	2	—	—	µs	LP oscillator
			100	—	—	ns	XT oscillator
			20	—	—	ns	HS oscillator
OS05*	TosR, TosF	External CLKIN Rise, External CLKIN Fall	0	—	∞	ns	LP oscillator
			0	—	∞	ns	XT oscillator
			0	—	∞	ns	HS oscillator

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

注 1: 命令サイクル周期 (TCY) は、入力オシレータのタイム ベースの 4 倍です。仕様に記載された値はすべて、標準の動作条件下でデバイスにコードを実行させた場合の特定発振器の種類の特性データに基づいています。この仕様の制限値を超えると、発振が不安定になったり、予想以上の消費電流が流れることがあります。すべてのデバイスは、外部クロックを OSC1 ピンに与えて「Min (最小)」値での動作を検証しています。全デバイスで、外部クロック入力を使用する場合の「Max (最大)」サイクル時間は「DC」(クロックなし) となります。

ADVANCE INFORMATION

 © 2009 Microchip Technology Inc.

表 28-2: オシレータのパラメータ

Standard Operating Conditions (unless otherwise stated) Operating Temperature -40°C ≤ TA ≤ +125°C								
Param No.	**Sym.**	**Characteristic**	**Freq. Tolerance**	**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**
OS08	HFOSC	Internal Calibrated HFINTOSC Frequency(2)	±2%	—	16.0	—	MHz	0°C ≤ TA ≤ +85°C
			±5%	—	16.0	—	MHz	-40°C ≤ TA ≤ +125°C
OS08A	MFOSC	Internal Calibrated MFINTOSC Frequency(2)	±2%	—	500	—	kHz	0°C ≤ TA ≤ +85°C
			±5%	—	500	—	kHz	-40°C ≤ TA ≤ +125°C
OS10*	TIOSC ST	HFINTOSC and MFINTOSC Wake-up from Sleep Start-up Time	—	—	5	7	µs	VDD = 2.0V, -40°C to +85°C
			—	—	5	7	µs	VDD = 3.0V, -40°C to +85°C
			—	—	5	7	µs	VDD = 5.0V, -40°C to +85°C

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

注 1: 命令サイクル周期 (TCY) は、入力オシレータのタイム ベースの 4 倍です。仕様に記載された値はすべて、標準の動作条件下でデバイスにコードを実行させた場合の特定発振器の種類の特性データに基づいています。この仕様の制限値を超えると、発振が不安定になったり、予想以上の消費電流が流れることがあります。すべてのデバイスは、外部クロックを OSC1 ピンに与えて「Min (最小)」値での動作を検証しています。全デバイスで、外部クロック入力を使用する場合の「Max (最大)」サイクル時間は「DC」(クロックなし) となります。

2: オシレータ周波数公差を確保するため、VDD および VSS の容量性デカップリングは、可能な限りデバイスの近くで行う必要があります。0.1 µF と 0.01 µF の値を並列で使用することを推奨します。

3: 設計上の仕様です。

表 28-3: PLL のクロック タイミング仕様 (VDD = 2.7V ～ 5.5V)

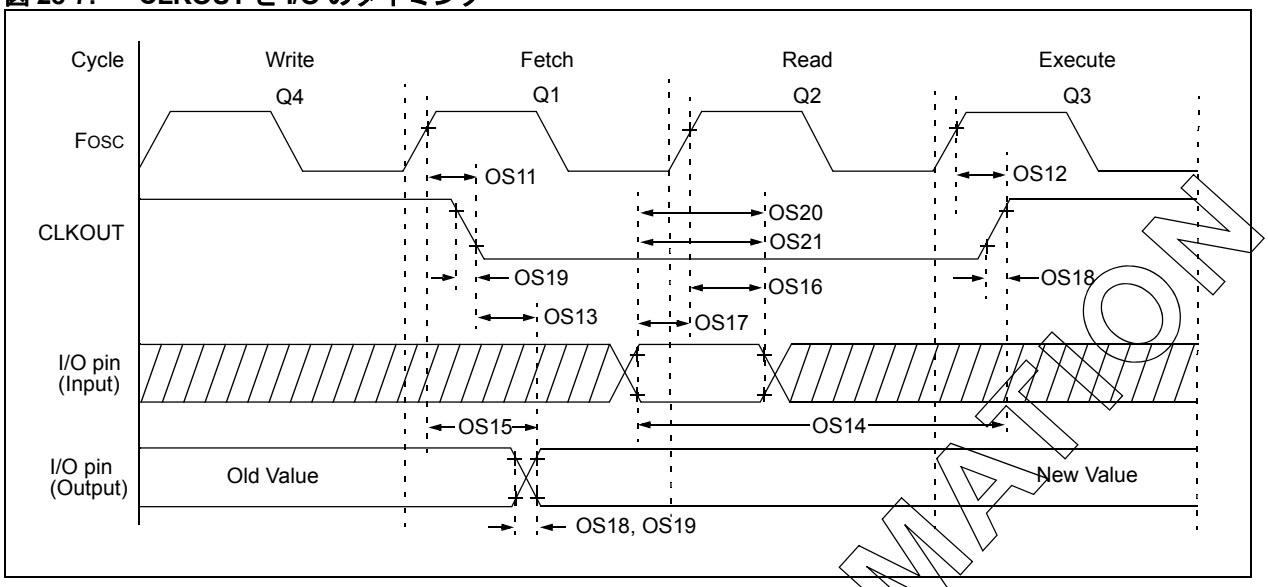
Param No.	Sym.	Characteristic	Min.	Typ†	Max.	Units	Conditions
F10	FOSC	Oscillator Frequency Range	4	—	8	MHz	
F11	FSYS	On-Chip VCO System Frequency	16	—	32	MHz	
F12	TRC	PLL Start-up Time (Lock Time)	—	—	2	ms	
F13*	ΔCLK	CLKOUT Stability (Jitter)	-0.25%	—	+0.25%	%	

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、5V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

ADVANCE INFORMATION

図 28-7: CLKOUT と I/O のタイミング



ADVANCE INFORMATION

 © 2009 Microchip Technology Inc.

表 28-4: CLKOUT と I/O のタイミングに関するパラメータ

Standard Operating Conditions (unless otherwise stated) Operating Temperature -40°C ≤ TA ≤ +125°C							
Param No.	**Sym.**	**Characteristic**	**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**
OS11	TosH2ckL	FOSC↑ to CLKOUT↓ (1)	—	—	70	ns	VDD = 3.3-5.0V
OS12	TosH2ckH	FOSC↑ to CLKOUT↑ (1)	—	—	72	ns	VDD = 3.3-5.0V
OS13	TckL2ioV	CLKOUT↓ to Port out valid(1)	—	—	20	ns	
OS14	TioV2ckH	Port input valid before CLKOUT↑(1)	TOSC + 200 ns	—	—	ns	
OS15	TosH2ioV	Fosc↑ (Q1 cycle) to Port out valid	—	50	70*	ns	VDD = 3.3-5.0V
OS16	TosH2ioI	Fosc↑ (Q2 cycle) to Port input invalid (I/O in hold time)	50	—	—	ns	VDD = 3.3-5.0V
OS17	TioV2osH	Port input valid to Fosc↑ (Q2 cycle) (I/O in setup time)	20	—	—	ns	
OS18	TioR	Port output rise time(2)	— —	40 15	72 32	ns	VDD = 1.8V VDD = 3.3-5.0V
OS19	TioF	Port output fall time(2)	— —	28 15	55 30	ns	VDD = 1.8V VDD = 3.3-5.0V
OS20*	Tinp	INT pin input high or low time	25	—	—	ns	
OS21*	Tioc	Interrupt-on-change new input level time	25	—	—	ns	

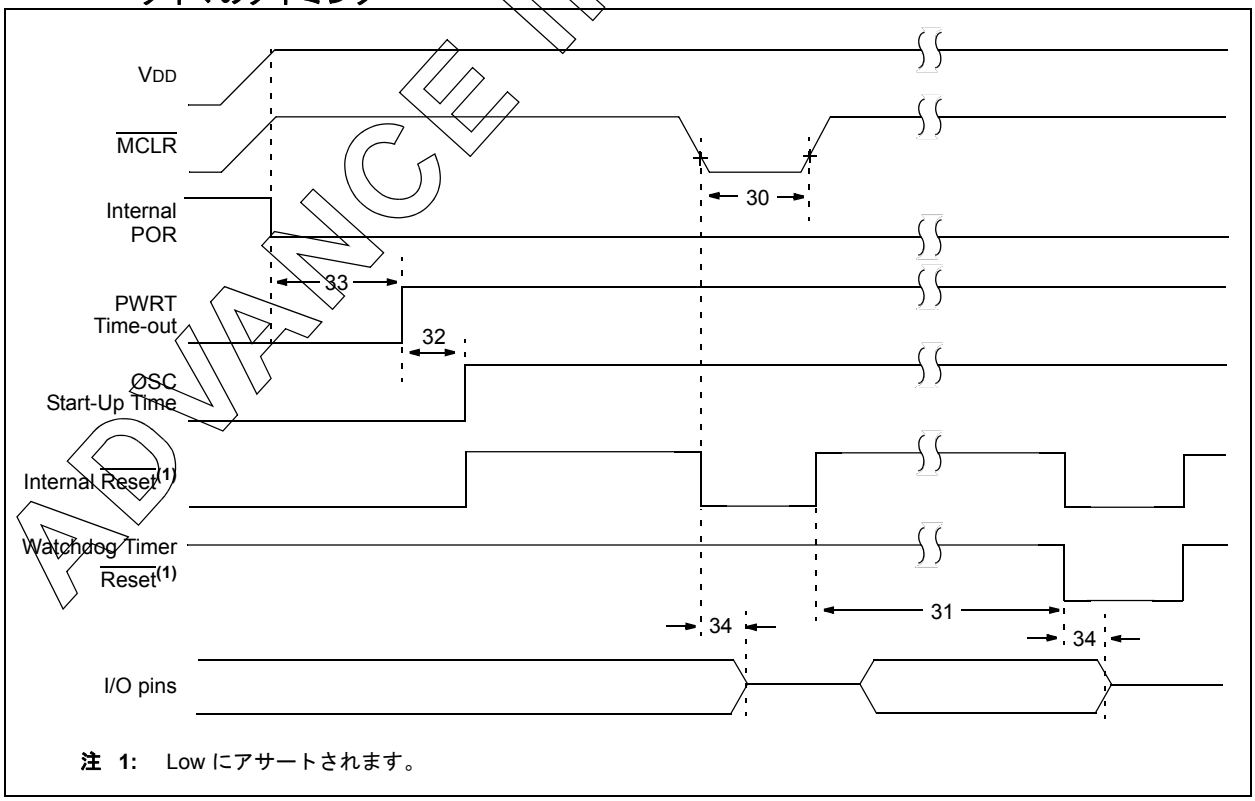
* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。

注 1: RC モードで CLKOUT 出力を 4 x TOSC として測定しています。

2: CLKOUT モードの OSC2 を含みます。

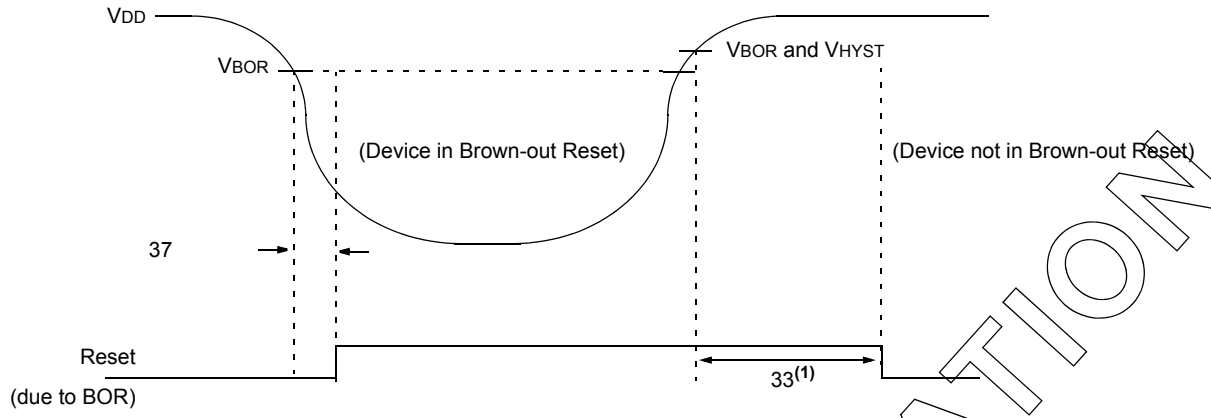
図 28-8: リセット、ウォッチドッグ タイマ、オシレータ スタートアップ タイマ、およびパワーアップ タイマのタイミング



注 1: Low にアサートされます。

ADVANCE INFORMATION

図 28-9: ブラウンアウト リセットのタイミングと特性



注 1: CONFIG (コンフィギュレーション ワード) レジスタの $\overline{\text{PWRTE}}$ ビットが「0」にプログラムされている場合、遅延は 64ms です。$\overline{\text{PWRTE}}$ = 0 および VREGEN = 1 の場合は 2ms です。

ADVANCE INFORMATION

 © 2009 Microchip Technology Inc.

表 28-5: リセット、ウォッチドッグ タイマ、オシレータ スタートアップ タイマ、パワーアップ タイマ、ブラウンアウト リセットに関するパラメータ

Standard Operating Conditions (unless otherwise stated) Operating Temperature -40°C ≤ TA ≤ +125°C							
Param No.	**Sym.**	**Characteristic**	**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**
30	TMCL	$\overline{MCLR}$ Pulse Width (low)	2 5	— —	— —	µs µs	VDD = 3.3-5V, -40°C to +85°C VDD = 3.3-5V
31	TWDTLP	Low-Power Watchdog Timer Time-out Period (No Prescaler)	10 10	18 18	27 33	ms ms	VDD = 3.3V-5V, -40°C to +85°C VDD = 3.3V-5V
32	TOST	Oscillator Start-up Timer Period(1), (2)	—	1024	—	Tosc	**(Note 3)**
33*	TPWRT	Power-up Timer Period, $\overline{PWRTE}$ = 0	40	65	140	ms	
34*	TIOZ	I/O high-impedance from $\overline{MCLR}$ Low or Watchdog Timer Reset	—	—	2.0	µs	
35	VBOR	Brown-out Reset Voltage	2.40 1.80	2.5 1.9	2.60 2.00	V	BORV=2.5V BORV=1.9V
36*	VHYST	Brown-out Reset Hysteresis	25	50	75 100	mV	-40°C to +85°C -40°C to 125°C
37*	TBORDC	Brown-out Reset DC Response Time	1	3	5 10	µs	VDD ≤ VBOR, -40°C to +85°C VDD ≤ VBOR

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

注 1: 命令サイクル周期 (TCY) は、入力オシレータのタイム ベースの 4 倍です。仕様に記載された値はすべて、標準の動作条件下でデバイスにコードを実行させた場合の特定発振器の種類の特性データに基づいています。この仕様の制限値を超えると、発振が不安定になったり、予想以上の消費電流が流れることがあります。すべてのデバイスは、外部クロックを OSC1 ピンに与えて「Min (最小)」値での動作を検証しています。全デバイスで、外部クロック入力を使用する場合の「Max (最大)」サイクル時間は「DC」(クロックなし) となります。

2: 設計上の仕様です。

3: 低速側のクロックの周期です。

4: 電圧公差を確保するため、VDD および VSS の容量性デカップリングは、可能な限りデバイスの近くで行う必要があります。0.1 µF と 0.01 µF の値を並列で使用することを推奨します。

ADVANCE INFORMATION

図 28-10:　TIMER0 と TIMER1 の外部クロックのタイミング

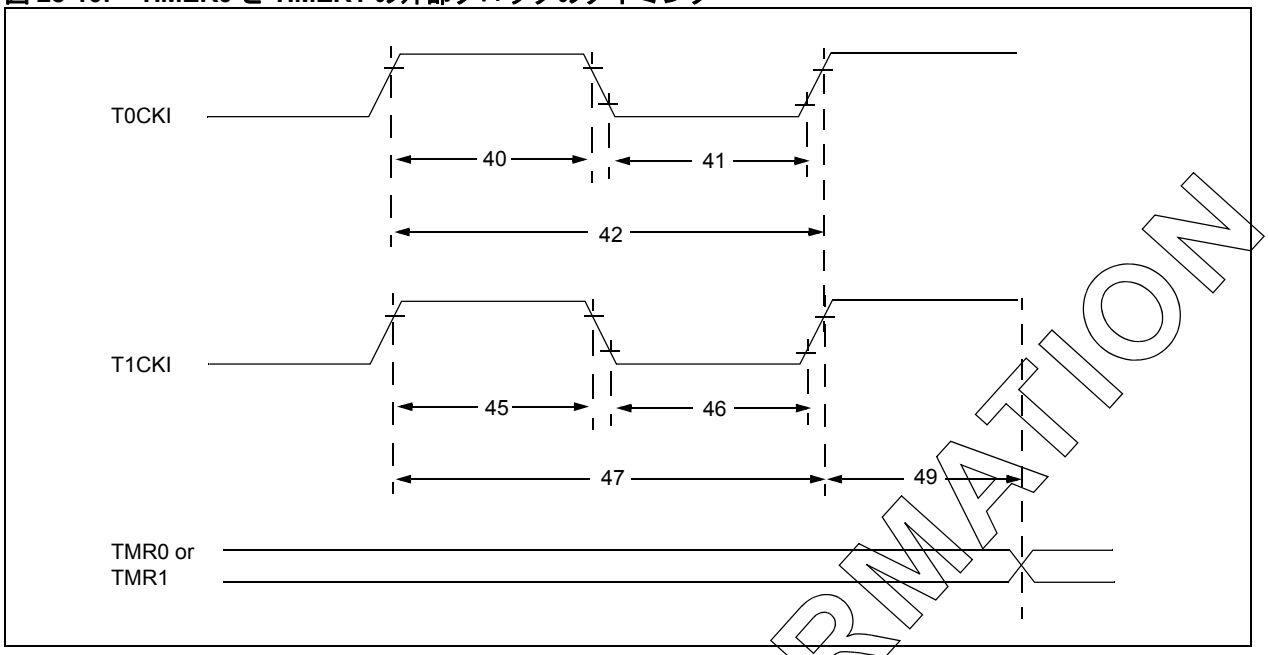


表 28-6:　TIMER0 と TIMER1 の外部クロックの要件

Standard Operating Conditions (unless otherwise stated) Operating Temperature -40°C ≤ TA ≤ +125°C								
Param No.	**Sym.**	**Characteristic**		**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**
40*	TT0H	T0CKI High Pulse Width	No Prescaler	0.5 TCY + 20	—	—	ns	
			With Prescaler	10	—	—	ns	
41*	TT0L	T0CKI Low Pulse Width	No Prescaler	0.5 TCY + 20	—	—	ns	
			With Prescaler	10	—	—	ns	
42*	TT0P	T0CKI Period		Greater of: 20 or TCY + 40 / N	—	—	ns	N = prescale value (2, 4, ..., 256)
45*	TT1H	T1CKI High Time	Synchronous, No Prescaler	0.5 TCY + 20	—	—	ns	
			Synchronous, with Prescaler	15	—	—	ns	
			Asynchronous	30	—	—	ns	
46*	TT1L	T1CKI Low Time	Synchronous, No Prescaler	0.5 TCY + 20	—	—	ns	
			Synchronous, with Prescaler	15	—	—	ns	
			Asynchronous	30	—	—	ns	
47*	TT1P	T1CKI Input Period	Synchronous	Greater of: 30 or TCY + 40 / N	—	—	ns	N = prescale value (1, 2, 4, 8)
			Asynchronous	60	—	—	ns	
48	FT1	Timer1 Oscillator Input Frequency Range (oscillator enabled by setting bit T1OSCEN)		32.4	32.768	33.1	kHz	
49*	TCKEZTMR1	Delay from External Clock Edge to Timer Increment		2 TOSC	—	7 TOSC	—	Timers in Sync mode

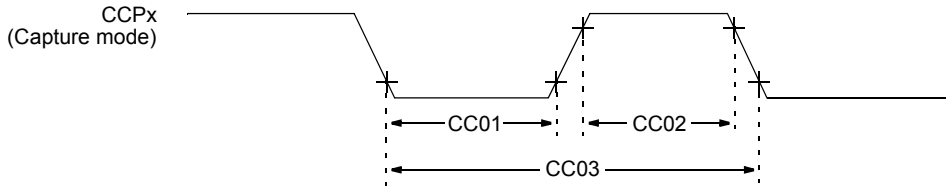
*　これらのパラメータは特性解析されたものですが、検証されていません。

†　「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

ADVANCE INFORMATION

© 2009 Microchip Technology Inc.

図 28-11: キャプチャ / コンペア /PWM のタイミング (CCP)



注 : 負荷条件については、図 28-5 を参照してください。

表 28-7: キャプチャ / コンペア /PWM の要件 (CCP)

Standard Operating Conditions (unless otherwise stated) Operating Temperature -40°C ≤ TA ≤ +125°C								
Param No.	**Sym.**	**Characteristic**		**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**
CC01*	TccL	CCPx Input Low Time	No Prescaler	0.5TCY + 20	—	—	ns	
			With Prescaler	20	—	—	ns	
CC02*	TccH	CCPx Input High Time	No Prescaler	0.5TCY + 20	—	—	ns	
			With Prescaler	20	—	—	ns	
CC03*	TccP	CCPx Input Period		$\frac{3T_{CY} + 40}{N}$	—	—	ns	N = prescale value (1, 4 or 16)

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

表 28-8: PIC16F193X/LF193X A/D コンバータ (ADC) の特性 :

Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +125°C							
Param No.	**Sym.**	**Characteristic**	**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**
AD01	NR	Resolution	—	—	10	bit	
AD02	EIL	Integral Error	—	—	±1	LSb	VREF = 3.0V
AD03	EDL	Differential Error	—	—	±1	LSb	No missing codes VREF = 3.0V
AD04	EOFF	Offset Error	—	—	±3	LSb	VREF = 3.0V
AD05	EGN	Gain Error	—	—	±3	LSb	VREF = 3.0V
AD06	VREF	Reference Voltage(3)	1.8	—	VDD	V	
AD07	VAIN	Full-Scale Range	VSS	—	VREF	V	
AD08	ZAIN	Recommended Impedance of Analog Voltage Source	—	—	50	kΩ	Can go higher if external 0.01µF capacitor is present on input pin.
AD09*	IREF	VREF Input Current(3)	10	—	1000	µA	During VAIN acquisition. Based on differential of VHOLD to VAIN.
			—	—	10	µA	During A/D conversion cycle.

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

注 1: 総絶対誤差には、積分誤差、微分誤差、オフセット誤差、ゲイン誤差が含まれます。

2: A/D 変換結果は、入力電圧が増大しても減少することはありません。また、コードの欠落もありません。

3: ADC VREF には、外部 VREF ピン、VDD ピンまたは FVREF ピンのいずれかをリファレンス入力として選択して使用します。

4: ADC がオフの場合、リーク電流以外の消費電流はありません。パワーダウン電流の仕様値には、ADC モジュールのリーク電流も含まれています。

ADVANCE INFORMATION

表 28-9: PIC16F193X/LF193X A/D 変換の要件

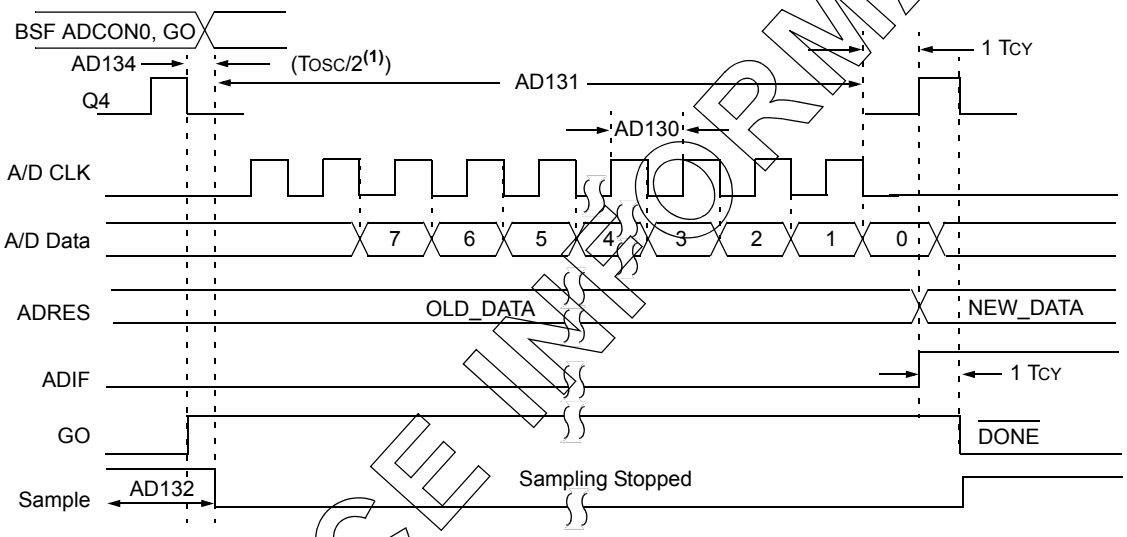
Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +125°C							
Param No.	**Sym.**	**Characteristic**	**Min.**	**Typ†**	**Max.**	**Units**	**Conditions**
AD130*	TAD	A/D Clock Period	1.0	—	9.0	µs	TOSC-based
		A/D Internal RC Oscillator Period	1.0	1.6	6.0	µs	ADCS<1:0> = 11 (ADRC mode)
AD131	TCNV	Conversion Time (not including Acquisition Time)(1)	—	10.5	—	TAD	Set GO/$\overline{\text{DONE}}$ bit to conversion complete
AD132*	TACQ	Acquisition Time	—	9.5	—	µs	

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。検証されていません。

注 1: ADRES レジスタは次の TCY サイクルで読み出し可能です。

図 28-12: PIC16F193X/LF193X A/D 変換のタイミング (通常モード)

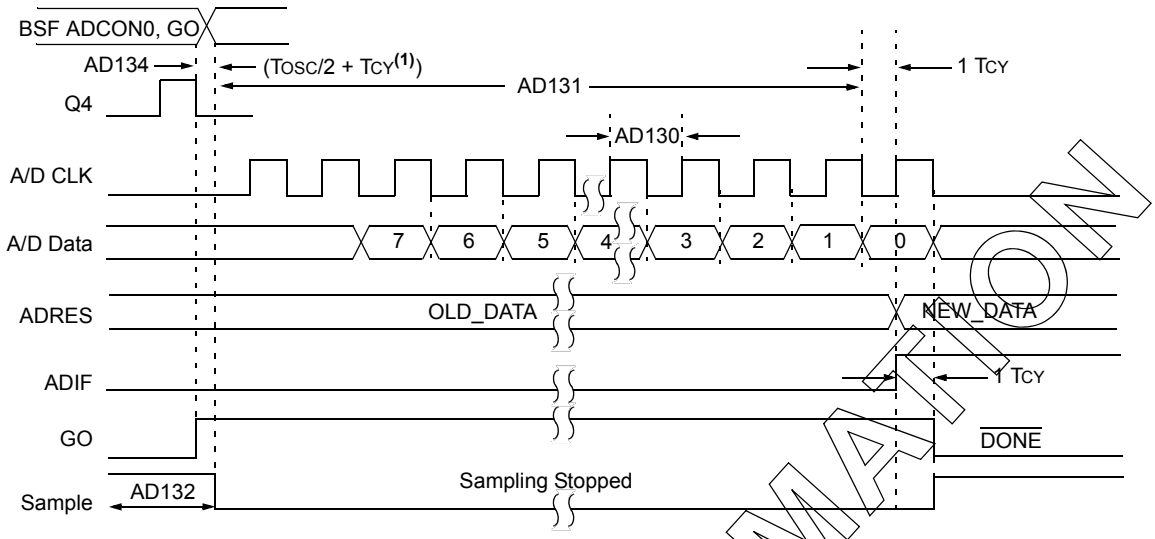


注 1: A/D クロック ソースに RC を選択した場合、A/D クロックの開始前に TCY の時間が追加されます。これによって SLEEP 命令の実行が可能になります。

ADVANCE INFORMATION

 © 2009 Microchip Technology Inc.

図 28-13: PIC16F193X/LF193X A/D 変換のタイミング (スリープ モード)



注 1: A/D クロック ソースに RC を選択した場合、A/D クロックの開始前に TCY の時間が追加されます。これによって SLEEP 命令の実行が可能になります。

ADVANCE INFORMATION

表 28-10: コンパレータの仕様

Operating Conditions: 1.8V < VDD < 5.5V, -40°C < TA < +125°C (unless otherwise stated).							
Param No.	**Sym.**	**Characteristics**	**Min.**	**Typ.**	**Max.**	**Units**	**Comments**
CM01	VIOFF	Input Offset Voltage	—	±7.5	±15	mV	
CM02	VICM	Input Common Mode Voltage	0	—	VDD	V	
CM03	CMRR	Common Mode Rejection Ratio	55	—	—	dB	
CM04	TRESP	Response Time	—	150	400	ns	**Note 1**
CM05	TMC2OV	Comparator Mode Change to Output Valid*	—	—	10	µs	

* これらのパラメータは特性解析されたものですが、検証されていません。

注 1: レスポンス タイムは、VDD/2 で一方のコンパレータ入力を測定したものです。もう一方のコンパレータ入力は、VSS から VDD へ遷移します。

表 28-11: デジタル アナログ コンバータ (DAC) の仕様

Operating Conditions: 1.8V < VDD < 5.5V, -40°C < TA < +125°C (unless otherwise stated).							
Param No.	**Sym.**	**Characteristics**	**Min.**	**Typ.**	**Max.**	**Units**	**Comments**
DAC01*	CLSB	Step Size(2)	—	VDD/32	—	V	
DAC02*	CACC	Absolute Accuracy	—	—	± 1/2	LSb	
DAC03*	CR	Unit Resistor Value (R)	—	TBD	—	Ω	
DAC04*	CST	Settling Time(1)	—	—	10	µs	

* これらのパラメータは特性解析されたものですが、検証されていません。

記号の説明： TBD = 未定

注 1: セトリング時間は、DACR<4:0> を「0000」から「1111」へ変化させて測定します。

表 28-12: 固定電圧リファレンス (FVR) の仕様

Operating Conditions: 1.8V < VDD < 5.5V, -40°C < TA < +125°C (unless otherwise stated).							
VR Voltage Reference Specifications			**Standard Operating Conditions (unless otherwise stated)** Operating temperature -40°C ≤ TA ≤ +85°C				
Param No.	**Sym.**	**Characteristics**	**Min.**	**Typ.**	**Max.**	**Units**	**Comments**
VR01	VFVR	**Fixed Voltage Reference Voltage (calibrated)**	0.984 0.974 1.968 1.938 3.966 3.936	1.024 2.048 4.096 	1.064 1.064 2.158 2.148 4.226 4.226	V	FVRV = 00 (1x), VDD ≥ 2V 125°C FVRV = 01 (2x), VDD ≥ 2.5V 125°C FVRV = 10 (4x), VDD ≥ 4.75V 125°C
VR02	TCVOUT	Voltage drift temperature coefficient	—	TBD	TBD	ppm/°C	
VR03	ΔVROUT/ ΔVDD	Voltage drift with respect to VDD regulation	—	TBD	—	µV/V	
VR04	TSTABLE	Settling Time	—	TBD	TBD	µs	

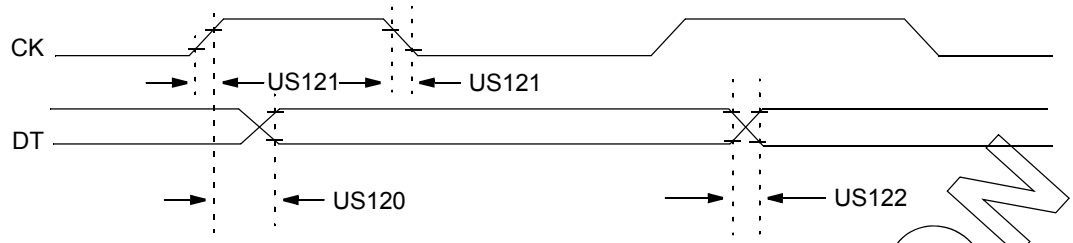
記号の説明： TBD = 未定

* これらのパラメータは特性解析されたものですが、検証されていません。

ADVANCE INFORMATION

 © 2009 Microchip Technology Inc.

図 28-14: USART 同期送信 (マスター / スレーブ) のタイミング

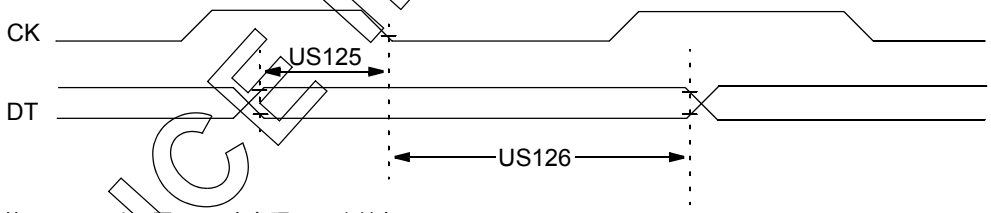


注 : 負荷条件については、図 28-5 を参照してください。

表 28-13: USART 同期送信の要件

Standard Operating Conditions (unless otherwise stated) Operating Temperature -40°C ≤ TA ≤ +125°C							
Param. No.	**Symbol**	**Characteristic**		**Min.**	**Max.**	**Units**	**Conditions**
US120	TCKH2DTV	SYNC XMIT (Master and Slave) Clock high to data-out valid	3.0-5.5V	—	80	ns	
			1.8-5.5V	—	100	ns	
US121	TCKRF	Clock out rise time and fall time (Master mode)	3.0-5.5V	—	45	ns	
			1.8-5.5V	—	50	ns	
US122	TDTRF	Data-out rise time and fall time	3.0-5.5V	—	45	ns	
			1.8-5.5V	—	50	ns	

図 28-15: USART 同期受信 (マスター / スレーブ) のタイミング



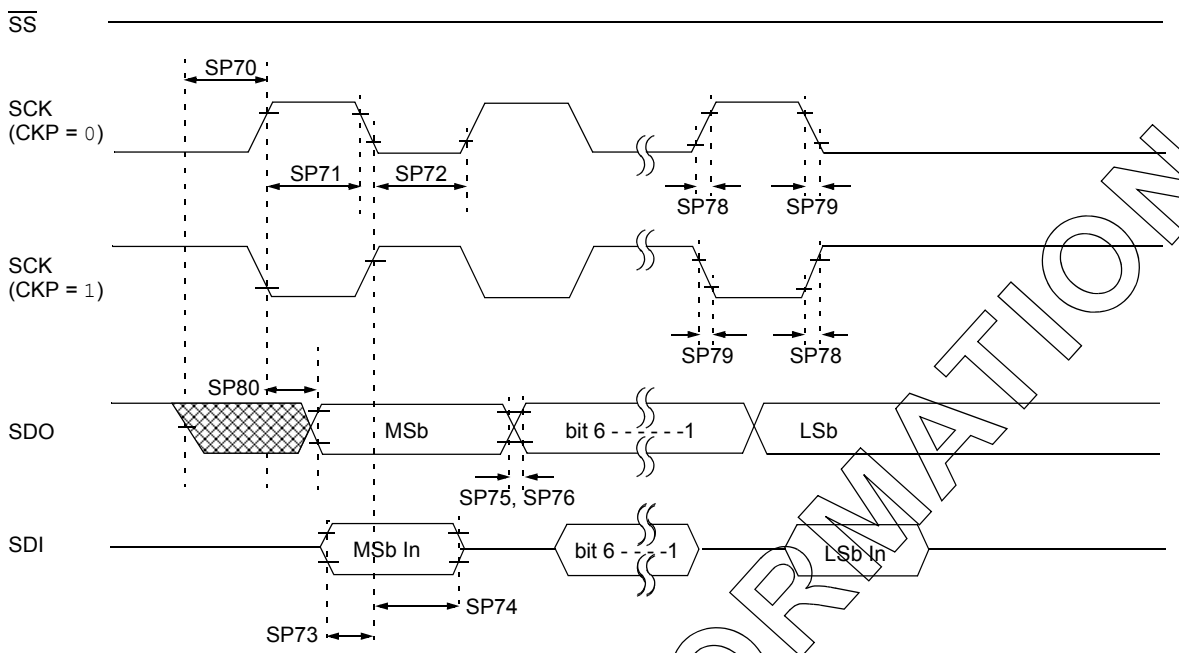
注 : 負荷条件については、図 28-5 を参照してください。

表 28-14: USART 同期受信の要件

Standard Operating Conditions (unless otherwise stated) Operating Temperature -40°C ≤ TA ≤ +125°C						
Param. No.	**Symbol**	**Characteristic**	**Min.**	**Max.**	**Units**	**Conditions**
US125	TDTV2CKL	SYNC RCV (Master and Slave) Data-hold before CK ↓ (DT hold time)	10	—	ns	
US126	TCKL2DTL	Data-hold after CK ↓ (DT hold time)	15	—	ns	

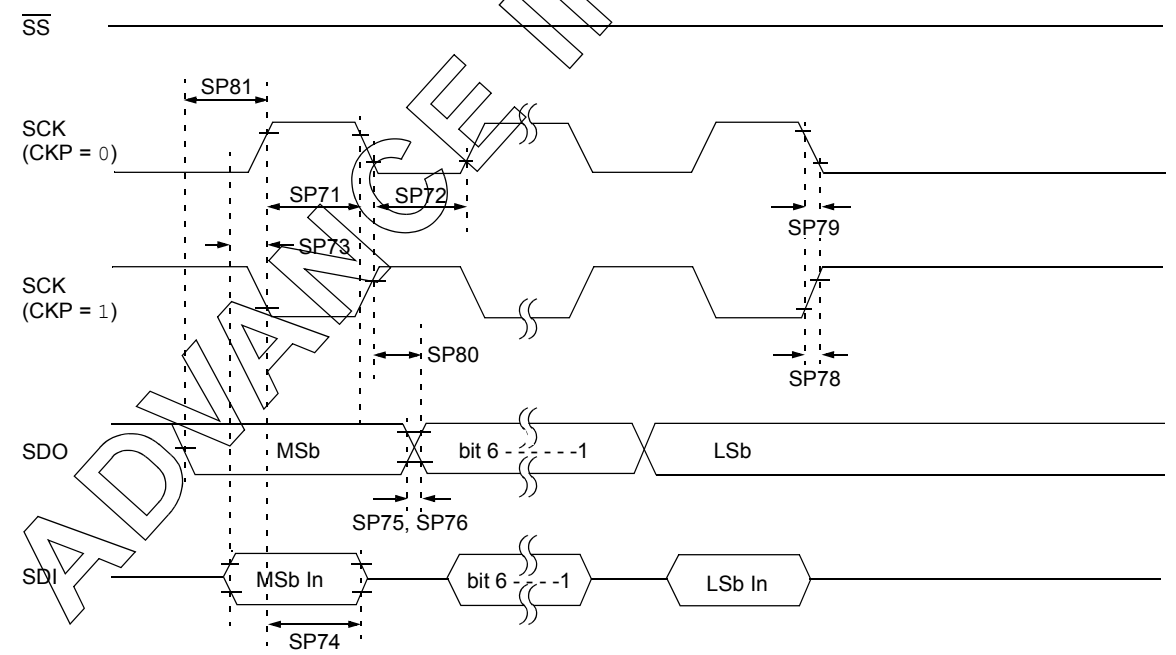
ADVANCE INFORMATION

図 28-16: SPI マスター モードのタイミング (CKE = 0、SMP = 0)



注 : 負荷条件については、図 28-5 を参照してください。

図 28-17: SPI マスター モードのタイミング (CKE = 1、SMP = 1)

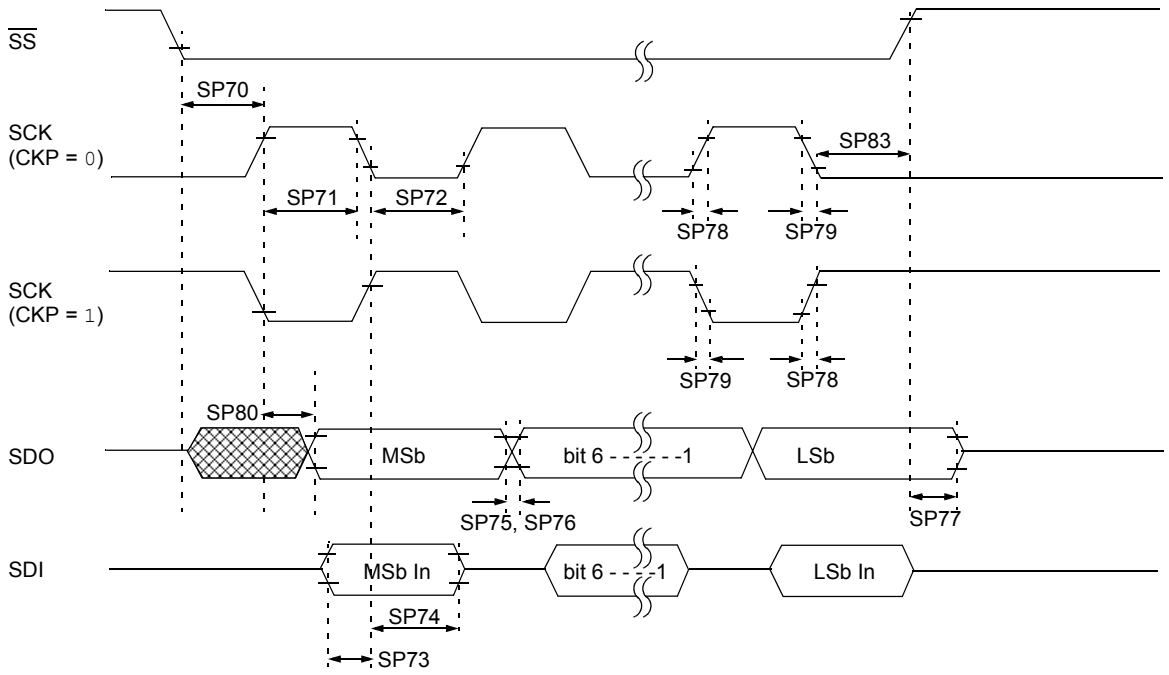


注 : 負荷条件については、図 28-5 を参照してください。

ADVANCE INFORMATION

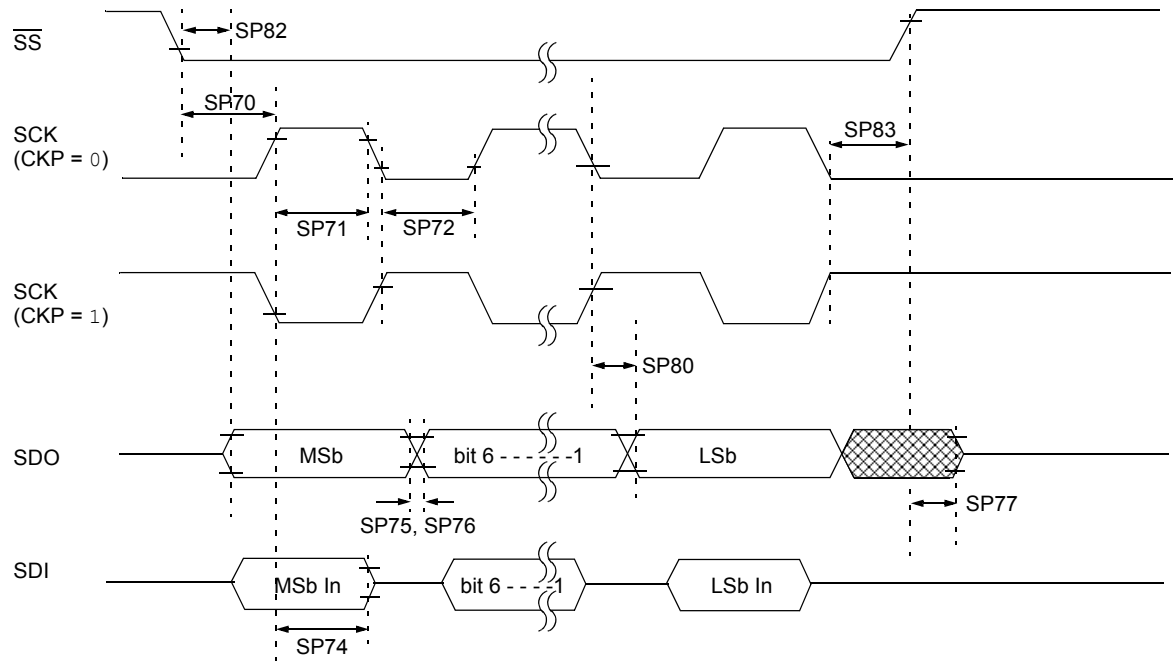
 © 2009 Microchip Technology Inc.

図 28-18: SPI スレーブ モードのタイミング (CKE = 0)



注 : 負荷条件については、図 28-5 を参照してください。

図 28-19: SPI スレーブ モードのタイミング (CKE = 1)



注 : 負荷条件については、図 28-5 を参照してください。

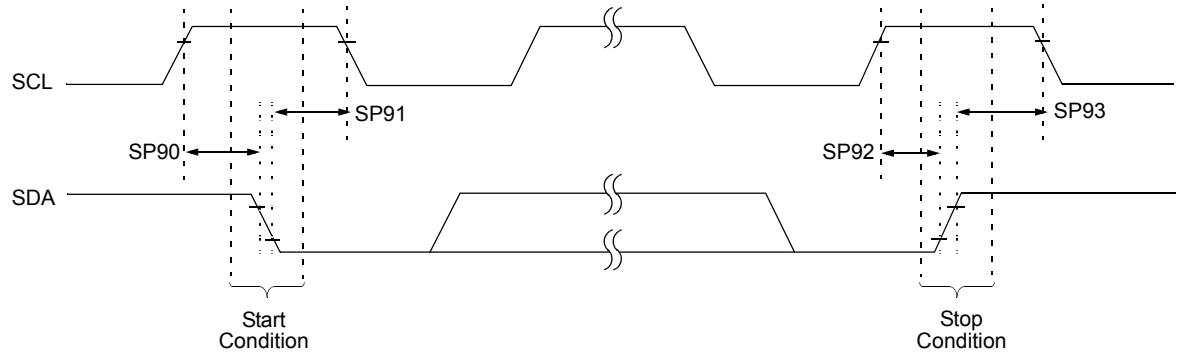
表 28-15: SPI モードの要件

Param No.	Symbol	Characteristic		Min.	Typ†	Max.	Units	Conditions
SP70*	TssL2scH, TssL2scL	$\overline{SS}$↓ to SCK↓ or SCK↑ input		Tcy	—	—	ns	
SP71*	TscH	SCK input high time (Slave mode)		Tcy + 20	—	—	ns	
SP72*	TscL	SCK input low time (Slave mode)		Tcy + 20	—	—	ns	
SP73*	TdiV2scH, TdiV2scL	Setup time of SDI data input to SCK edge		100	—	—	ns	
SP74*	TscH2diL, TscL2diL	Hold time of SDI data input to SCK edge		100	—	—	ns	
SP75*	TdoR	SDO data output rise time	3.0-5.5V	—	10	25	ns	
			1.8-5.5V	—	25	50	ns	
SP76*	TdoF	SDO data output fall time		—	10	25	ns	
SP77*	TssH2doZ	$\overline{SS}$↑ to SDO output high-impedance		10	—	50	ns	
SP78*	TscR	SCK output rise time (Master mode)	3.0-5.5V	—	10	25	ns	
			1.8-5.5V	—	25	50	ns	
SP79*	TscF	SCK output fall time (Master mode)		—	10	25	ns	
SP80*	TscH2doV, TscL2doV	SDO data output valid after SCK edge	3.0-5.5V	—	—	50	ns	
			1.8-5.5V	—	—	145	ns	
SP81*	TdoV2scH, TdoV2scL	SDO data output setup to SCK edge		Tcy	—	—	ns	
SP82*	TssL2doV	SDO data output valid after $\overline{SS}$↓ edge		—	—	50	ns	
SP83*	TscH2ssH, TscL2ssH	$\overline{SS}$ ↑ after SCK edge		1.5Tcy + 40	—	—	ns	

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。
これらのパラメータは設計の指針としてのみ使用します。検証されていません。

図 28-20: I^2C™ バス のスタート / ストップ ビットのタイミング



注 : 負荷条件については、図 28-5 を参照してください。

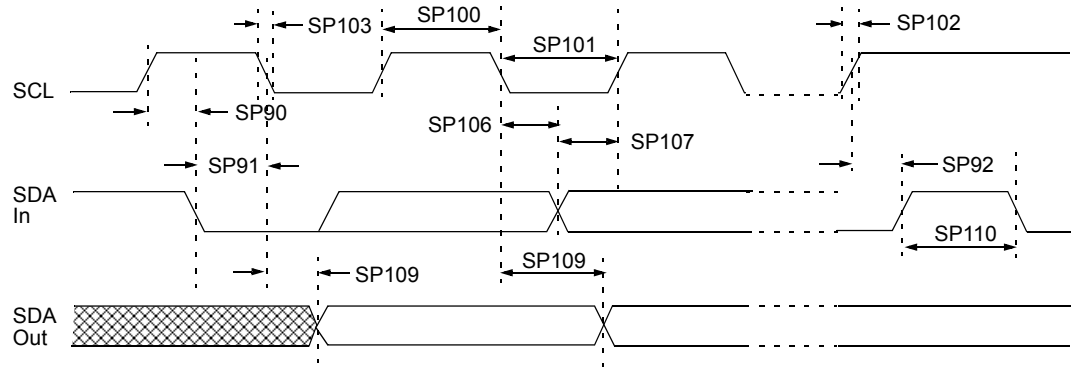
 © 2009 Microchip Technology Inc.

表 28-16: I²C™ バスのスタート / ストップ ビットの要件

Param No.	Symbol	Characteristic		Min.	Typ	Max.	Units	Conditions
SP90*	TSU:STA	Start condition Setup time	100 kHz mode	4700	—	—	ns	Only relevant for Repeated Start condition
			400 kHz mode	600	—	—		
SP91*	THD:STA	Start condition Hold time	100 kHz mode	4000	—	—	ns	After this period, the first clock pulse is generated
			400 kHz mode	600	—	—		
SP92*	TSU:STO	Stop condition Setup time	100 kHz mode	4700	—	—	ns	
			400 kHz mode	600	—	—		
SP93	THD:STO	Stop condition Hold time	100 kHz mode	4000	—	—	ns	
			400 kHz mode	600	—	—		

* これらのパラメータは特性解析されたものですが、検証されていません。

図 28-21: I²C™ バスのデータ タイミング



注: 負荷条件については、図 28-5 を参照してください。

表 28-17: I²C™ バスのデータ要件

Param. No.	Symbol	Characteristic		Min.	Max.	Units	Conditions
SP100*	THIGH	Clock high time	100 kHz mode	4.0	—	µs	Device must operate at a minimum of 1.5 MHz
			400 kHz mode	0.6	—	µs	Device must operate at a minimum of 10 MHz
			SSP module	1.5TCY	—		
SP101*	TLOW	Clock low time	100 kHz mode	4.7	—	µs	Device must operate at a minimum of 1.5 MHz
			400 kHz mode	1.3	—	µs	Device must operate at a minimum of 10 MHz
			SSP module	1.5TCY	—		
SP102*	TR	SDA and SCL rise time	100 kHz mode	—	1000	ns	
			400 kHz mode	20 + 0.1CB	300	ns	CB is specified to be from 10-400 pF
SP103*	TF	SDA and SCL fall time	100 kHz mode	—	250	ns	
			400 kHz mode	20 + 0.1CB	250	ns	CB is specified to be from 10-400 pF
SP90*	TSU:STA	Start condition setup time	100 kHz mode	4.7	—	µs	Only relevant for Repeated Start condition
			400 kHz mode	0.6	—	µs	
SP91*	THD:STA	Start condition hold time	100 kHz mode	4.0	—	µs	After this period the first clock pulse is generated
			400 kHz mode	0.6	—	µs	
SP106*	THD:DAT	Data input hold time	100 kHz mode	0	—	ns	
			400 kHz mode	0	0.9	µs	
SP107*	TSU:DAT	Data input setup time	100 kHz mode	250	—	ns	**(Note 2)**
			400 kHz mode	100	—	ns	
SP92*	TSU:STO	Stop condition setup time	100 kHz mode	4.7	—	µs	
			400 kHz mode	0.6	—	µs	
SP109*	TAA	Output valid from clock	100 kHz mode	—	3500	ns	**(Note 1)**
			400 kHz mode	—	—	ns	
SP110*	TBUF	Bus free time	100 kHz mode	4.7	—	µs	Time the bus must be free before a new transmission can start
			400 kHz mode	1.3	—	µs	
SP111	CB	Bus capacitive loading		—	400	pF	

* これらのパラメータは特性解析されたものですが、検証されていません。

注 1: トランスミッタとして、デバイスは SCL の立ち下がりエッジの未定義領域をカバーし、予期せぬスタート条件またはストップ条件の発生を回避するため、最小限の内部遅延時間 (300 ns 以上) が必要です。

2: 高速モード (400 kH) I²C™ バス デバイスは、標準モード (100 kHs) I²C バス システムで使用できますが、その要件 TSU:DAT ≥ 250 ns を満たす必要があります。デバイスが SCL 信号の Low 周期をストレッチしない場合は、この要件を自動的に満たします。SCL 信号の Low 周期をストレッチする場合は、SCL ラインがリリースされる前に次のデータ ビットを SDA ラインへ出力する必要があります。
TR max. + TSU:DAT = 1000 + 250 = 1250 ns (標準モードの I²C バス仕様に基づく)

 © 2009 Microchip Technology Inc.

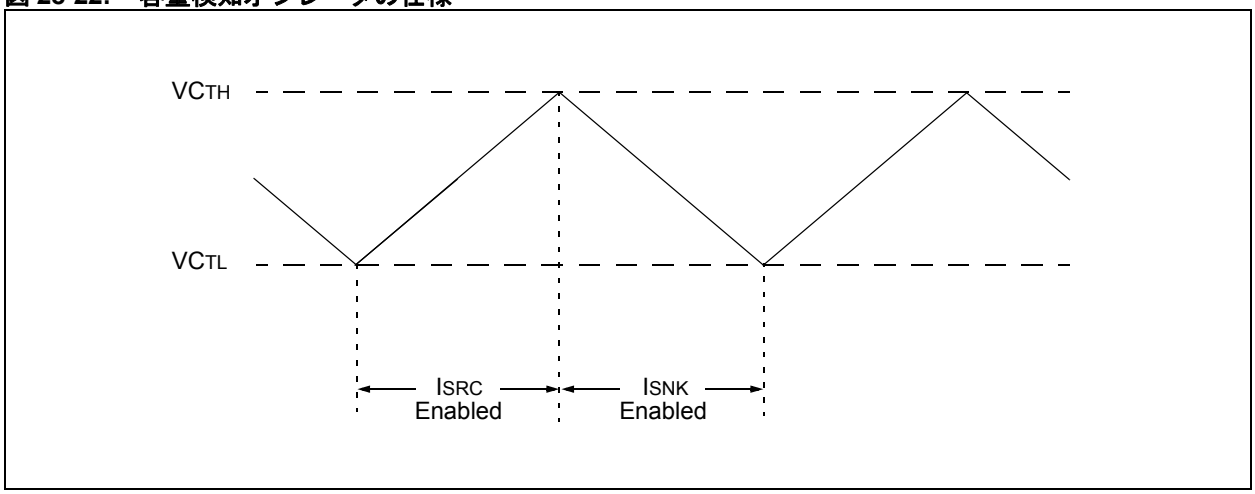
表 28-18: 容量検知オシレータの仕様

Param. No.	Symbol	Characteristic		Min.	Typ†	Max.	Units	Conditions
CS01	ISRC	Current Source	High	—	-5.8	—	µs	
			Medium	—	-1.1	—	µs	
			Low	—	-0.2	—	µs	
CS02	ISNK	Current Sink	High	—	6.6	—	µs	
			Medium	—	1.3	—	µs	
			Low	—	0.24	—	µs	
CS03	VCTH	Cap Threshold	High	—	0.8	—	µs	
CS04	VCTL	Cap Threshold	Low	—	0.4	—	µs	

* これらのパラメータは特性解析されたものですが、検証されていません。

† 「Typ (標準)」欄のデータは特に指定がない限り、3.0V、25°C 時のものです。
これらのパラメータは設計の指針としてのみ使用します。検証されていません。

図 28-22: 容量検知オシレータの仕様



ノート：

 © 2009 Microchip Technology Inc.

29.0 DC および AC 特性の図 / 表

このリビジョンでは、グラフおよび表はありません。

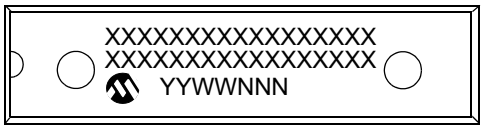
ノート：

 © 2009 Microchip Technology Inc.

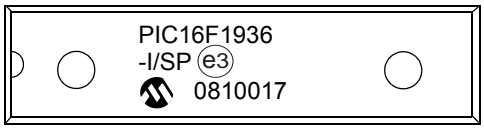
30.0 パッケージ情報

30.1 パッケージ マーキング情報

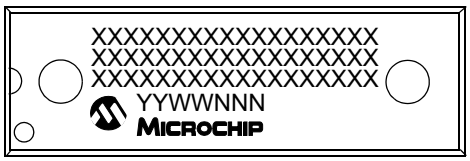
28-Lead SPDIP



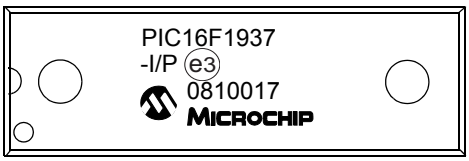
Example



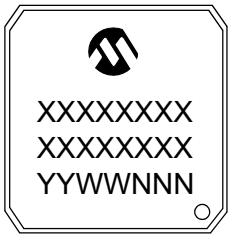
40-Lead PDIP



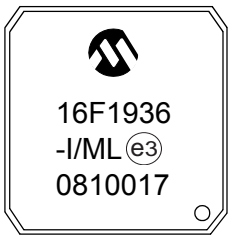
Example



28-Lead QFN



Example

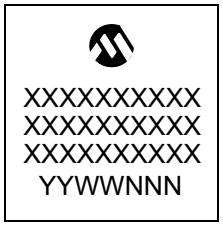


記号の説明 :	XX...X	カスタマ固有情報
	Y	製造年コード (西暦の最終桁)
	YY	製造年コード (西暦の下 2 桁)
	WW	製造週コード (例 : 1 月の第 1 週を「01」と表示)
	NNN	英数字によるトレーサビリティ コード
	e3	鉛フリーのつや消し錫 (Sn) メッキ製品を示す JEDEC 準拠マーク
	*	このパッケージは鉛フリーです。鉛フリーを示す JEDEC 準拠マーク (e3) はこのパッケージの外部包装に表示されています。
注 :	マイクロチップ社のパーツ番号全体が 1 行に収まらない場合は、次の行に続きます。この場合にはカスタマ固有情報用の文字数が制限されます。	

* 標準的な PICmicro® デバイスのマーキングは、マイクロチップ社製品番号、製造年コード、製造週コード、トレーサビリティ コードで構成されます。PICmicro デバイスにこれ以外のマーキングを行う場合は、追加料金が発生します。詳細は、マイクロチップ社営業所までお問い合わせください。QTP デバイスの場合、特別マーキングの追加料金は QTP 料金に含まれています。

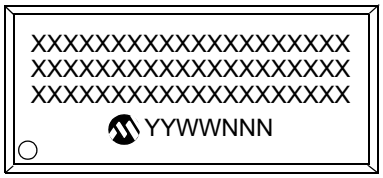
パッケージ マーキング情報 (続き)

44-Lead QFN

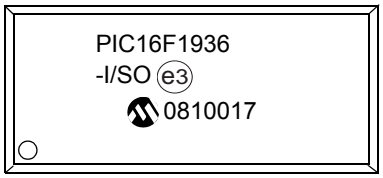


Example

28-Lead SOIC

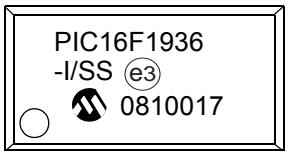


Example

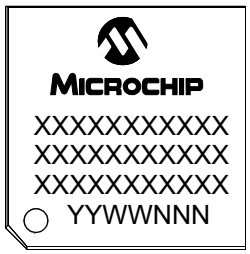


28-Lead SSOP

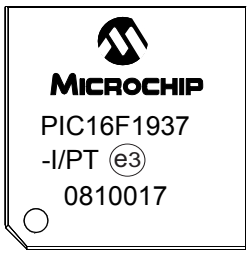
Example



44-Lead TQFP



Example



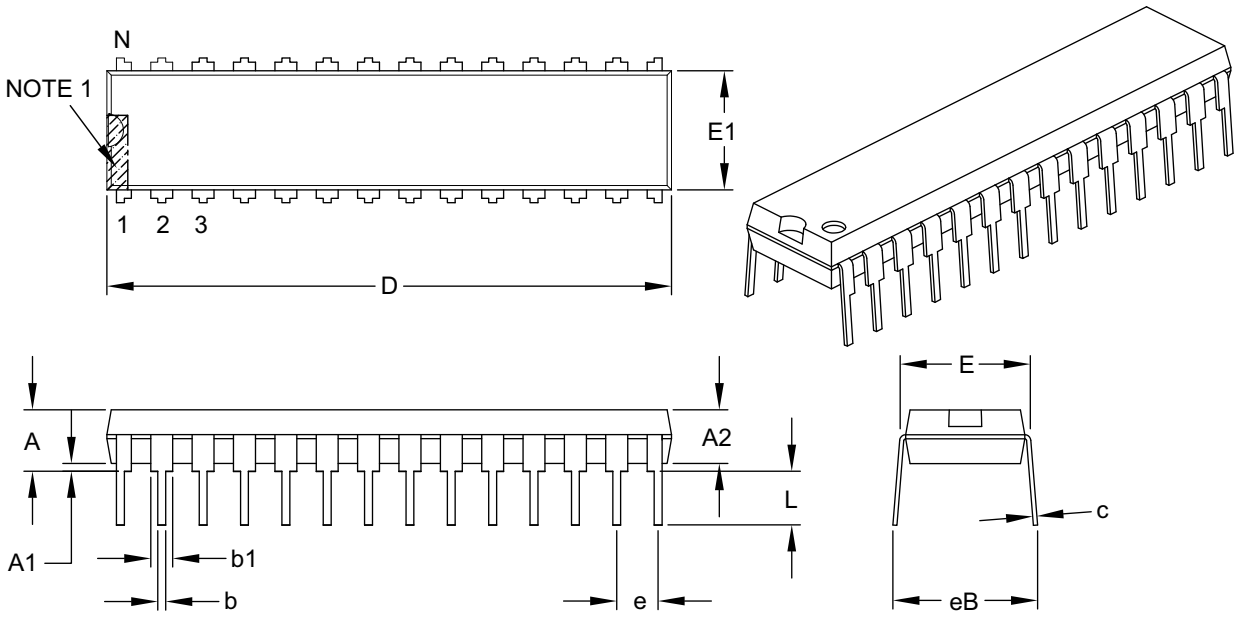
 © 2009 Microchip Technology Inc.

30.2 パッケージ詳細

本章ではパッケージの技術的詳細を示します。

28 ピン スキニー プラスチック デュアル インライン (P) – 300 mil ボディ [PDIP]

注 : 最新のパッケージ図面については、次のウェブ サイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
http://www.microchip.com/packaging



Units		INCHES		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N		28	
Pitch	e		.100 BSC	
Top to Seating Plane	A	–	–	.200
Molded Package Thickness	A2	.120	.135	.150
Base to Seating Plane	A1	.015	–	–
Shoulder to Shoulder Width	E	.290	.310	.335
Molded Package Width	E1	.240	.285	.295
Overall Length	D	1.345	1.365	1.400
Tip to Seating Plane	L	.110	.130	.150
Lead Thickness	c	.008	.010	.015
Upper Lead Width	b1	.040	.050	.070
Lower Lead Width	b	.014	.018	.022
Overall Row Spacing §	eB	–	–	.430

注 :

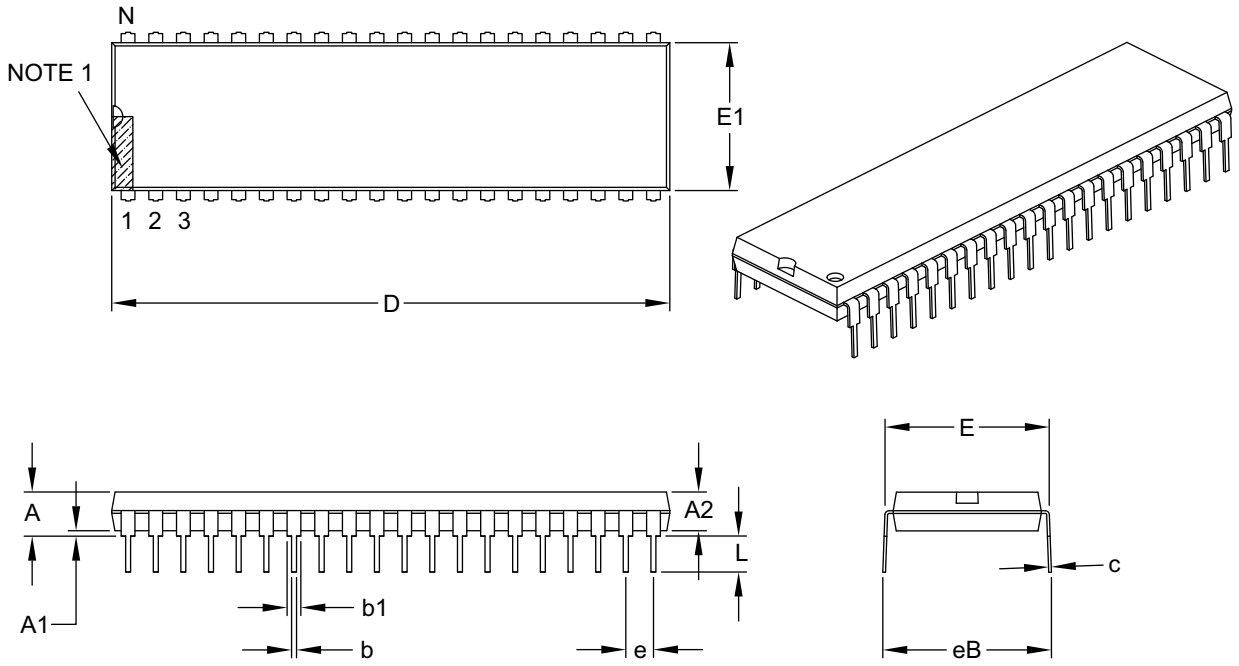
1. ピン 1 のビジュアル インデックスの場所はばらつきがありますが、必ず斜線部分内にあります。
2. § 重要な特徴です。
3. 寸法DとE1には、モールド フラッシュまたは突出部は含みません。モールド フラッシュまたは突出部は各側で0.010" (0.254 mm) 以下とします。
4. 寸法および公差は ASME Y14.5M に準拠しています。

BSC: 基準寸法。公差を含まずに表示される理論的に正確な値

Microchip Technology Drawing C04-070B

40 ピン プラスチック デュアル インライン (P) – 600 mil ボディ [PDIP]

注 : 最新のパッケージ図面については、次のウェブ サイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
http://www.microchip.com/packaging



Units		INCHES		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N		40	
Pitch	e		.100 BSC	
Top to Seating Plane	A	–	–	.250
Molded Package Thickness	A2	.125	–	.195
Base to Seating Plane	A1	.015	–	–
Shoulder to Shoulder Width	E	.590	–	.625
Molded Package Width	E1	.485	–	.580
Overall Length	D	1.980	–	2.095
Tip to Seating Plane	L	.115	–	.200
Lead Thickness	c	.008	–	.015
Upper Lead Width	b1	.030	–	.070
Lower Lead Width	b	.014	–	.023
Overall Row Spacing §	eB	–	–	.700

注 :

1. ピン 1 のビジュアル インデックスの場所はばらつきがありますが、必ず斜線部分内にあります。
2. § 重要な特徴です。
3. 寸法DとE1には、モールド フラッシュまたは突出部は含みません。モールド フラッシュまたは突出部は各側で0.010" (0.254 mm) 以下とします。
4. 寸法および公差は ASME Y14.5M に準拠しています。

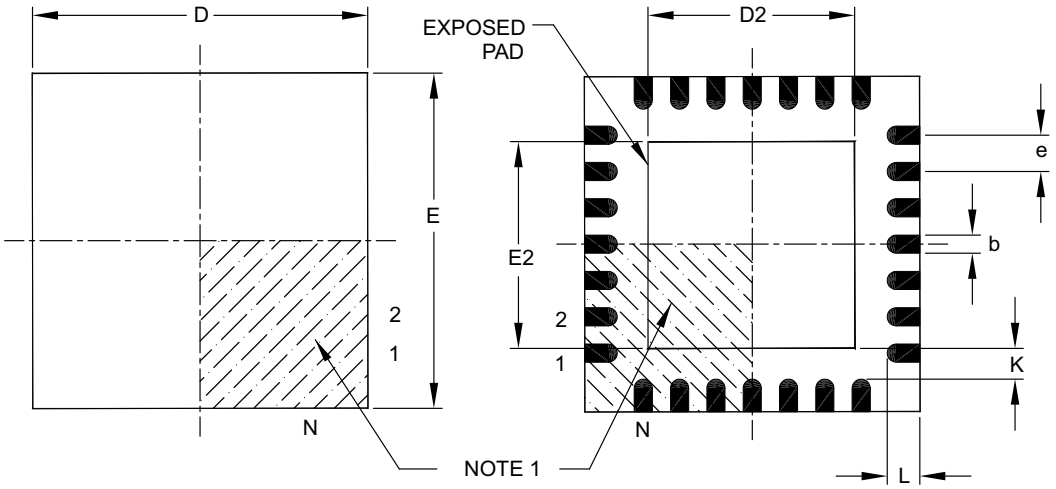
   BSC: 基準寸法。公差を含まずに表示される理論的に正確な値

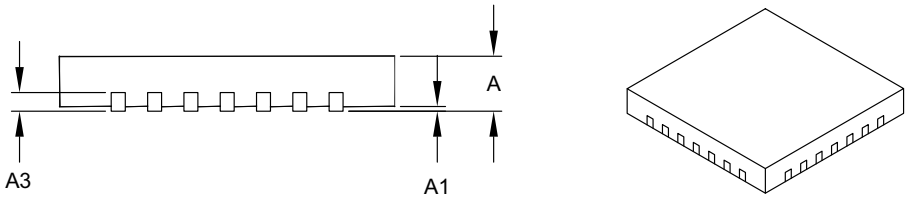
Microchip Technology Drawing C04-016B

 © 2009 Microchip Technology Inc.

28 ピン プラスチック クワッド フラット、鉛フリー パッケージ (ML) – 6x6 mm ボディ [QFN] 接点長 0.55 mm

注 : 最新のパッケージ図面については、次のウェブ サイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
http://www.microchip.com/packaging





Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N		28	
Pitch	e		0.65 BSC	
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Contact Thickness	A3		0.20 REF	
Overall Width	E		6.00 BSC	
Exposed Pad Width	E2	3.65	3.70	4.20
Overall Length	D		6.00 BSC	
Exposed Pad Length	D2	3.65	3.70	4.20
Contact Width	b	0.23	0.30	0.35
Contact Length	L	0.50	0.55	0.70
Contact-to-Exposed Pad	K	0.20	–	–

注 :

1. ピン 1 のビジュアル インデックスの場所はばらつきがありますが、必ず斜線部分内にあります。
2. パッケージは切削切り出しされています。
3. 寸法および公差は ASME Y14.5M に準拠しています。

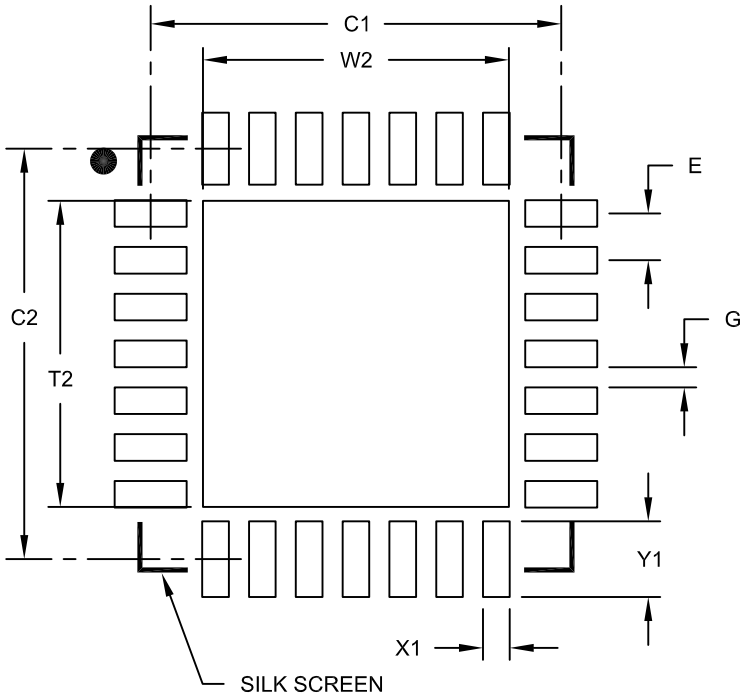
BSC: 基準寸法。公差を含まずに表示される理論的に正確な値

REF: 参考寸法。通常は公差を含まない、情報としてのみ使用される値

Microchip Technology Drawing C04-105B

28 ピン プラスチック クワッド フラット、鉛フリー パッケージ (ML) – 6x6 mm ボディ [QFN] 接点長 0.55 mm

注 : 最新のパッケージ図面については、次のウェブ サイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
http://www.microchip.com/packaging



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.65 BSC	
Optional Center Pad Width	W2			4.25
Optional Center Pad Length	T2			4.25
Contact Pad Spacing	C1		5.70	
Contact Pad Spacing	C2		5.70	
Contact Pad Width (X28)	X1			0.37
Contact Pad Length (X28)	Y1			1.00
Distance Between Pads	G	0.20		

注 :

1. 寸法および公差は ASME Y14.5M に準拠しています。

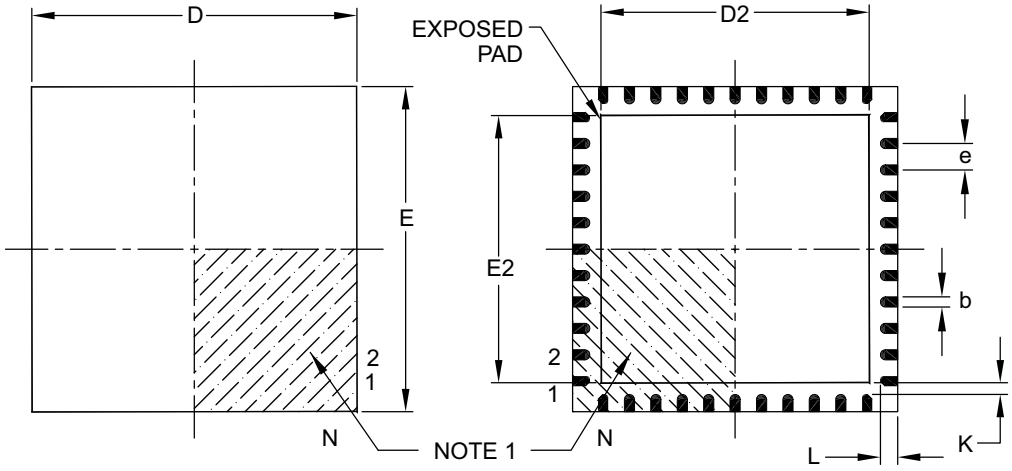
BSC: 基準寸法。公差を含まずに表示される理論的に正確な値

Microchip Technology Drawing C04-2,105A

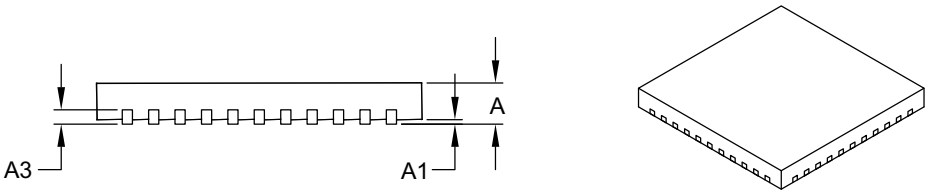
 © 2009 Microchip Technology Inc.

44 ピン プラスチック クワッド フラット、鉛フリー パッケージ (ML) – 8x8 mm ボディ [QFN]

注 : 最新のパッケージ図面については、次のウェブ サイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
http://www.microchip.com/packaging



TOP VIEW **BOTTOM VIEW**



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N		44	
Pitch	e		0.65 BSC	
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Contact Thickness	A3		0.20 REF	
Overall Width	E		8.00 BSC	
Exposed Pad Width	E2	6.30	6.45	6.80
Overall Length	D		8.00 BSC	
Exposed Pad Length	D2	6.30	6.45	6.80
Contact Width	b	0.25	0.30	0.38
Contact Length	L	0.30	0.40	0.50
Contact-to-Exposed Pad	K	0.20	–	–

注 :

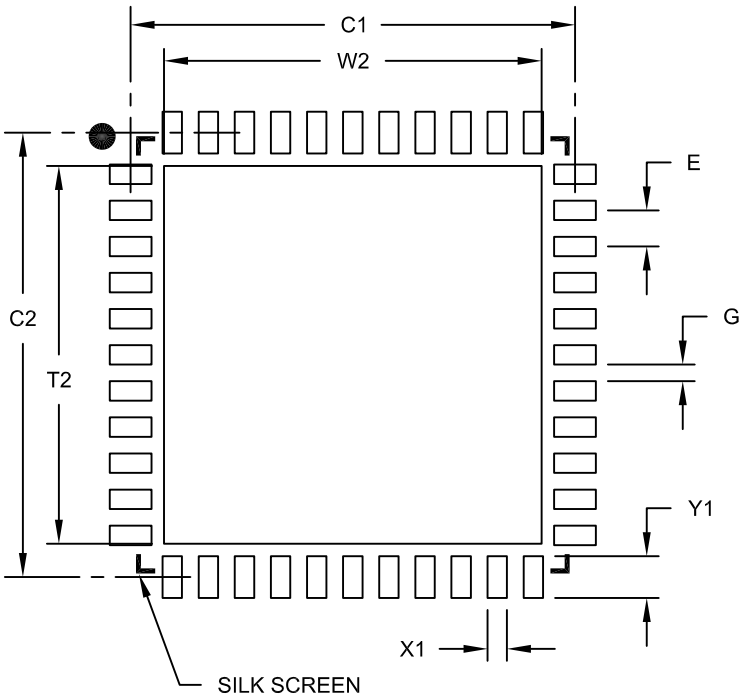
1. ピン 1 のビジュアル インデックスの場所はばらつきがありますが、必ず斜線部分内にあります。
2. パッケージは切削切り出しされています。
3. 寸法および公差は ASME Y14.5M に準拠しています。

BSC: 基準寸法。公差を含まずに表示される理論的に正確な値
REF: 参考寸法。通常は公差を含まない、情報としてのみ使用される値

Microchip Technology Drawing C04-103B

44 ピン プラスチック クワッド フラット、鉛フリー パッケージ (ML) – 8x8 mm ボディ [QFN]

注： 最新のパッケージ図面については、次のウェブ サイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
http://www.microchip.com/packaging



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.65 BSC	
Optional Center Pad Width	W2			6.80
Optional Center Pad Length	T2			6.80
Contact Pad Spacing	C1		8.00	
Contact Pad Spacing	C2		8.00	
Contact Pad Width (X44)	X1			0.35
Contact Pad Length (X44)	Y1			0.80
Distance Between Pads	G	0.25		

注：

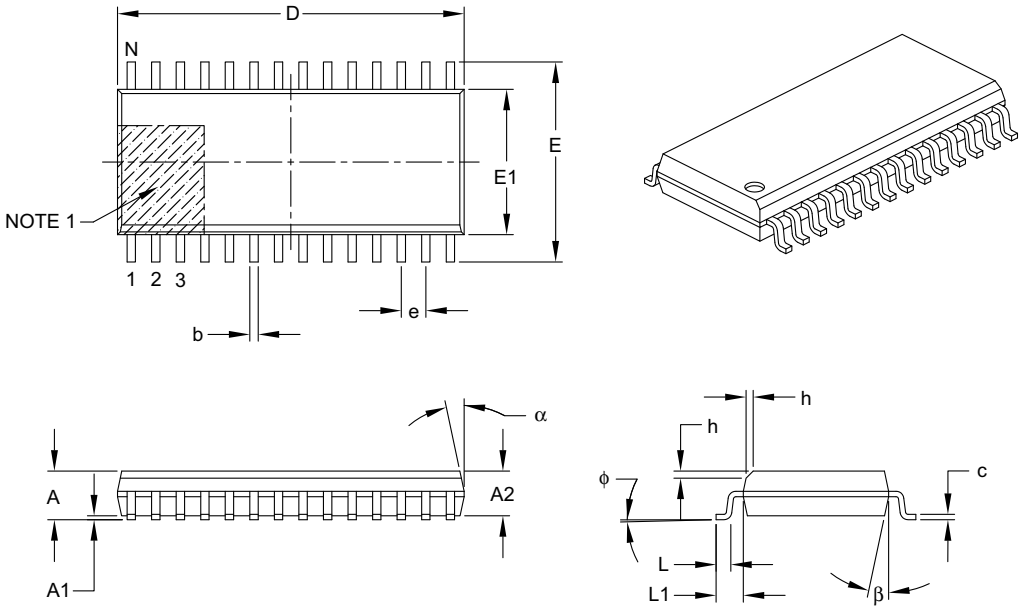
1. 寸法および公差は ASME Y14.5M に準拠しています。
   BSC: 基準寸法。公差を含まずに表示される理論的に正確な値

Microchip Technology Drawing C04-2,103A

 © 2009 Microchip Technology Inc.

28 ピン プラスチック スモール アウトライン (SO) – 厚型、7.50 mm ボディ [SOIC]

注 : 最新のパッケージ図面については、次のウェブ サイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
http://www.microchip.com/packaging



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N		28	
Pitch	e		1.27 BSC	
Overall Height	A	–	–	2.65
Molded Package Thickness	A2	2.05	–	–
Standoff §	A1	0.10	–	0.30
Overall Width	E		10.30 BSC	
Molded Package Width	E1		7.50 BSC	
Overall Length	D		17.90 BSC	
Chamfer (optional)	h	0.25	–	0.75
Foot Length	L	0.40	–	1.27
Footprint	L1		1.40 REF	
Foot Angle Top	ϕ	0°	–	8°
Lead Thickness	c	0.18	–	0.33
Lead Width	b	0.31	–	0.51
Mold Draft Angle Top	α	5°	–	15°
Mold Draft Angle Bottom	β	5°	–	15°

注 :

1. ピン 1 のビジュアル インデックスの場所はばらつきがありますが、必ず斜線部分内にあります。
2. § 重要な特徴です。
3. 寸法 D と E1 には、モールド フラッシュまたは突出部は含みません。モールド フラッシュまたは突出部は各側で 0.15 mm 以下とします。
4. 寸法および公差は ASME Y14.5M に準拠しています。

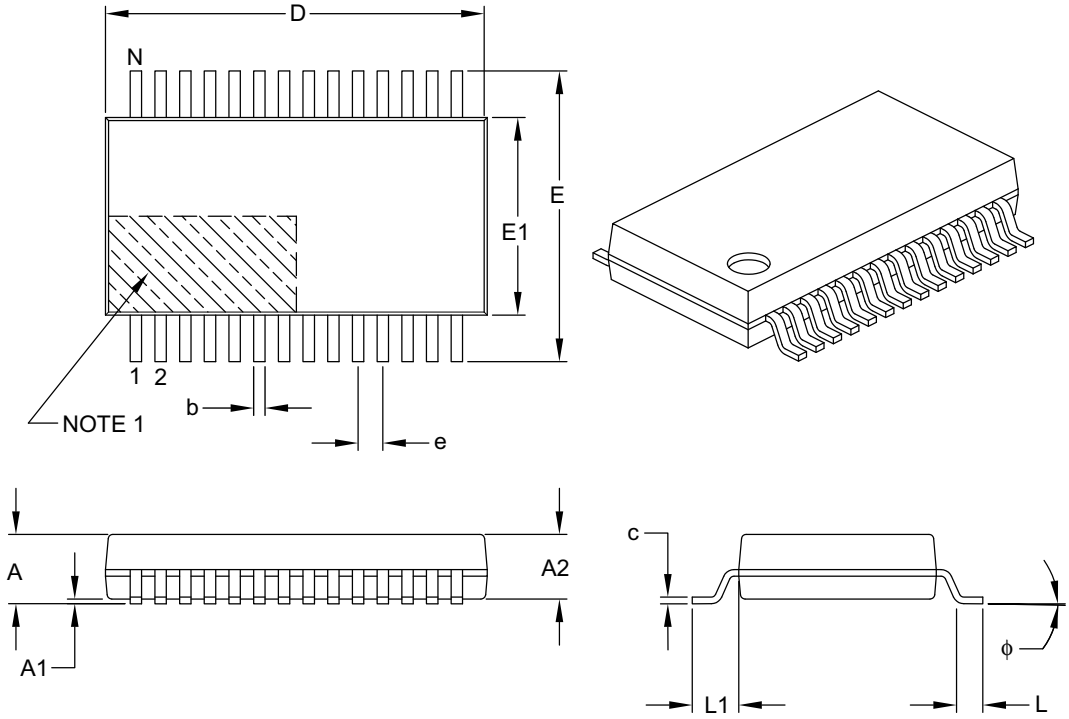
   BSC: 基準寸法。公差を含まずに表示される理論的に正確な値

   REF: 参考寸法。通常は公差を含まない、情報としてのみ使用される値

Microchip Technology Drawing C04-052B

28 ピン プラスチック シュリンク スモール アウトライン (SS) – 5.30 mm ボディ [SSOP]

注： 最新のパッケージ図面については、次のウェブ サイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
http://www.microchip.com/packaging



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N		28	
Pitch	e		0.65 BSC	
Overall Height	A	–	–	2.00
Molded Package Thickness	A2	1.65	1.75	1.85
Standoff	A1	0.05	–	–
Overall Width	E	7.40	7.80	8.20
Molded Package Width	E1	5.00	5.30	5.60
Overall Length	D	9.90	10.20	10.50
Foot Length	L	0.55	0.75	0.95
Footprint	L1		1.25 REF	
Lead Thickness	c	0.09	–	0.25
Foot Angle	ϕ	0°	4°	8°
Lead Width	b	0.22	–	0.38

注：

1. ピン 1 のビジュアル インデックスの場所はばらつきがありますが、必ず斜線部分内にあります。
2. 寸法 D と E1 には、モールド フラッシュまたは突出部は含みません。モールド フラッシュまたは突出部は各側で 0.20 mm 以下とします。
3. 寸法および公差は ASME Y14.5M に準拠しています。

   BSC: 基準寸法。公差を含まずに表示される理論的に正確な値

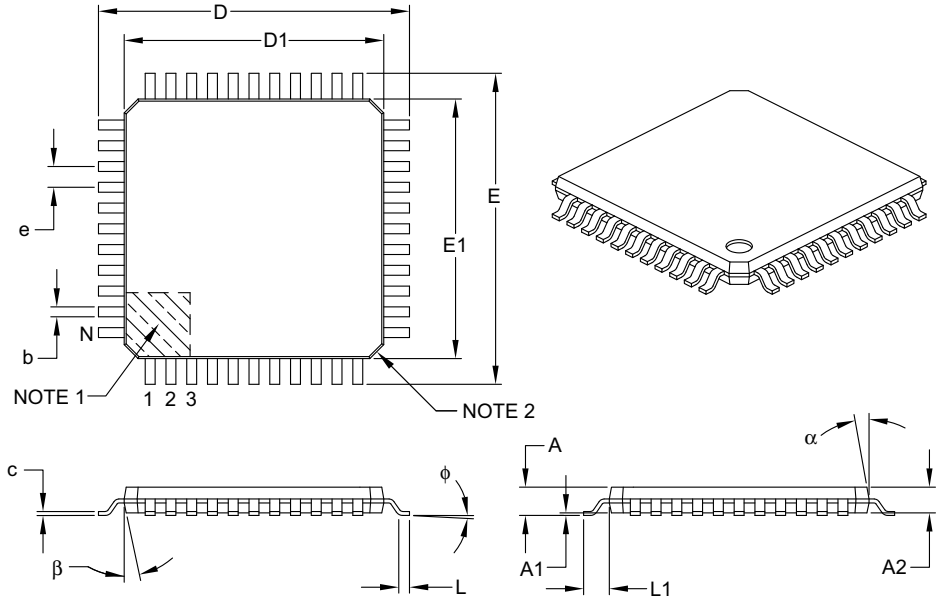
   REF: 参考寸法。通常は公差を含まない、情報としてのみ使用される値

Microchip Technology Drawing C04-073B

© 2009 Microchip Technology Inc.

44 ピン プラスチック薄型クワッド フラットパック (PT) – 10x10x1 mm ボディ、2.00 mm [TQFP]

注 : 最新のパッケージ図面については、次のウェブ サイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
http://www.microchip.com/packaging



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Leads	N		44	
Lead Pitch	e		0.80 BSC	
Overall Height	A	–	–	1.20
Molded Package Thickness	A2	0.95	1.00	1.05
Standoff	A1	0.05	–	0.15
Foot Length	L	0.45	0.60	0.75
Footprint	L1		1.00 REF	
Foot Angle	φ	0°	3.5°	7°
Overall Width	E		12.00 BSC	
Overall Length	D		12.00 BSC	
Molded Package Width	E1		10.00 BSC	
Molded Package Length	D1		10.00 BSC	
Lead Thickness	c	0.09	–	0.20
Lead Width	b	0.30	0.37	0.45
Mold Draft Angle Top	α	11°	12°	13°
Mold Draft Angle Bottom	β	11°	12°	13°

注 :

1. ピン 1 のビジュアル インデックスの場所はばらつきがありますが、必ず斜線部分内にあります。
2. コーナー部の面取りはオプションで、サイズは異なります。
3. 寸法 D1 と E1 には、モールドフラッシュまたは突出部は含みません。モールド フラッシュまたは突出部は各側で 0.25 mm 以下とします。
4. 寸法および公差は ASME Y14.5M に準拠しています。

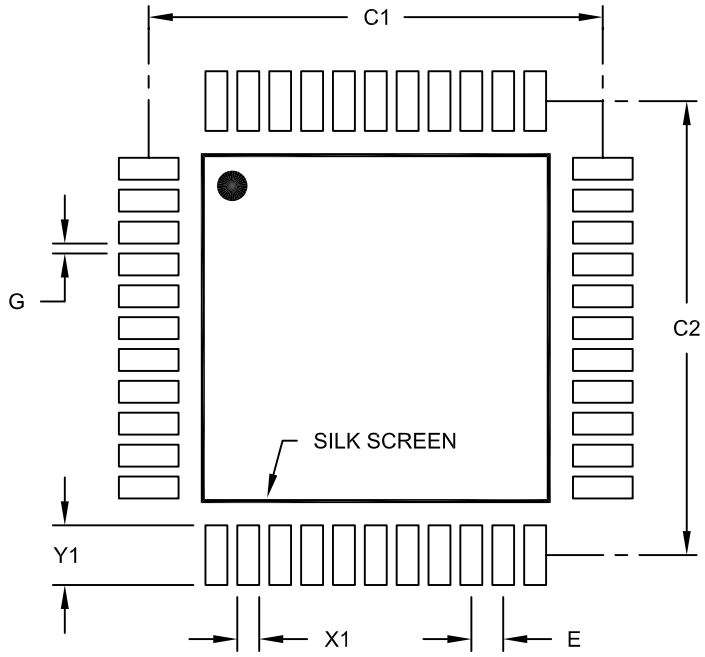
   BSC: 基準寸法。公差を含まずに表示される理論的に正確な値

   REF: 参考寸法。通常は公差を含まない、情報としてのみ使用される値

Microchip Technology Drawing C04-076B

44 ピン プラスチック薄型クワッド フラットパック (PT) – 10x10x1 mm ボディ、2.00 mm [TQFP]

注 : 最新のパッケージ図面については、次のウェブ サイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
http://www.microchip.com/packaging



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.80 BSC	
Contact Pad Spacing	C1		11.40	
Contact Pad Spacing	C2		11.40	
Contact Pad Width (X44)	X1			0.55
Contact Pad Length (X44)	Y1			1.50
Distance Between Pads	G	0.25		

注 :

1. 寸法および公差は ASME Y14.5M に準拠しています。
   BSC: 基準寸法。公差を含まずに表示される理論的に正確な値

Microchip Technology Drawing C04-2076A

 © 2009 Microchip Technology Inc.

付録 A:　データシート改版履歴

リビジョン A

初版リリース (2008 年 12 月)

リビジョン B (2009 年 4 月)

データ シートのタイトル変更、機能セクションの変更。

付録 B:　他の PIC® デバイスからの移行

ここでは、他の PIC®デバイスから PIC16F193X/LF193X ファミリへの移行に関するいくつかの問題について取り上げます。

B.1　PIC16F917 から PIC16F193X/LF193X への移行

表 B-1:　機能比較

Feature	PIC16F917	PIC16F1937
Max. Operating Speed	20 MHz	32 MHz
Max. Program Memory (Words)	8K	8K
Max. SRAM (Bytes)	368	512
A/D Resolution	10-bit	10-bit
Timers (8/16-bit)	2/1	4/1
Oscillator Modes	4	8
Brown-out Reset	Y	Y
Internal Pull-ups	RB<7:0>	RB<7:0>
Interrupt-on-change	RB<7:4>	RB<7:0>
Comparator	2	2
AUSART/EUSART	1/0	0/1
Extended WDT	Y	Y
Software Control Option of WDT/BOR	N	Y
INTOSC Frequencies	30 kHz - 8 MHz	500 kHz - 32 MHz
Clock Switching	Y	Y
Capacitive Sensing	N	Y
CCP/ECCP	2/0	2/3
Enhanced PIC16 CPU	N	Y
MSSP/SSP	0/1	1/0
LCD	Y	Y

ノート：

 © 2009 Microchip Technology Inc.

索引

数字

2 段速クロック スタートアップ モード 117

A

A/D
    仕様 377, 378
AC 特性
    工業用および拡張用 370
    負荷条件 369
ACKSTAT 310
ACKSTAT ステータス フラグ 310
ADC 131
    A/D 変換の開始 134
    アクイジション時間の計算 140
    アクイジションの要件 140
    関連レジスタ 142
    スリープ時の動作 135
    設定 132
    ソース インピーダンス 140
    チャネル選択 132
    動作 135
    特殊イベント トリガ 135
    内部サンプリング スイッチ (RSS)
        インピーダンス 140
    ブロック図 131
    変換クロック 132
    変換の手順 136
    ポート設定 132
    リファレンス電圧 (VREF) 132
    割り込み 134
    割り込みを設定する 136
ADCON0 レジスタ 36, 137
ADCON1 レジスタ 36, 138
ADDFSR 341
ADDWFC 341
ADRESH レジスタ 36
ADRESH レジスタ (ADFM = 0) 138
ADRESH レジスタ (ADFM = 1) 139
ADRESL レジスタ (ADFM = 0) 139
ADRESL レジスタ (ADFM = 1) 139
ANSELA レジスタ 86
ANSELB レジスタ 91
ANSELD レジスタ 97
ANSELE レジスタ 101
APFCON レジスタ 84

B

BAUDCON レジスタ 224
BF 310, 312
BF ステータス フラグ 310, 312
BORCON レジスタ 63
BRA 342

C

CALL 343
CALLW 343
CCP1CON レジスタ 40, 41
CCPR1H レジスタ 40, 41
CCPR1L レジスタ 40, 41
CCPTMRS0 レジスタ 185
CCPTMRS1 レジスタ 186
CCPxAS レジスタ 204
CCPxCON (ECCPx) レジスタ 184
CMOUT レジスタ 149
CMxCON0 レジスタ 148
CMxCON1 レジスタ 149
CONFIG1 レジスタ 126
CONFIG2 レジスタ 128
CPSCON0 レジスタ 180
CPSCON1 レジスタ 181
C コンパイラ
    MPLAB C18 352
    MPLAB C30 352

D

DACCON0 (デジタル アナログ コンバータ制御 0)
    レジスタ 153
DACCON1 (デジタル アナログ コンバータ制御 1)
    レジスタ 153
DC および AC 特性 389
DC 特性
    拡張用および工業用 365
    工業用および拡張用 358

E

ECCP/CCP。拡張型キャプチャ / コンペア /PWM を参照
EEADRH レジスタ 321
EEADRL レジスタ 321, 322
EEADR レジスタ 321
EECON1 レジスタ 321, 323
EECON2 レジスタ 321, 324
EEDATH レジスタ 322
EEDATL レジスタ 322
EEPROM データ メモリ
    書き込みの検証 332
    誤書きこみ防止 332
EUSART 213
    関連レジスタ
        ボーレート ジェネレータ 226
    同期スレーブ モード
        関連レジスタ
            受信 239
            送信 238
        受信 239
        送信 238
    同期マスター モード 234, 238
        関連レジスタ
            受信 237
            送信 235
        受信 236
        送信 234
    非同期モード 215
        12 ビットのブレーク送信および受信 233
        アドレス検知機能付き 9 ビット モードの
            設定 220
        関連レジスタ
            受信 221
            送信 217
        クロック精度 222
        受信部 218
        送信部 215
        ブレーク ビットで自動ウェイクアップ 231

ボーレート ジェネレータ (BRG) 225
ボーレート ジェネレータ (BRG)
計算式 226
高速ボーレートの選択 (BRGH ビット) 225
ボーレート エラー、計算 225
ボーレートの自動検出 230
ボーレート、非同期モード 227
EUSART (Enhanced Universal Synchronous Asynchronous Receiver Transmitter) 213

F

FSR レジスタ 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 47, 48
FVRCON (固定電圧リファレンス制御) レジスタ 156

I

I²C モード (MSSP)
I²C のクロック周波数 (BRG) 320
アクノレッジ シーケンスのタイミング 314
ストップ コンディションのタイミング 314
スリープ動作 315
スレーブ モード
送信 296
バス衝突
ストップ コンディション時 319
リピート スタート コンディション時 318
マスター モード
受信 312
スタート コンディションのタイミング 308, 309
送信 310
動作 306
マルチ マスター モード 315
マルチマスター通信、バス衝突、および バス調停 315
読み出し / 書き込みビット情報 (R/$\overline{W}$ ビット) 290
リセットの影響 315
INDF レジスタ 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 47, 48
INTCON レジスタ 73
INTOSC の仕様 371
INTOSC の仕様 371
IOCBF レジスタ 104
IOCBN レジスタ 104
IOCBP レジスタ 104

L

LATA レジスタ 85, 93
LATB レジスタ 90
LATD レジスタ 96
LATE レジスタ 99
LCD
LCDCON レジスタ 241
LCDPS レジスタ 241
関連レジスタ 272
クロック ソースの選択 248
スリープ時の動作 269
セグメント イネーブル 254
バイアス電圧生成 249, 250
波形生成 256
ピクセル制御 254
プリスケーラ 248
フレーム周波数 254
マルチプレクスの種類 254
モジュールの設定 271
モジュールの無効化 271
割り込み 267
LCDCON レジスタ 241, 243
LCDCST レジスタ 246
LCDDATAx レジスタ 247, 252
LCDPS レジスタ 241, 244
LP ビット 248
LCDREF レジスタ 245
LCDRL レジスタ 252
LCDSEn レジスタ 247
LSLF 345
LSRF 345

M

$\overline{MCLR}$ 59
内部 59
MOVIW 346
MOVLB 346
MOVWI 347
MPLAB ASM30 アセンブラ、リンカ、ライブラリアン 352
MPLAB ICD 2 インサーキット デバッガ 353
MPLAB ICE 2000 高性能ユニバーサル インサーキット エミュレータ 353
MPLAB PM3 デバイス プログラマ 353
MPLAB REAL ICE インサーキット エミュレータ システム 353
MPLAB 統合開発環境ソフトウェア 351
MPLINK オブジェクト リンカ /MPLIB オブジェクト ライブラリアン 352
MSSP 273
SSPBUF レジスタ 283
SSPSR レジスタ 283

O

OPCODE フィールドの説明 337
OPTION 347
OPTION レジスタ 51, 159
OSCCON レジスタ 108
OSCSTAT レジスタ 113
OSCTUNE レジスタ 114

P

P1A/P1B/P1C/P1D。拡張型キャプチャ / コンペア / PWM (ECCP) を参照 195
PCL および PCLATH 52
PCL レジスタ 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 47, 48
PCLATH レジスタ .. 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 47, 48
PCON レジスタ 36, 65
PICSTART Plus 開発用プログラマ 354
PIE1 レジスタ 36, 74
PIE2 レジスタ 36, 75
PIE3 レジスタ 76
PIR1 レジスタ 35, 77
PIR2 レジスタ 35, 78
PIR3 レジスタ 79
PORTA 85
ANSELA レジスタ 86
PORTA レジスタ 35, 37
関連レジスタ 88
仕様 373
PORTA レジスタ 85

 © 2009 Microchip Technology Inc.

PORTB 89
ANSELB レジスタ 91
P1B/P1C/P1D。拡張キャプチャ / 比較 / PWM+ (ECCP+) を参照 89
PORTB レジスタ 35, 37
関連レジスタ 92
状態変化割り込み 89
その他のピン機能
弱プルアップ 89
ピンの概要とブロック図 92
PORTB レジスタ 90
PORTC 93
P1A。拡張キャプチャ / 比較 / PWM+ (ECCP+) を参照 93
PORTC レジスタ 35, 37
関連レジスタ 95
仕様 373
ピンの概要とブロック図 95
PORTC レジスタ 93
PORTD 96
P1B/P1C/P1D。拡張キャプチャ / 比較 / PWM+ (ECCP+) を参照 96
PORTD レジスタ 35, 37
関連レジスタ 98
その他のピン機能
ANSELD レジスタ 97
ピンの概要とブロック図 98
PORTD レジスタ 96
PORTE 99
ANSELE レジスタ 101
PORTE レジスタ 35, 37
関連レジスタ 102
ピンの概要とブロック図 102
PORTE レジスタ 99
PR2 レジスタ 35, 43
PSTRxCON レジスタ 208
PWM (ECCP モジュール)
ステアリングの同期化 210
パルス ステアリング 208
PWM モード。拡張型キャプチャ / コンペア / PWM を参照 195
PWMxCON レジスタ 207

R

RCREG 220
RCREG レジスタ 38
RCSTA レジスタ 38, 223
Read-Modify-Write 操作 337
RESET 347

S

SCK 281
SDI 281
SDO 281
SPBRG 225
SPBRG レジスタ 37, 38
SPBRGH 225
SPI モード (MSSP)
SPI クロック 283
一般的な接続 282
関連レジスタ 286
シリアル クロック 281
シリアル データ出力 281
シリアル データ入力 281
スレーブ セレクト 281
SR ラッチ 121
SRCON0 レジスタ 122
SRCON1 レジスタ 123
$\overline{SS}$ 281
SSPADD レジスタ 39, 280
SSPBUF レジスタ 39
SSPCON 1 レジスタ 277
SSPCON レジスタ 39
SSPCON2 レジスタ 278
SSPCON3 レジスタ 279
SSPMSK レジスタ 280
SSPOV 312
SSPOV ステータス フラグ 312
SSPSTAT レジスタ 39, 276
R/$\overline{W}$ ビット 290
STATUS レジスタ 50
SUBWFB 349

T

T1CON レジスタ 35, 169
T1GCON レジスタ 170
T2CON レジスタ 35, 43
Timer0 157
関連レジスタ 159
仕様 376
動作 157
Timer1 161
Timer1 ゲート ソースの選択 163
TMR1H レジスタ 161
TMR1L レジスタ 161
オシレータ 163
関連レジスタ 171
クロック ソースの選択 162
仕様 376
スリープ時の動作 165
動作 162
非同期カウンタ モード 163
読み出し / 書き込み 163
プリスケーラ 163
割り込み 165
Timer2
関連レジスタ 176
Timer2/4/6 173
関連レジスタ 176
TMR0 レジスタ 35
TMR1H レジスタ 35
TMR1L レジスタ 35
TMR2 レジスタ 35, 43
TRIS 350
TRISA レジスタ 36, 86
TRISB 89
TRISB レジスタ 36, 91
TRISC 93
TRISC レジスタ 36, 94
TRISD 96
TRISD レジスタ 36, 97
TRISE 99
TRISE レジスタ 36, 101
TXCON (Timer2/4/6) レジスタ 175

TxCON レジスタ 211
TXREG 215
TXREG レジスタ 38
TXSTA レジスタ 38, 222
BRGH ビット 225

U

USART
同期マスター モード
タイミング図、同期受信 381
タイミング図、同期送信 381
要件、同期受信 381
要件、同期送信 381

V

VREF。ADC のリファレンス電圧を参照

W

WCOL 307, 310, 312, 314
WCOL ステータス フラグ 307, 310, 312, 314
WCOL のステータス フラグ 314
WDTCON レジスタ 61
WPUB レジスタ 90
WWW アドレス 413
WWW、オンラインサポート 11

あ

アセンブラ
MPASM アセンブラ 352
アナログ / デジタル変換。ADC を参照

い

インターネット アドレス 413

う

ウォッチドッグ タイマ (WDT) 59
クロック ソース 59
周期 59
仕様 375
モード 60

え

液晶ディスプレイ (LCD) ドライバ 241

お

お客様サポート 413
お客様変更通知サービス 413
オシレータ
関連レジスタ 120
オシレータ スタートアップ タイマ (OST)
仕様 375
オシレータ モジュール 107
EC 107
HFINTOSC 107
HS 107
INTOSC 107
LFINTOSC 107
LP 107
MFINTOSC 107
RC 107
XT 107
オシレータの切り替え
2 段速クロック スタートアップ 117
フェイルセーフ クロック モニタ 119
オシレータの仕様 370
オシレータのパラメータ 371

か

開発サポート 351
改版履歴 403
拡張型キャプチャ / コンペア /PWM
タイマ リソース 184
拡張型キャプチャ / コンペア /PWM (ECCP) 184
拡張型 PWM モード 195
貫通電流 206
自動再スタート 205
自動シャットダウン 203
出力の関係 (アクティブ High および
アクティブ Low) 196
出力の関係図 197
スタートアップに関する注意点 203
ハーフブリッジ アプリケーション 198
ハーフブリッジ アプリケーションの例 206
ハーフブリッジ モード 198
フルブリッジ アプリケーション 199
フルブリッジ モード 199
フルブリッジ出力モードにおける
方向の変更 201
プログラム可能なデッドバンド遅延 206
仕様 377
拡張型ミッドレンジ CPU 14
拡張命令セット
ADDFSR 341
間接アドレス指定
INDF レジスタと FSR レジスタ 53
貫通電流 206

き

キャプチャ モジュール。拡張型キャプチャ / コンペア /
PWM (ECCP) を参照
キャプチャ / コンペア /PWM 183
キャプチャ / コンペア /PWM (CCP) 185
CCPx ピンのコンフィギュレーション 187
PWM 関連のレジスタ 211
PWM 動作のセットアップ 194
PWM の周期 192
PWM モード 191
PWM の周波数と分解能の例 (20 MHz) 193
PWM の周波数と分解能の例 (32 MHz) 193
PWM の周波数と分解能の例 (8 MHz) 193
システム クロック周波数の変更 194
スリープ モード時の動作 194
デューティ サイクル 192
動作のセットアップ 194
分解能 193
リセットの影響 194
キャプチャ モード 187
キャプチャ関連のレジスタ 188
クロック選択 185
コンペア モード 189
CCPx ピンのコンフィギュレーション 189
Timer1 のモード選択 187, 189
ソフトウェア割り込みモード 187, 189
特殊イベント トリガ 189
コンペア関連のレジスタ 190
プリスケーラ 187

 © 2009 Microchip Technology Inc.

く

クロック ソース
- 外部モード 109
  - EC 109
  - HS 110
  - LP 110
  - OST 109
  - RC 111
  - XT 110
- 内部モード 111
  - HFINTOSC 112
  - INTOSC 111
  - INTOSCIO 111
  - LFINTOSC 112
  - MFINTOSC 112
  - 周波数選択 115
  - 内部オシレータのクロック切り替え タイミング 115

クロック切り替え 117

こ

コア レジスタ 49
高精度内部オシレータのパラメータ 371
コード例
- A/D 変換 136
- PORTA の初期化 85
- PORTB の初期化 89
- PORTC の初期化 93
- PORTD の初期化 96
- PORTE の初期化 101
- 書き込みの検証 332
- キャプチャ プリスケーラの切り替え 187
- フラッシュ プログラム メモリへの書き込み 330

固定電圧リファレンス (FVR)
- 仕様 380

コンパレータ
- T1 ゲートとしての C2OUT 163
- 関連レジスタ 150
- 動作 143

コンパレータ モジュール 143
- 各入力状態における Cx 出力ステート 145

コンパレータ電圧リファレンス (CV_{REF})
- 関連レジスタ 156

コンパレータの仕様 380
コンペア モジュール。拡張型キャプチャ / コンペア / PWM (ECCP) を参照

し

状態変化割り込み 103
- 関連レジスタ 105

シリアル クロック、SCK 281
シリアル データ出力 (SDO) 281
シリアル データ入力 (SDI) 281

す

スタック 52
- アクセス 53
- リセット 53

スタックのオーバーフロー / アンダーフロー 64
スレーブ セレクト ($\overline{SS}$) 281

せ

正誤表情報 11
絶対最大定格 355

そ

ソフトウェアシミュレータ (MPLAB SIM) 352

た

代替ピン機能 84
タイマ
- Timer1
  - T1CON 169
  - T1GCON 170
- Timer2/4/6
  - TxCON 175

タイミング パラメータの記号 369
タイミング図
- 1/2 Mux、1/2 バイアスにおけるタイプ A 波形 257
- 1/2 Mux、1/2 バイアスにおけるタイプ B 波形 258
- 1/2 Mux、1/3 バイアスにおけるタイプ A 波形 259
- 1/2 Mux、1/3 バイアスにおけるタイプ B 波形 260
- 1/3 Mux、1/2 バイアスにおけるタイプ A 波形 261
- 1/3 Mux、1/2 バイアスにおけるタイプ B 波形 262
- 1/3 Mux、1/3 バイアスにおけるタイプ A 波形 263
- 1/3 Mux、1/3 バイアスにおけるタイプ B 波形 264
- 1/4 Mux、1/3 バイアスにおけるタイプ A 波形 265
- 1/4 Mux、1/3 バイアスにおけるタイプ B 波形 266
- 1/4 デューティ サイクルでの LCD 割り込み タイミング 268
- 2 段速スタートアップ 118
- A/D 変換 378
- A/D 変換 (スリープ モード) 379
- CLKOUT と I/O 372
- I^2C のストップ コンディション (受信モード / 送信モード) 314
- I^2C バス データ 385
- I^2C バスのスタート / ストップ ビット 384
- I^2C マスター モード (7 ビット受信) 313
- I^2C マスター モード (7 または 10 ビット送信) 311
- INT ピン割り込み 71
- PWM 自動シャットダウン 205
  - ファームウェアによる再スタート 205
- PWM 出力 (アクティブ High) 196
- PWM 出力 (アクティブ Low) 197
- PWM の方向変更 201
- SLPEN = 1 または CS = 00 の場合の LCD スリープ開始 / 終了 270
- SPI スレーブ モード (CKE = 0) 383
- SPI スレーブ モード (CKE = 1) 383
- SPI マスター モード (CKE = 1、SMP = 1) 382
- SPI モード (マスター モード) 283
- Timer0 と Timer1 の外部クロック 376
- Timer1 のインクリメント エッジ 165
- USART 同期受信 (マスター / スレーブ) 381
- USART 同期送信 (マスター / スレーブ) 381
- アクノレッジ シーケンス 314
- 拡張型キャプチャ / コンペア /PWM (ECCP) 377
- クロック タイミング 370
- クロック調停付きのボーレート ジェネレータ 307
- クロックの同期化 305
- コンパレータ出力 143
- 最初のスタート ビットのタイミング 308
- 自動ボーレート校正 230
- スタート コンディション時の SDA 調停による BRG リセット 317

スタート コンディション時のバス衝突 (SCL = 0) 317
スタート コンディション時のバス衝突 (SDA のみ) 316
スタティック駆動のタイプ A/ タイプ B 波形 256
ストップ コンディション時のバス衝突 (ケース 1) 319
ストップ コンディション時のバス衝突 (ケース 2) 319
スリープ時の自動ウェイクアップ ビット (WUE) 232
送信およびアクノレッジのバス衝突 315
タイムアウト シーケンス
ケース 1 66
ケース 2 67
ケース 3 67
通常動作時の自動ウェイクアップ ビット (WUE) 232
デューティ サイクルが 100% に近い状態での PWM の方向変化 202
同期受信 (マスター モード、SREN) 237
同期送信 235
同期送信 (TXEN を使用) 235
内部オシレータの切り替えタイミング 116
ハーフブリッジ PWM 出力 198, 206
非同期受信 220
非同期送信 216
非同期送信 (連続) 216
フェイルセーフ クロック モニタ (FSCM) 120
ブラウンアウト リセット (BOR) 374
ブラウンアウト リセット状態 62
フルブリッジ PWM 出力 200
ブレーク文字シーケンスの送信 233
リセット、WDT、OST、PWRT 373
リピート スタート コンディション 309
リピート スタート コンディション時のバス衝突 (ケース 1) 318
リピート スタート コンディション時のバス衝突 (ケース 2) 318
割り込みによるウェイクアップ 334
タイミング図および仕様
PLL クロック 371
タイミングの要件
I^2C バス データ 386
I^2C バスのスタート / ストップ ビット 385
SPI モード 384
他の PIC マイクロコントローラ デバイスからの移行 403

て

データ EEPROM メモリ 321
書き込み 325
関連レジスタ 332
コード プロテクト 332
読み出し 325
データ メモリ 24
デジタル アナログ コンバータ (DAC)
仕様 380
デジタル アナログ変換 (DAC)
関連レジスタ 154
デジタル アナログ変換 (DAC) モジュール 151
スリープ時の動作 151
リセットの影響 151
デバイス コンフィギュレーション 125
コード プロテクション 129
コンフィギュレーション ワード 125
ユーザー ID 129
デバイス概要 13
電気的仕様 355
電源投入時のタイムアウト シーケンス 64

と

読者アンケート 414
特殊イベント トリガ 135
特殊機能レジスタ (SFR) 35

な

内部オシレータ ブロック
INTOSC
仕様 371
内部サンプリング スイッチ (Rss) インピーダンス 140

は

パッケージ 391
PDIP の詳細 393
マーキング 391, 392
パルス ステアリング 208
パワーアップ タイマ (PWRT) 59
仕様 375
パワーオン リセット 59
パワーダウン モード (スリープ) 333
関連レジスタ 334

ひ

非同期動作におけるクロック精度 222
ピン配置図
PIC16F1933/1936/1938、PICLF1933/1936/1938、28 ピン PDIP/SOIC/SSOP 3
PIC16F1933/1936/1938、PICLF1933/1936/1938、28 ピン QFN 4
PICF1934/1937/1939、PICLF1934/1937/1939、40 ピン PDIP 6
PICF1934/1937/1939、PICLF1934/1937/1939、44 ピン QFN 7
PICF1934/1937/1939、PICLF1934/1937/1939、44 ピン TQFP 8
ピン配置の説明
PIC16F193X/PIC16LF193X 15

ふ

ファームウェア命令 337
フェイルセーフ クロック モニタ 119
フェイルセーフ状態の解消 119
フェイルセーフの検出 119
フェイルセーフの動作 119
リセットまたはスリープからのウェイクアップ . 119
負荷条件 369
ブラウンアウト リセット (BOR) 62
仕様 375
タイミングと特性 374

 © 2009 Microchip Technology Inc.

フラッシュ プログラム メモリ 321
書き込み 328
消去 328
ブレークビットの受信でウェイクアップ 231
ブレーク文字 (12 ビット) の送信および受信 233
プログラミング、デバイス命令 337
プログラム メモリ 21
マップおよびスタック (PIC16F1933/LF1933、PIC16F1934/LF1934) 22
マップおよびスタック (PIC16F1936/LF1936、PIC16F1937/LF1937) 22
マップおよびスタック (PIC16F1938/LF1938、PIC16F1939/LF1939) 23
ブロック図
(CCP) キャプチャ モードの動作 187
ADC 131
ADC の伝達関数 141
CCP PWM 191
EUSART 受信 214
EUSART 送信 213
LCD のクロック生成 248
LCD バイアス電圧生成 249
MCLR 回路 59
PIC16F193X/LF193X 13
PWM (拡張型) 195
Timer0 157
Timer1 161
Timer1 ゲート 166, 167, 168
Timer2/4/6 173
アナログ入力モデル 141, 147
一般的な I/O ポート 83
オンチップ リセット回路 57
外部 RC モード 111
クロック ソース 107
コンパレータ 144
コンペア モードの動作 189
周辺装置割り込みのロジック 70
振動子の動作 110
水晶振動子による動作 110
デジタル アナログ変換 (DAC) 152
電圧リファレンス 155
電圧リファレンスの出力バッファ例 155
フェイルセーフ クロック モニタ (FSCM) 119
容量検知 177
割り込みロジック 69

へ

変更通知サービス 413

ほ

放熱対策 368

ま

マイクロチップ社のインターネット ウェブ サイト ... 413
マスター同期シリアル ポート。MSSP を参照

め

命令セット 337
ADDLW 341
ADDWF 341
ADDWFC 341
ANDLW 341
ANDWF 341
BCF 342
BRA 342
BSF 342
BTFSC 342
BTFSS 342
CALL 343
CALLW 343
CLRF 343
CLRW 343
CLRWDT 343
COMF 343
DECF 343
DECFSZ 344
GOTO 344
INCF 344
INCFSZ 344
IORLW 344
IORWF 344
LSLF 345
LSRF 345
MOVF 345
MOVIW 346
MOVLB 346
MOVLW 346
MOVWF 346
MOVWI 347
NOP 347
OPTION 347
RESET 347
RETFIE 348
RETLW 348
RETURN 348
RLF 348
RRF 349
SLEEP 349
SUBLW 349
SUBWF 349
SUBWFB 349
SWAPF 350
TRIS 350
XORLW 350
XORWF 350
命令の形式 338
メモリ構成 21
データ 24
プログラム 21

よ

容量検知 177
仕様 387
容量検知に関連するレジスタ 181

り

リセット 57
関連レジスタ 68
リセットの影響
PWM モード 194
リセット命令 64

れ

レジスタ
ADCON0 (ADC 制御 0) 137
ADCON1 (ADC 制御 1) 138
ADRESH (ADC 結果の上位ビット) (ADFM = 0) .. 138
ADRESH (ADC 結果の上位ビット) (ADFM = 1) .. 139
ADRESL (ADC 結果の下位ビット) (ADFM = 0) .. 139
ADRESL (ADC 結果の下位ビット) (ADFM = 1) .. 139
ANSELA (PORTA アナログ選択) 86
ANSELB (PORTB アナログ選択) 91
ANSELD (PORTD アナログ選択) 97
ANSELE (PORTE アナログ選択) 101
APFCON (代替ピン機能の制御) 84
BAUDCON (ボーレート制御) 224
BORCON ブラウンアウト リセット制御) 63
CCPTMRS0 (CCP タイマ制御 0) 185
CCPTMRS1 (CCP タイマ制御 1) 186
CCPxAS (CCPx 自動シャットダウン制御) 204
CCPxCON (ECCPx 制御) 184
CMOUT (コンパレータ出力) 149
CMxCON0 (Cx 制御 1) 149
CMxCON0 (Cx 制御) 148
CPSCON0 (容量検知の制御レジスタ 0) 180
CPSCON1 (容量検知の制御レジスタ 1) 181
DACCON0 153
DACCON1 153
EEADRL (EEPROM アドレス) 322
EECON1 (EEPROM 制御 1) 323
EECON2 (EEPROM 制御 2) 324
EEDATH (EEPROM データ) 322
EEDATL (EEPROM データ) 322
FVRCON 156
INTCON (割り込み制御) 73
IOCBF (状態変化割り込みフラグ) 104
IOCBN (立ち下がりエッジの状態変化割り込み) 104
IOCBP (立ち上がりエッジの状態変化割り込み) 104
LATA (データ ラッチ PORTA) 85
LATB (データ ラッチ PORTB) 90
LATC (データ ラッチ PORTC) 93
LATD (データ ラッチ PORTD) 96
LATE (データ ラッチ PORTE) 99
LCDCON (LCD 制御) 243
LCDCST (LCD のコントラスト制御) 246
LCDDATAx (LCD データ) 247, 252
LCDPS (LCD 位相) 244
LCDREF (LCD リファレンス電圧制御) 245
LCDRL (LCD のリファレンス電圧制御) 252
LCDSEn (LCD のセグメント イネーブル) 247
OPTION_REG (OPTION) 51, 159
OSCCON (オシレータ制御) 108
OSCSTAT (オシレータ ステータス) 113
OSCTUN (発振調整) 114
PCON (電力制御) 65
PCON (電力制御レジスタ) 65
PIE1 (周辺装置割り込みイネーブル 1) 74
PIE2 (周辺装置割り込みイネーブル 2) 75
PIE3 (周辺装置割り込みイネーブル 3) 76
PIR1 (周辺装置割り込みレジスタ 1) 77
PIR2 (周辺装置割り込み要求 2) 78
PIR3 (周辺装置割り込み要求 3) 79
PORTA 85
PORTB 90
PORTC 93
PORTD 96
PORTE 99
PSTRxCON (パルス ステアリング制御) 208
PWMxCON (拡張型 PWM 制御 l) 207
RCREG レジスタ 230
RCSTA (受信ステータスおよび制御) 223
SRCON0 (SR ラッチ制御 0) 122
SRCON1 (SR ラッチ制御 1) 123
SSPADD (MSSP アドレスおよびボーレート、
I^2C モード) 280
SSPCON1 (MSSP 制御 1) 277
SSPCON2 (SSP 制御 2) 278
SSPCON3 (SSP 制御 3) 279
SSPMSK (SSP マスク) 280
SSPSTAT (SSP ステータス) 276
STATUS 50
T1CON (Timer1 制御) 169
T1GCON (Timer1 ゲート制御) 170
TRISA (トライステート PORTA) 86
TRISB (トライステート PORTB) 91
TRISC (トライステート PORTC) 94
TRISD (トライステート PORTD) 97
TRISE (トライステート PORTE) 101
TxCON 175
TXSTA (送信ステータスおよび制御) 222
WDTCON (ウォッチドッグ タイマ制御) 61
WPUB (弱プルアップ PORTB) 90
コンフィギュレーション ワード 1 126
コンフィギュレーション ワード 2 128
特殊機能のまとめ 35

わ

割り込み 69
ADC 136
TMR1 165
割り込み関連のレジスタ 80
割り込みを使用したウェイクアップ 334

 © 2009 Microchip Technology Inc.

マイクロチップ社のウェブ サイト

マイクロチップ社は、ウェブ サイト(www.microchip.com) でオンラインサポートを提供しています。このウェブ サイトを活用することで、ファイルや情報を簡単に入手できます。ウェブ サイトには、ご使用中のインターネット ブラウザでアクセスでき、以下の情報が掲載されています。

- **製品サポート** – データシートと正誤表、アプリケーション ノートとサンプル プログラム、設計リソース、ユーザーズ ガイドとハード ウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **テクニカル サポート** – よくある質問 (FAQ)、テクニカル サポート リクエスト、オンライン ディスカッション グループ、マイクロチップ社コンサルタント プログラム メンバの一覧
- **マイクロチップ社の事業** – 製品選択および注文ガイド、マイクロチップ社の最新プレス リリース、セミナーおよびイベントの一覧、マイクロチップ各営業所、販売代理店、担当工場の一覧

お客様への変更通知サービス

マイクロチップ社のお客様通知サービスにて、常にお客様にマイクロチップ社製品の最新情報を提供させていただきます。この通知サービスを申し込まれたお客様には、指定された製品ファミリまたは開発ツールに関する変更、更新、改訂、あるいは正誤表情報があるときに、常に電子メールにてお知らせいたします。

登録するには、マイクロチップ社のウェブ サイト www.microchip.com にアクセスし、[Customer Change Notification] をクリックして登録手順に従ってください。

お客様サポート

マイクロチップ社製品のユーザーは、以下の複数のルートでサポートが受けられます。

- 販売代理店
- 該当地域の営業所
- フィールド アプリケーション エンジニア (FAE)
- テクニカルサポート
- 開発システム情報ライン

サポートが必要な場合、お客様は製品を購入した販売代理店またはフィールド アプリケーション エンジニア (FAE) にご連絡ください。該当地域の営業所でもお客様へのサポートを提供しています。各営業所と所在地の一覧は、本書の最終ページに記載されています。

テクニカルサポートはウェブ サイト (http://support.microchip.com) より提供されています。

読者アンケート

マイクロチップ社では、お客様にマイクロチップ社製品を効果的にお使いいただくために、可能な限り最良の文書を提供するように努めています。文書の構成、明瞭さ、内容、手法に関しまして、我々の文書がお客様にとりましてより良くなるためのご意見を提供していただける場合は、ファクスにて弊社のテクニカル パブリケーション マネージャ宛にご意見をお送りください。ファクス番号は 1-480-792-4150 (国際電話) です。

以下の欄に必要事項と本書に関するご意見をご記入の上、お送りください。

送信先 : テクニカル パブリケーション マネージャ　　送信枚数 _____

件名 :　読者アンケート

発信元 : お名前 _____

会社名 _____

ご住所 _____

市町村 / 都道府県 / 郵便番号 / 国名 _____

電話 : (_____) _____ - _____　　ファクス : (_____) _____ - _____

用途 (任意の項目):

回答を希望しますか ?　____ はい ____ いいえ

デバイス : PIC16F193X/LF193X　　文書番号 : DS41364B_JP

質問 :

1. 本書の中で最も良い記事はどれですか ?

2. 本書には、お客様がハードウェアおよびソフトウェアを開発する際に必要な情報が十分に記載されていますか ?

3. 本書の構成は分かりやすいですか ? 分かりにくいと感じた場合、その理由をお書きください。

4. 本書の構成や内容を改善するには、何を追加したらよいと思われますか ?

5. 全体の有用性に影響を与えず、本書から削除してもかまわないと思われる内容があれば、お書きください。

6. 不正確な情報または誤解を与えるような情報がありますか ? もしあれば、記載ページと該当箇所をお書きください。

7. 本書を更に分かりやすくするには、どのような改善が必要だと思われますか ?

© 2009 Microchip Technology Inc.

製品識別システム

注文や資料請求、または価格や納期などの情報は、弊社工場または一覧に記載されている営業所にお問い合わせください。

PART NO.	X	/XX	XXX
Device	Temperature Range	Package	Pattern

Device:	PIC16F1933, PIC16LF1933, PIC16F1933T, PIC16LF1933T(1) PIC16F1934, PIC16LF1934, PIC16F1934T, PIC16LF1934T(1) PIC16F1936, PIC16LF1936, PIC16F1936T, PIC16LF1936T(1) PIC16F1937, PIC16LF1937, PIC16F1937T, PIC16LF1937T(1) PIC16F1938, PIC16LF1938, PIC16F1938T, PIC16LF1938T(1) PIC16F1939, PIC16LF1939, PIC16F1939T, PIC16LF1939T(1)
Temperature Range:	I = -40°C to +85°C E = -40°C to +125°C
Package:	ML = Micro Lead Frame (QFN) P = Plastic DIP PT = TQFP (Thin Quad Flatpack) SO = SOIC SP = Skinny Plastic DIP SS = SSOP
Pattern:	3-Digit Pattern Code for QTP (blank otherwise)

例 :

a) PIC16LF1937 - I/P = 工業用温度、プラスチック DIP パッケージ、低電圧 VDD

b) PIC16F1934 - I/PT = 工業用温度、TQFP パッケージ、標準 VDD

c) PIC16F1933 - E/ML = 拡張温度、QFN パッケージ、標準 VDD

注 1: F = 標準電圧範囲
LF = 低電圧範囲

2: T = テープおよびリールの QFN、TQFP、SOIC および SSOP パッケージのみ

世界各国での販売およびサービス

北米

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
テクニカル サポート :
http://support.microchip.com
ウェブ アドレス :
www.microchip.com

アトランタ
Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

ボストン
Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ
Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

クリーブランド
Independence, OH
Tel: 216-447-0464
Fax: 216-447-0643

ダラス
Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト
Farmington Hills, MI
Tel: 248-538-2250
Fax: 248-538-2260

ココモ
Kokomo, IN
Tel: 765-864-8360
Fax: 765-864-8387

ロサンゼルス
Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608

サンタクララ
Santa Clara, CA
Tel: 408-961-6444
Fax: 408-961-6445

トロント
Mississauga, Ontario,
Canada
Tel: 905-673-0699
Fax: 905-673-6509

アジア / 太平洋

アジア太平洋支社
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

オーストラリア - シドニー
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

中国 - 北京
Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 香港 SAR
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青島
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 瀋陽
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深川
Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 - 武漢
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 厦門
Tel: 86-592-2388138
Fax: 86-592-2388130

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 珠海
Tel: 86-756-3210040
Fax: 86-756-3210049

アジア / 太平洋

インド - バンガロール
Tel: 91-80-3090-4444
Fax: 91-80-3090-4080

インド - ニューデリー
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

インド - プネ
Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 - 横浜
Tel: 81-45-471- 6166
Fax: 81-45-471-6122

韓国 - 大邱
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韓国 - ソウル
Tel: 82-2-554-7200
Fax: 82-2-558-5932 または
82-2-558-5934

マレーシア - クアラルンプール
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

マレーシア - ペナン
Tel: 60-4-227-8870
Fax: 60-4-227-4068

フィリピン - マニラ
Tel: 63-2-634-9065
Fax: 63-2-634-9069

シンガポール
Tel: 65-6334-8870
Fax: 65-6334-8850

台湾 - 新竹
Tel: 886-3-6578-300
Fax: 886-3-6578-370

台湾 - 高雄
Tel: 886-7-536-4818
Fax: 886-7-536-4803

台湾 - 台北
Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

タイ - バンコク
Tel: 66-2-694-1351
Fax: 66-2-694-1350

ヨーロッパ

オーストリア - ヴェルス
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン
Tel: 45-4450-2828
Fax: 45-4485-2829

フランス - パリ
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - ミュンヘン
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

イタリア - ミラノ
Tel: 39-0331-742611
Fax: 39-0331-466781

オランダ - ドリューネン
Tel: 31-416-690399
Fax: 31-416-690340

スペイン - マドリッド
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 - ウォーキンガム
Tel: 44-118-921-5869
Fax: 44-118-921-5820

03/26/09

© 2009 Microchip Technology Inc.